

POLITECNICO DI MILANO

**Scuola di Ingegneria Industriale e dell'Informazione
Dipartimento di Elettronica, Informazione e Bioingegneria
Laurea Vecchio Ordinamento in Elettronica indirizzo
Matematico Fisico**



**Regolatore di tensione lineare programmabile
digitalmente**

RELATORE: Prof. Andrea L. LACAITA

CORRELATORE: Dott. Lorenzo SCALETTI

Tesi di Laurea di:

**Marco Roberto Cesare GHIDOTTI
Matr. 585099**

**Maggio 2023
Anno Accademico 2021-2022**

*Lo studio è la migliore previdenza
per la vecchiaia.*

Aristotele

Sommario

La tesi presenta la progettazione di un regolatore di tensione lineare (LVR) programmabile digitalmente per una scheda di test-setup per sistemi ADC-PLL, in grado di fornire tensioni in uscita con valori compresi da $0V$ a $3.3V$, ad alta risoluzione ($1mV$), basso rumore (circa $2nV/\sqrt{Hz}$), programmabile da PC tramite scheda Arduino, con la possibilità di accendere/spegnere le uscite, misurare le loro tensioni e correnti (sempre tramite la scheda Arduino) e con la presenza di due LED per la segnalazione del corto circuito.

Nell'ultimo capitolo presenta anche la possibilità di mettere in parallelo 2 LDO tramite un Amp-Op, per raggiungere amperaggi elevati con correnti bilanciate e permettere la chiusura del pin di Sense e di Out in prossimità del DUT sulla scheda madre, senza l'uso di resistenze di bilanciamento.

Abstract

The thesis presents the design of a digitally programmable linear voltage regulator (LVR) for a test-setup board for ADC-PLL systems, capable of supplying output voltages ranging from $0V$ to $3.3V$, at high resolution ($1mV$), low noise (about $2nV/\sqrt{Hz}$), programmable from PC via Arduino board, with the ability to turn on/off the outputs, measure their voltages and currents (always via the Arduino board) and with the presence of two LEDs for signaling the short circuit. In the last chapter it also presents the possibility of putting 2 LDOs in parallel via an Amp-Op, to reach high amperages with balanced currents and allow the closure of the Sense and Out pins near the DUT on the motherboard, without using of balancing resistors.

Indice

Introduzione	1
1 LDO	3
1.1 Teoria LDO (Low-dropout linear regulator)	3
1.1.1 Parametri caratteristici LDO	5
1.1.2 La stabilità	12
1.2 LDO LT3045	14
1.3 LDO LT3045 nella configurazione tipica	16
1.4 Pilotaggio del Pin di SET	20
1.4.1 Criticità del potenziometro digitale	21
1.5 DAC e LDO	22
1.6 Il DAC AD5685R	24
1.7 Collegamento DAC - LDO	26
2 Soluzioni circuitali	27
2.1 Scelta del filtro passa basso	27
2.1.1 Filtro attivo: LT1568	27
2.1.2 Filtro attivo: LT1567	29
2.1.3 Filtri attivo Sallen Key $F_c=1.6$ Hz e $Q=1$	32
2.1.4 Filtro passa basso del terzo ordine Bessel $F_c=100$ Hz	33
2.1.5 Filtro attivo primo ordine $F_c=160$ Hz	34
2.1.6 Filtro passivo primo ordine	35
2.2 Garantire la stabilità del LT3045 al variare del carico	37
2.3 Connessione con Motherboard introduzione della resistenza di R bleed e jumper per chiudere il loop su scheda	38
2.4 Rilevazione del corto circuito	39
2.4.1 La struttura	40
2.5 Accensione/spegnimento digitale	41
2.6 Filtro all'alimentazione ingresso	41
2.6.1 Filtro LC	42
2.6.2 Filtro LC smorzato	43

3	Simulazioni in LTSPICE	47
3.1	La simulazione nei casi limite	47
3.1.1	Caso 1 minima tensione in uscita, minima corrente di carico	47
3.1.2	Caso 2 massima tensione in uscita, massima corrente di carico	49
3.2	Verifica dei valori massimi assoluti dei ratings dei componenti . . .	50
3.2.1	LT3045	52
3.2.2	DAC AD5685R	54
3.2.3	$R_{ILIM}, R_{bleed}, R1_{filtro}$	55
3.3	Analisi del cortocircuito	55
3.3.1	Caso $V_{OUT} = GND$	55
3.3.2	Caso $V_{OUT} = 5V$	57
3.4	Simulazioni del circuito completo	58
4	Layout scheda	63
4.1	Il connettore In/out	64
4.2	Scelta dei componenti passivi	66
4.2.1	Filtro Alimentazione	66
4.2.2	Indicatore di cortocircuito e partitori di tensione	66
4.2.3	DAC	67
4.2.4	Condensatori LDO, R_{ILIM} (1/2) e R_{bleed} (1/2)	67
4.2.5	Jumper	68
4.2.6	Test points	69
4.3	Il progetto in KiCad	71
4.3.1	Lo schema e impronte	71
4.3.2	PCB in KiCad	73
4.3.3	BOM	75
4.3.4	Gerber e Drill Files	75
5	LDO in parallelo	79
5.1	Tipologie di collegamenti in parallelo di LDO	79
5.1.1	LDO in parallelo diretto	79
5.1.2	LDO in parallelo configurazione con $R_{Ballast}$	80
5.1.3	LDO parallelo usando Op-Amp	82
5.2	LDO LT3045 parallelo usando Op-Amp	85
5.3	Conclusioni	89
A	LDO LT3045	95
B	DAC AD5685R	99
B.1	Configurazione dei PIN	99
B.2	L'interfaccia seriale	102

C	Alcune proprietà dei condensatori ceramici	105
C.1	Temperatura e lo standard EIA-198 e EIA RS-198	105
C.1.1	Classi di condensatori nello standard EIA-198	107
C.2	Fattore di dissipazione	108
C.3	Invecchiamento	108
C.4	Effetto Microfono	109
C.5	Conclusione	109

Elenco delle figure

1	Scheda di alimentazione.	1
2	Scheda Madre.	2
1.1	Schema base di un LDO [2].	3
1.2	Area operativa di un FET a canale N.	4
1.3	PSRR vs frequenza (semplificato).	7
1.4	Generatori di rumore in LDO [2].	9
1.5	Generatori di rumore in LDO con condensatore di riduzione del rumore [2].	10
1.6	Esempio circuito di limitazione di corrente in LDO.	11
1.7	Guadagno d'anello LDO [3].	12
1.8	Stabilità LDO in funzione di ESR e I_L	13
1.9	Guadagno d'anello LDO considerando C_{FF}	14
1.10	Configurazione Tipica LDO LT3045.	15
1.11	Connessioni di C_{OUT} and C_{SET} per prestazioni ottimali.	16
1.12	Esempio Disposizione DFN Guard Ring.	17
1.13	Circuito equivalente di un potenziometro a 16 bit [8].	21
1.14	Circuito di un potenziometro a 16 bit [8].	22
1.15	DAC controlla LDO LT3082 [11].	23
1.16	DAC AD5685R [12].	24
1.17	Schema a blocchi Funzionali [12].	25
2.1	LT1568 in configurazione Lowpass Butterworth guadagno unitario [14].	28
2.2	Risposta a Gradino con LT1568 in configurazione Lowpass Butterworth guadagno unitario.	29
2.3	Rumore in uscita LDO con LT1568 in configurazione Lowpass Butterworth guadagno unitario.	29
2.4	LT1567 in configurazione Lowpass Butterworth guadagno unitario [15].	30
2.5	Filtro LT1567 in configurazione Butterworth passa basso del secondo ordine a guadagno unitario $F_c=20$ Hz.	31

2.6	Diagramma di Bode filtro LT1567 in configurazione Butterworth passa basso del secondo ordine a guadagno unitario.	31
2.7	Rumore in uscita LDO con Filtro LT1567 in configurazione Butterworth passa basso del secondo ordine a guadagno unitario.	31
2.8	Sallen Key $F_c=1.6$ Hz $Q=1$	32
2.9	Sallen Key $F_c=1.6$ Hz $Q=1$ diagramma di Bode.	32
2.10	Risposta nel tempo con filtro Sallen Key.	33
2.11	Rumore in uscita con filtro Sallen Key.	33
2.12	Filtro terzo ordine Bessel con $F_c=100$ Hz dai Tools di Analogic Device.	33
2.13	Filtro terzo ordine Bessel con $F_c=100$ Hz Transitorio.	34
2.14	Filtro terzo ordine Bessel con $F_c=100$ Hz Rumore.	34
2.15	Filtro attivo primo ordine attivo $F_c=160$ Hz.	34
2.16	Filtro attivo primo ordine attivo $F_c=160$ Hz risposta a gradino.	35
2.17	Filtro attivo primo ordine $F_c=160$ Hz Rumore in uscita LDO.	35
2.18	Filtro passivo primo ordine.	35
2.19	Rumore filtro passivo primo ordine al variare della capacità di Set.	36
2.20	Transitorio filtro passivo primo ordine al variare della capacità di Set.	36
2.21	Rumore filtro passivo primo ordine con varie R1.	36
2.22	Transitori Filtro passivo primo ordine con varie R1 all'uscita del DAC.	37
2.23	Schema connessione Modulo di alimentazione-scheda madre.	38
2.24	Schema rilevazione corto circuito.	39
2.25	Schema rilevazione corto circuito e soglia del limite di corrente.	40
2.26	Schema Filtro LC.	42
2.27	Funzione di trasferimento Filtro LC.	43
2.28	Schema Filtro LC smorzato.	43
2.29	Funzione di trasferimento Filtro LC smorzato.	45
2.30	Filtro LC smorzato alimentazione modulo.	46
3.1	Stato stazionario $V_{OUT,min} = 11.53mV$	48
3.2	Transitorio $V_{OUT,min} = 11.53mV$	48
3.3	Rumore, $V_{OUT,min} = 11.53mV$	49
3.4	Stato stazionario $V_{OUT,max} = 3.3V$	49
3.5	Transitorio $V_{OUT,max} = 3.3V$	50
3.6	Rumore $V_{OUT,max} = 3.3V$	50
3.7	Caso $V_{OUT,max} = 11.53mV$ e tensione alimentazione $V_{IN,min} = 4.75V$	51
3.8	Caso $V_{OUT,max} = 11.53mV$ e tensione alimentazione $V_{IN,max} = 5.25V$	51
3.9	Caso $V_{OUT,max} = 3.3V$ e tensione alimentazione $V_{IN,min} = 4.75V$	51
3.10	Caso $V_{OUT,max} = 3.3V$ e tensione alimentazione $V_{IN,max} = 5.25V$	52
3.11	Valori di ratings assoluti per LT3045.	52
3.12	Valori di ratings assoluti per AD5685R.	54
3.13	Stato stazionario in condizione di cortocircuito $V_{OUT} = GND$	55

3.14	Stato stazionario in condizione di cortocircuito $V_{OUT} = V_{DD}$	57
3.15	Stato stazionario Scheda alimentazione con LDO 1 $V_{OUT,max} = 3.3V$, $I_{OUT,max} = 0.5A$ e LDO2 $V_{OUT,min} = 11.53mV$, $I_{OUT,min} = 11.53\mu A$	59
3.16	Stato stazionario Scheda alimentazione massima tensione, corto circuito e intervenuto limite cdi corrente.	61
4.1	Configurazione dei piedini di connettore (N.C.= Non Connessi). . .	63
4.2	M20-9951246.	65
4.3	Jumper maschio M50-3530242.	68
4.4	Jumper femmina M50-2000005.	69
4.5	Test Point S2761-46R.	70
4.6	Schema circuito di scheda di alimenazione in KiCad.	72
4.7	BOM.	75
4.8	Impostazione Layer in KiCad per produzione PCB in Oshpark. . . .	76
4.9	Impostazione per la generazione in KiCad files Drill (Fori).	76
4.10	Esempio visualizzazione layers oshpark.	77
4.11	Carrello Oshpark.	78
5.1	Parallelo di 2 LDO Configurazione diretta.	80
5.2	Correnti di 2 LDO in parallelo in configurazione diretta.	80
5.3	Parallelo di 2 LDO Configurazione con resistenze di ballast.	81
5.4	Correnti di 2 LDO in parallelo con resistenze di ballast.	82
5.5	2 LDO in parallelo con Op-Amp.	83
5.6	Correnti di 2 LDO in parallelo con Op-Amp.	84
5.7	confronto dell'errore della tensione di uscita nel caso Ballast e Op-Amp.	84
5.8	Parallelo di 2 LDO LT3045 con feedback su nodo C_set2 tramite partitore di tensione.	85
5.9	Grafico delle correnti di uscita dai LDO LT3045.	87
5.10	Grafico diagramma di Bode ad anello aperto al variare di R_load. .	87
5.11	Rumore in uscita dal parallelo dei due LT3045 in funzione del carico R.	88
A.1	Configurazione PIN.	95
A.2	Configurazione Tipica LDO LT3045.	95
A.3	Diagramma a blocchi LDO LT3045.	98
B.1	Configurazione PIN [12].	99
B.2	Operazione di scrittura seriale [12].	102
B.3	Tabella dei comandi e indirizzi [12].	103
B.4	Registro a scorrimento di ingresso AD5685R [12].	104

B.5	Esempio di registro a scorrimento di ingresso AD5685R.	104
-----	--	-----

Elenco delle tabelle

1.1	Principali caratteristiche LDO 3045 [7].	15
5.1	Valori delle correnti di uscita dagli LDO, alla tensione $V_{out} = 3.3V$, al variare del carico.	86
C.1	Coefficienti di temperatura Classe 1 [42].	106
C.2	Coefficienti di temperatura Classe 2, codifica EIA RS-198 [42]. . . .	107

Elenco dei simboli

ACRONIMI E ABBREVIAZIONI

<i>gm</i>	Transconduttanza
ADC	Analog to Digital Converter
BJT	Bipolar Junction Transistor
BOM	Bill of MAterials
CMOS	complementary metal-oxide semiconductor
DAC	Digital (to) Analog Converter
DFN	Dual-Flat No-Leads
DUT	Device Under Test
ESL	Equivalente di Induttanza in Serie
ESR	Equivalente di Resistenza in Serie
FET	Field Effect Transistor
FSR	Full Scale Range
GND	Ground
IC	Integrated Circuit / Circuito Integrato
INL	Integral Non Linearity
Kel-F	PolyChloroTriFluoroEthylene
LC	Circuito elettrico formato da un condensatore e un induttore
LDO	Low-Dropout Linear Regulator

LFCSP	Lead Frame Chip Scale Package
LPF	Filtro Passa Basso
LSB	Least Significant Bit
LVR	Linear Voltage Reguletor
MSOP	Mini Small Outline Package
MTTF	Mean Time To Failure
NMOS	MOSFET a canale n
OpAmp	Operational Amplifier
PCB	Printed Circuit Board / Circuiti Stampati
PGFB	Power Good FeedBack
PLL	Phase-Locked Loop
PMOS	MOSFET a canale p
Prog-LVR	Programmable Linear Voltage Reguletor
PSRR	Power Supply Rejection Ratio
RMS	Root Mean Square
SPI	Serial Peripheral Interface
TSD	Thermal ShutDown
TSSOP	Thin Shrink Small Outline Package

SIMBOLI GRECI

Δ	Differenza
Ω	Ohm, [$m^2 * kg * A^{-2} * s^{-3}$]

SIMBOLI LATINI

C	Capacità, [F]
L	Induttanza, [H]
R	Resistenza, [Ω]

Introduzione

Per testare circuiti integrati come PLL e ADC, spesso si aggiungono agli schemi, dei regolatori di tensione a basso rumore con trimmer per modificare il valore dell'alimentazione e i loro riferimenti in tensione (generalmente tra 0V e 3.3V), in genere i trimmer sono meccanici, per cui ingombrati e comportano l'errore umano. Per migliorare e velocizzare i test, si è implementata una scheda di Test-setup in grado di fornire più uscite in tensione a basso rumore, sintonizzabili digitalmente ad alta risoluzione, con la possibilità di accenderle e spegnerle e misurare la tensione e le correnti fornite. Ciò velocizzerà il collaudo e il progettista non dovrà implementare alcun regolatore di tensione o trimmer nei suoi sistemi di test, riducendo così le dimensioni del circuito stampato, la dissipazione di potenza e i costi. Non ultimo tale sistema permette una migliore risoluzione delle tensioni garantendo un rumore molto basso. Di seguito lo schema a blocchi della scheda di alimentazione.

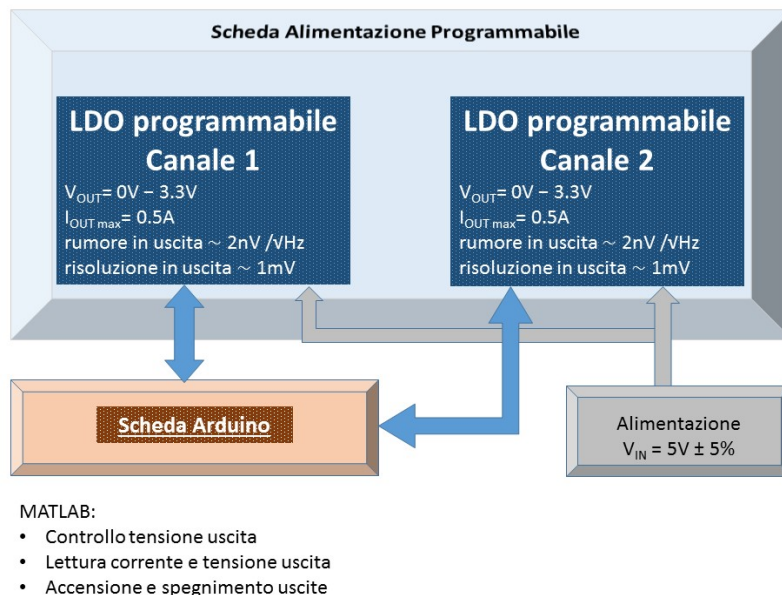


Figura 1: Scheda di alimentazione.

Valutando gli spazi a disposizione sulla scheda madre, per ridurre l'impatto di tali moduli, si è deciso montarli verticalmente su 6 slot ognuno con due uscite per un totale di 12 canali di alimentazione. La scheda madre raccoglie le istruzioni inviate dal PC per configurare i moduli di alimentazione, e fornisce le tensioni richieste al sistema utente (il così detto dispositivo in prova "DUT" Device Under Test). Come interfaccia tra il PC e la scheda madre è stato utilizzata una scheda

Arduino, che oltre alla programmazione delle tensioni potrà intervenire sul DUT stesso.

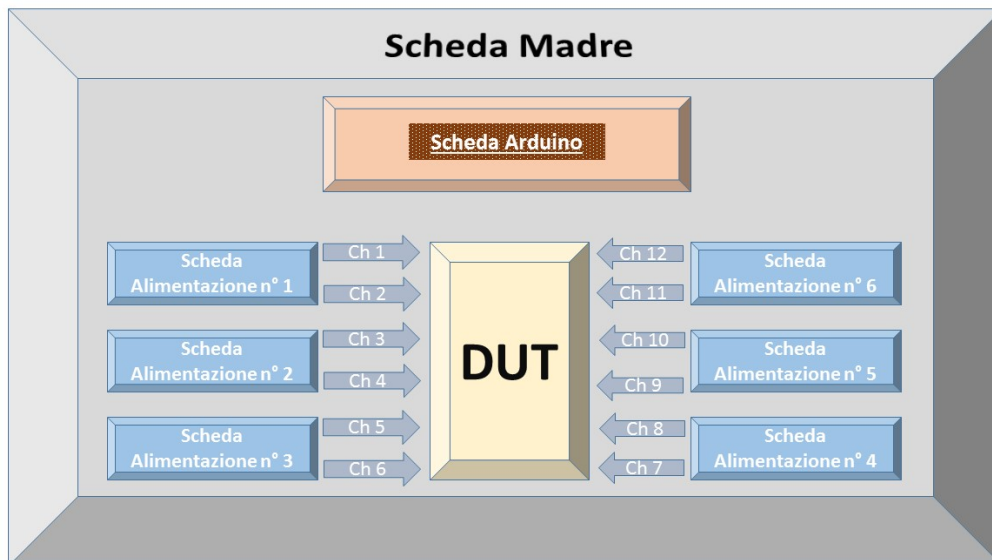


Figura 2: Scheda Madre.

Capitolo 1

LDO

Questo capitolo è dedicato alla illustrazione del funzionamento di un LDO (Low-dropout linear regulator) e della scelta dei componenti per pilotarlo.

1.1 Teoria LDO (Low-dropout linear regulator)

Gli alimentatori LDO sono la soluzione più semplice per ricavare una tensione regolata di valore inferiore a quella della sorgente con basso rumore in uscita, l'espressione "Low drop out" si traduce semplicemente in 'bassa caduta di tensione', che sta a significare, che questo tipo di regolatori, svolgono la loro funzione anche quando la differenza di tensione fra ingresso e uscita si riduce a qualche decina di millivolt [1].

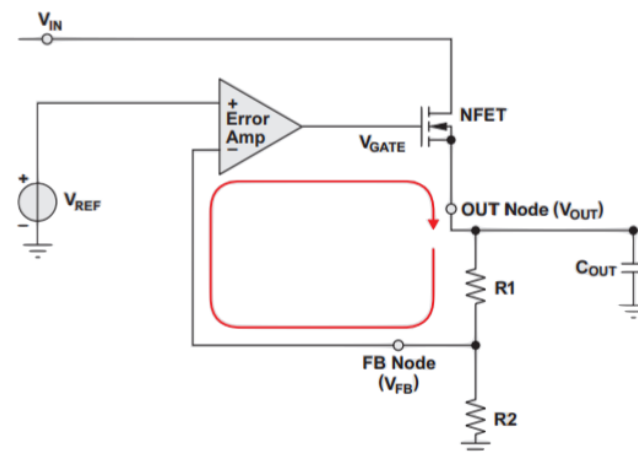


Figura 1.1: Schema base di un LDO [2].

La topologia di base è mostrata in figura 1.1, dove l'amplificatore di errore e il transistor NMOS (pass transistor) formano una sorgente di corrente controllata in tensione (transconduttore). La tensione di uscita (V_{OUT}) viene rilevata attraverso il partitore di tensione (R_1 ; R_2) e confrontata con la tensione di riferimento (V_{REF}). Di conseguenza la V_{OUT} è data da:

$$V_{OUT} = V_{REF} \cdot \left(1 + \frac{R_1}{R_2}\right) \quad (1.1)$$

La retroazione garantisce la stabilità della tensione in uscita al variare della corrente di carico, variando la tensione V_{ERR} tra il morsetto positivo e negativo dell'amplificatore. Il pass device può essere un NMOS, PMOS, BJT singolo o in configurazione Darlington, anche se quest'ultima scelta non garantisce una tensione di drop out bassa [3].

L'amplificatore d'errore pilota il gate del FET al punto operativo che assicura che l'uscita sia alla tensione richiesta (nella regione lineare). Se la corrente di uscita o la tensione di alimentazione V_{IN} dovessero cambiare, l'amplificatore d'errore piloterebbe il gate del FET per mantenere costante la tensione di uscita. Per esempio, in condizioni di stabilità, se operiamo con una V_{IN} di 5 V, una V_{OUT} di 3.3V ed una corrente di carico di 500 mA il FET avrebbe una $V_{DO} = 1.7V$ e una $I = 0.5A$.

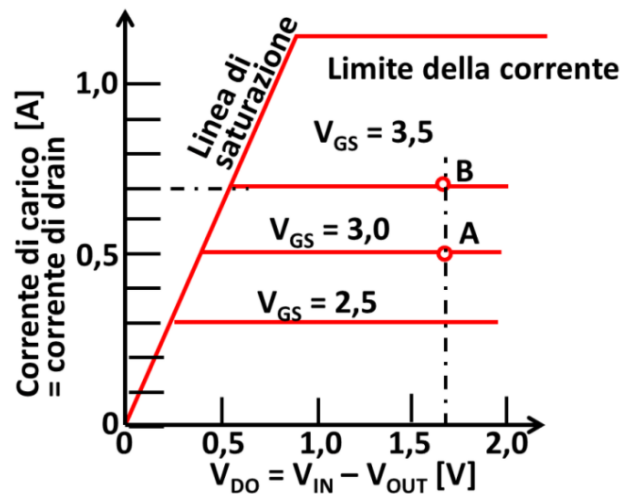


Figura 1.2: Area operativa di un FET a canale N.

In Figura 1.2 sono riportate le caratteristiche idealizzate tensione-corrente di un N-FET, l'area racchiusa tra la linea di saturazione e la massima corrente consentita, rappresenta l'area di funzionamento affinché l'LDO operi in modo appropriato, mantenendo una uscita regolata [4].

In questo grafico il punto A rappresenta il punto operativo con tensione $V_{DO} = 1.7V$ e corrente $I_{DO} = 500mA$. Per soddisfare questa condizione il gate del FET deve essere pilotato a $3.0V$. Se la corrente del carico dovesse passare a $700mA$ il FET passerebbe ad operare nel punto B con una tensione di pilotaggio del gate di $3.5V$.

1.1.1 Parametri caratteristici LDO

Passiamo ora definire alcuni parametri caratteristici:

Tensione di dropout LDO

L'elemento di regolazione è l'unità che genera la caduta V_{DO} tale che $V_{IN} - V_{DO} = V_{OUT}$, sia pari alla tensione richiesta. La tensione di 'drop out' è la minima tensione ai capi del regolatore che consenta la regolazione dell'uscita. Tipicamente, l'uscita si considera ancora regolata fino a che la sua tensione non è scesa di $100mV$ rispetto al valore nominale [1]. In questa condizione, la differenza tra le tensioni di ingresso e uscita, corrisponde alla tensione di drop-out, questo fattore che caratterizza il regolatore, dipende dalla corrente di carico e dalla temperatura. Un regolatore che ha una tensione di drop out minima di $1V$ e che deve avere una tensione di uscita di $3.3V$, richiede che la tensione di ingresso sia almeno $4.3V$.

Corrente di quiescenza o corrente di terra

I_Q (corrente di quiescenza) o I_{GND} (corrente di terra), è la corrente che scorre nel pin di massa dell'LDO e rappresenta la corrente che viene assorbita dal dispositivo per poter svolgere le sue funzioni di controllo, ovvero, per alimentare tutti i circuiti che lo compongono, ed equivale alla differenza tra la corrente di ingresso e quella di uscita ($I_Q = I_{IN} - I_{OUT}$). Per gli LDO ad alte prestazioni la I_Q è tipicamente molto inferiore all'1% della corrente di carico, e nei dispositivi in tecnologia CMOS di ultima generazione può ridursi anche a pochi microampere. La corrente di quiescenza non è la corrente che transita quando LDO è spento.

Corrente di shutdown

E' la corrente consumata quando il dispositivo è spento. Di solito è al di sotto di $1.0\mu A$ per dispositivi portatili, il suo valore è importante per la durata della batteria a dispositivo spento.

Efficienza LDO

Da una breve analisi è evidente che la potenza dissipata ai capi del regolatore è:

$$P_D = (V_{IN} - V_{OUT}) \cdot I_L + V_{IN} \cdot I_{GND} \quad (1.2)$$

dove I_L è la corrente di carico responsabile della dissipazione passiva del dispositivo. Ora possiamo definire l'efficienza come:

$$LDO_{efficiency} = \left(\frac{I_{OUT}}{I_{OUT} + I_Q} \right) \cdot \frac{V_{OUT}}{V_{IN}} \cdot 100\% \quad (1.3)$$

trascurando I_Q si ottiene semplicemente.

$$LDO_{efficiency} = \frac{V_{OUT}}{V_{IN}} \cdot 100\% \quad (1.4)$$

La potenza non erogata al carico viene dissipata sotto forma di calore all'interno dell'LDO. Per migliorare l'efficienza, soprattutto quando collegati a una batteria in scarica, gli LDO possono essere collegati a una linea di tensione intermedia, generata da un regolatore switching ad alta efficienza.

Precisione (Accuracy) LDO [5]

Nei datasheet in cui viene riportata la precisione totale è indicata come ' V_{OUT} accuracy' ed è espressa in punti percentuali. Quando la tensione V_{OUT} non è fissa ma regolabile, non viene indicata l'accuratezza totale ma vengono indicate la 'regolazione del carico' – **load regulation** – e quella di 'linea' – **line regulation**. La prima fa riferimento all'abilità dell'LDO di mantenere la tensione di uscita al variare delle condizioni di carico, e viene definita come $\Delta V_{OUT}/\Delta I_{OUT}$. Mentre la regolazione di linea, misura la capacità dell'alimentatore di mantenere la tensione di uscita al variare della tensione di ingresso, e viene espressa come $\Delta V_{OUT}/\Delta V_{IN}$. Regolazione di linea e di carico vengono espresse in millivolt, ad esempio si voglia calcolare la precisione totale di un LDO da 3.3V nell'intervallo di temperatura da 0 °C a 125 °C con le seguenti caratteristiche operative:

coefficiente di temperatura del resistore $\pm 100ppm/^\circ C$, tolleranza del resistore $\pm 0.25\%$, Line Regulation: $\pm 5mV$, Load Regulation: $\pm 10mV$ e una precisione di riferimento dell'1%. Nel caso sia la V_{OUT} sia regolata da un partitore resistivo dovrò sommare gli errori delle resistenze per calcolare il massimo errore e fare la media quadratica per avere l'errore totale tipico.

Errore dovuto alla temperatura	$125^\circ C \cdot \pm 100ppm/^\circ C = \pm 1.25\%$
Errore dovuto alla resistenza di campionamento	$\pm 0.25\%$
Errore dovuto alla regolazione del carico	$100\% \cdot (\pm 0.01V/3.3V) = \pm 0.303\%$
Errore dovuto alla regolazione della linea	$100\% \cdot (\pm 0.005V/3.3V) = \pm 0.152\%$
Errore per riferimento	$\pm 1\%$

L'errore, nel caso peggiore, deve considerare che i singoli errori si muovano nello stesso verso e quindi l'errore totale è la somma di tutti i singoli errori.

$$\max\text{ERRTOT} = \pm(1.25\% + 0.25\% + 0.303\% + 0.152\% + 1\%) = \pm 2.955\%$$

Ma una assunzione più realistica, considera che gli errori si sommino in modo casuale, quindi si calcola l'errore totale tipico come somma quadratica (rms) degli errori.

$$\text{tipERRtot} = \pm\sqrt{(1.25^2 + 0.25^2 + 0.303^2 + 0.152^2 + 1^2)} = \pm 1.655\%$$

L'LDO non supererà mai l'errore nel caso peggiore, mentre l'errore RMS è il più probabile.

Power Supply Rejection Ratio (PSRR)

E' una misura di quanto l'LDO sia in grado di sopprimere segnali estranei indesiderati (rumore e ripple) ed evitare che questi influenzino la tensione di uscita. Questo parametro è calcolato con la formula seguente ed è espresso in decibel (dB).

$$\text{PSSR} = 20\text{Log}(V_{IN\text{ripple}}/V_{OUT\text{ripple}}) \text{ [dB]} \quad (1.5)$$

Questo parametro è strettamente legato alla frequenza ed ha un andamento che si può, in modo qualitativo, riportare come in Figura 1.3.

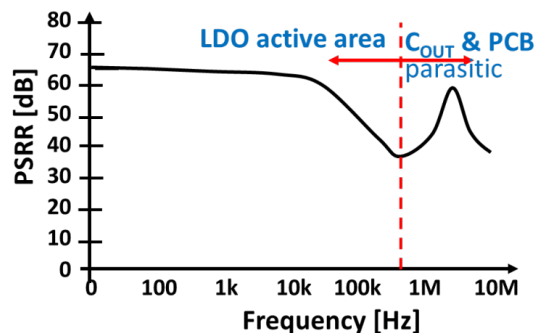


Figura 1.3: PSRR vs frequenza (semplificato).

L'andamento della curva può essere suddiviso in due regioni. La prima alla sinistra del picco minimo, definita come 'LDO active area', è molto vicina all'inverso del guadagno della catena 'amplificatore d'errore e FET'. In questa regione è quindi l'LDO a determinare il fattore di rigetto dell'alimentatore. Nella seconda parte, alla destra del picco minimo a ridurre ripple e rumore contribuiscono soprattutto i parametri parassiti – induttanza delle interconnessioni del PCB e del condensatore di uscita che gioca un ruolo particolarmente significativo nella stabilità dell'uscita dell'LDO.

Tempo di avvio

E' definito come il tempo tra il fronte di salita del segnale di abilitazione e l'istante in cui V_{OUT} raggiunge il 90% del suo valore nominale. Questo test viene solitamente eseguito con V_{IN} applicato attivando lo stadio.

Soglia del limite di corrente

E' definita come la corrente di carico alla quale la tensione di uscita scende al 90% del valore specificato. Ad esempio, il limite di corrente per una tensione di uscita di 3.0V è definita come la corrente che provoca un abbassamento di tale tensione a 2.7V.

Intervallo di temperatura di esercizio

E' determinato dalla temperatura ambiente e di giunzione. Poiché un LDO dissipa calore, l'IC funzionerà sempre al di sopra della temperatura ambiente. Quanto sopra la temperatura ambiente dipende dalle condizioni operative e dalla progettazione termica del PCB. E' specificato un valore massimo della temperatura di giunzione (T_J) ed operare sopra la temperatura massima per periodi prolungati, può influire sull'affidabilità del dispositivo, determinando un tempo medio per guasto (MTTF).

Arresto termico (TSD)

La maggior parte degli LDO ha dei termostati al silicio per proteggere l'IC dall'instabilità termica, in genere spengono l'LDO se la temperatura di giunzione supera la soglia di spegnimento termico specificata. E' necessaria una isteresi per lasciare che l'LDO si raffreddi prima di riavviare. Il TSD è importante per proteggere LDO e anche i componenti sulla PCB.

Enable Input

Sono i morsetti di accensione dell'LDO offerti sia in logica positiva che negativa.

Rumore in uscita [2]

Il riferimento di tensione interno dell'LDO è la sorgente del rumore preponderante, solitamente specificata in $\mu V/\sqrt{Hz}$ (Densità spettrale di rumore). Vediamo nel dettaglio le sorgenti del rumore, la figura 1.4 illustra i generatori V_N di rumore associati ai vari componenti.

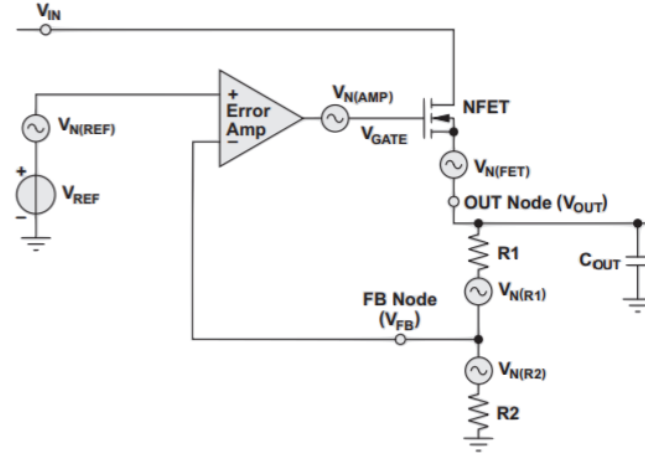


Figura 1.4: Generatori di rumore in LDO [2].

La densità spettrale del rumore in uscita $S_{V_n(OUT)}$ sarà dato dalla seguente equazione:

$$S_{V_n(OUT)} = S_{V_n(AMP)} + S_{V_n(FET)} + \left(1 + \frac{R1}{R2}\right)^2 \cdot (S_{V_n(REF)} + S_{V_n(R1)} + S_{V_n(R2)}) \quad (1.6)$$

Nella maggior parte dei casi, visto che il blocco della tensione di riferimento (o anche detto bandgap circuit) consiste di molti resistori, la $S_{V_n(REF)}$ tende a dominare sui termini resistivi, in prima approssimazione possiamo trascurare anche i termini dovuti al FET e all'amplificatore per cui:

$$S_{V_n(OUT)} = \left(1 + \frac{R1}{R2}\right)^2 \cdot S_{V_n(REF)} \quad (1.7)$$

Per i dispositivi LDO ad alte prestazioni, è comune aggiungere un pin di riduzione del rumore (NR) per creare un filtro passa basso inserendo una capacità C_{NR} come da figura 1.5,

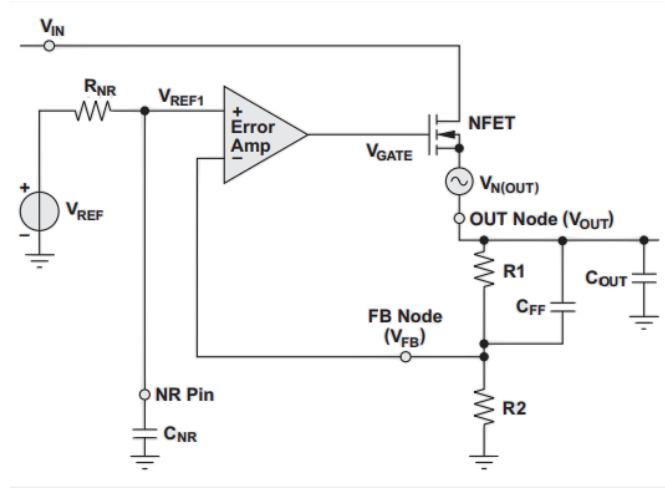


Figura 1.5: Generatori di rumore in LDO con condensatore di riduzione del rumore [2].

avrò così un fattore di riduzione del rumore pari a

$$G_{RC}(f) = \frac{1}{\sqrt{1 + (f/f_{p-C_{NR}})^2}} < 1 \quad (1.8)$$

dove la frequenza del polo sarà

$$f_{p-C_{NR}} = \frac{1}{2\pi \cdot R_{NR} \cdot C_{NR}} \quad (1.9)$$

In generale si utilizzano amplificatori con larga banda per migliorare il PSRR e un filtro passa basso per limitare il rumore di tensione in uscita.

Altra tecnica per ridurre il rumore è l'utilizzo di un condensatore feedforward, C_{FF} , che bypassa il rumore di uscita intorno a $R1$, come illustrato in figura 1.5. Questa azione di bypass, impedisce che il rumore di riferimento venga amplificato dal guadagno dell'amplificatore di errore a frequenze più alte rispetto alla frequenza di risonanza $f_{p-C_{FF}}$

$$f_{p-C_{FF}} = \frac{1}{2\pi \cdot R1 \cdot C_{FF}} \quad (1.10)$$

L'equazione finale del rumore sarà:

$$V_{N(OUT)} = V_{N(Other)} + \left[1 + \frac{R1 \parallel \frac{1}{2\pi \cdot f \cdot C_{FF}}}{R2}\right] \cdot G_{RC}(f) \cdot V_{N(REF)} \quad (1.11)$$

D'altra parte è da considerare che alte C_{NR} causano notevoli ritardi alla tensione di riferimento del regolatore, allo stesso modo grandi C_{FF} determinano un grande

ritardo alla tensione di uscita dell'LDO. Si dovrà quindi cercare un compromesso tra rumore e velocità.

Limiti interni di corrente

La limitazione di corrente in un LDO, è definita stabilendo un valore superiore limite per la corrente erogata [6]. Gli LDO forniscono corrente su richiesta, ma possono anche controllare la potenza totale erogata. La limitazione della corrente è ottenuta attraverso circuiti interni che controllano i transistor dello stadio di uscita come in figura 1.6. Questo è un classico circuito di limitazione della corrente per un LDO ed è comunemente indicato come "Brick-wall", infatti raggiunto il limite, causa una brusca riduzione della corrente. In questo circuito si misura l'uscita di tensione per il feedback e una frazione della corrente di uscita (I_{LOAD}/β) rispetto a un riferimento I_{REF} .

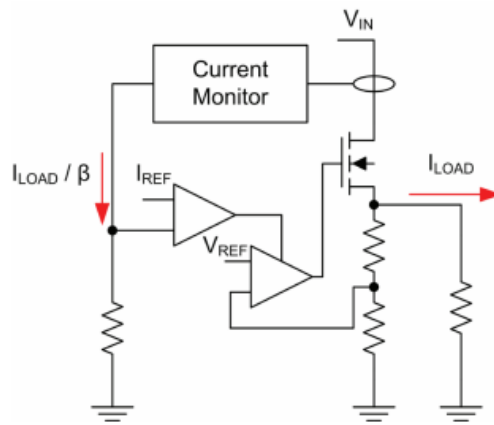


Figura 1.6: Esempio circuito di limitazione di corrente in LDO.

Quando la corrente eccede il limite di corrente, la V_{OUT} non è più controllata dal LDO, ma è regolata dalla resistenza di carico R_{LOAD} e dalla I_{LIMIT} :

$$V_{OUT} = I_{LIMIT} \cdot R_{LOAD} \quad (1.12)$$

Durante questa fase, il pass-transistor continuerà a fornire potenza dissipando calore finché la temperatura di giunzione rimane in limiti accettabili ($T_J, avg < 125^\circ\text{C}$). Una volta che V_{OUT} diventa troppo bassa e viene raggiunto il limite termico, lo spegnimento termico interdice il dispositivo per proteggerlo da danni permanenti, raffreddatosi il dispositivo si riaccende. Ciò è particolarmente importante nei casi in cui si presenti un cortocircuito, in quanto l'LDO procederà a regolare tensione di uscita a 0V.

1.1.2 La stabilità

Studiamo la stabilità della funzione di trasferimento V_{IN} verso V_{OUT} . Il guadagno d'anello ha un polo dominante dovuto dall'amplificatore d'errore (f_{p0}), controllato da una capacità interna di compensazione C_{COMP} e dalla gm dell'amplificatore. Il secondo polo f_{p1} è dovuto alla capacità di uscita C_{OUT} e dalla resistenza vista dall'uscita, che è data dal parallelo di R_L , $R_1 + R_2$ e l'impedenza di uscita del pass transistor. Tipicamente, il dimensionamento porta questa impedenza ad essere circa uguale a R_L .

$$f_{p1} = \frac{1}{2\pi \cdot R_{OUT} \cdot C_{OUT}} \approx \frac{1}{2\pi \cdot R_L \cdot C_{OUT}}$$

$$= \frac{I_L}{2\pi \cdot V_L \cdot C_{OUT}} = \frac{I_L}{2\pi \cdot V_{OUT} \cdot C_{OUT}} = \frac{I_L}{2\pi \cdot V_{REF} \cdot (1 + \frac{R_1}{R_2}) \cdot C_{OUT}} \quad (1.13)$$

Come si nota la posizione del polo è variabile a secondo della corrente di carico in un intervallo di frequenze da "senza carico" ("no load" $I_L = 0$) a "pieno carico" ("full load" operation $I_L = I_{MAX}$). A carico disconnesso il polo può essere a frequenze minore di 1 Hz causando la presenza di due poli dentro la banda di guadagno che potenzialmente possono generare una sfasamento di -180° e di conseguenza oscillazioni [6].

Abbiamo poi un terzo polo (f_{p2}) dovuto alle capacità parassite del pass transistor a frequenze elevate e uno zero (f_{z-ESR}) dovuto alla capacità di output e la sua intrinseca resistenza ESR.

$$f_{z-ESR} = \frac{1}{2\pi \cdot ESR \cdot C_{OUT}} \quad (1.14)$$

approssimativamente avrò una risposta in frequenza come in figura 1.7

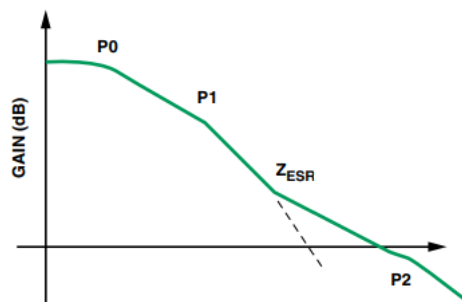


Figura 1.7: Guadagno d'anello LDO [3].

Come vediamo lo zero f_{z-ESR} aiuta a compensare un polo, migliorando il margine di fase. Ovviamente lo zero deve essere in una finestra di frequenze tale che cada prima del guadagno unitario, imponendo un valore all'ESR abbastanza grande, ma non troppo, per evitare che il secondo polo intervenga prima del guadagno unitario, come da figura.

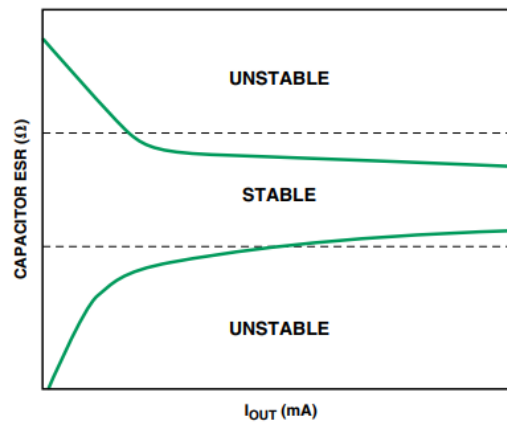


Figura 1.8: Stabilità LDO in funzione di ESR e I_L .

Infine vediamo l'effetto della capacità feed-forward usata per ridurre il rumore in uscita. Questa contribuisce con un polo e uno zero.

$$f_{z-CFF} = \frac{1}{2\pi \cdot R1 \cdot C_{FF}} \quad (1.15)$$

$$f_{p-CFF} = \frac{1}{2\pi \cdot (R1 // R2) \cdot C_{FF}}$$

Determinando una risposta in frequenza come in figura:

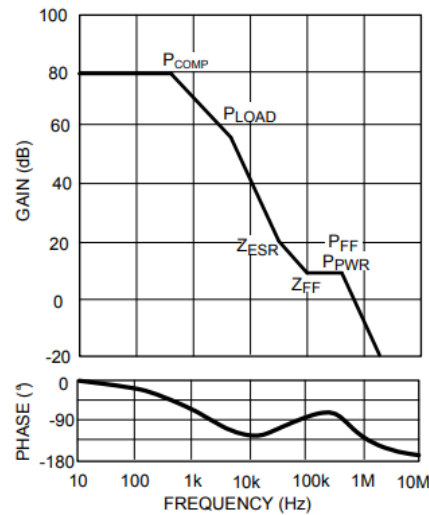


Figura 1.9: Guadagno d'anello LDO considerando C_{FF} .

Per tensioni di uscita molto alte, nel caso di $R_1 \gg R_2$, i poli e gli zeri sono distanti in frequenza migliorando il margine di fase (φ_m), mentre, man mano che V_{OUT} tende a V_{REF} , le singolarità si avvicinano annullando l'effetto benefico del feed-forward sulla fase, per questo tale compensazione è utilizzata solo per $V_{OUT} \gg V_{REF}$.

1.2 LDO LT3045

Cercando tra i vari LDO disponibili sul mercato con specifiche di rumore bassi e PSRR elevati, il rapporto qualità prezzo mi ha indirizzato verso il componente LT3045 [7], LDO a basso dropout ad alte prestazioni, utilizzato per l'alimentazione di circuiti sensibili al rumore. Vediamo di seguito le sue principali caratteristiche che ci hanno portato alla scelta del componente.

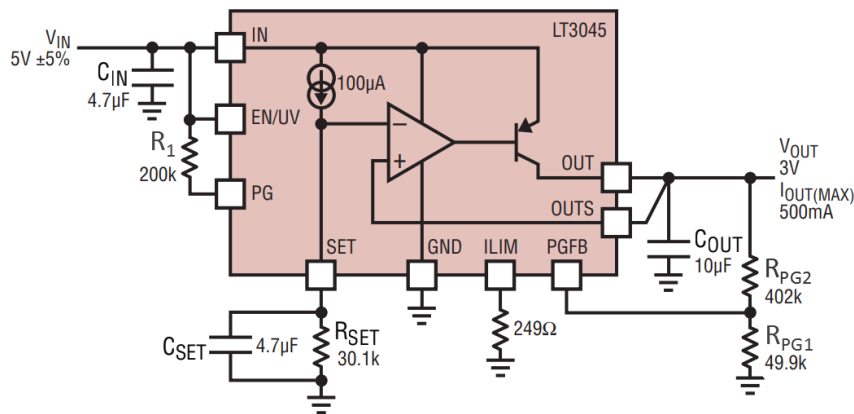


Figura 1.10: Configurazione Tipica LDO LT3045.

Principali caratteristiche:

Rumore RMS ultrabasso	$0.8\mu V_{RMS}(10Hz \text{ to } 100kHz)$
Rumore Spot ultrabasso	$2nV/\sqrt{Hz}$ at $10kHz$
PSRR ultralato	76 dB at 1 MHz
corrente di uscita	500 mA
ampia gamma del voltaggio di ingresso	1.8 V to 20 V
$100\mu A$ corrente di SET Pin	$\pm 1\%$ accuratezza
Larghezza di banda (Bandwidth)	1 MHz
Basso Dropout Voltage	$260mV$
Voltaggio di uscita	$0V$ to $15V$
Protezione da corrente in verse e potenziali inversi	
Un solo condensatore migliora rumore e PSRR	
Un solo Resistore programma il voltaggio di uscita	
Limite di corrente Programmabile	
Power Good Programmabile	
Capacità di avvio veloce (Start-Up Capability)	
Precisione Enable/UVLO	
Limite interno di corrente con Foldback	
Possibilità di mettere in parallelo per migliorare il rumore e la corrente di uscita	

Tabella 1.1: Principali caratteristiche LDO 3045 [7].

Si noti come l'LDO sia progettato a partire da un generatore di corrente, inteso come riferimento di corrente di precisione, seguito da un buffer di tensione ad alte prestazioni (figura 1.11). Il dispositivo fornisce 500 mA con un dropout

tipico di 260 mV . La corrente di riposo è nominalmente 2.2 mA e scende a $1\text{ }\mu\text{A}$ in spegnimento. L'LT3045 ha un ampio intervallo di tensione di uscita (da 0 V a 15 V) e mantenendo il funzionamento a guadagno unitario, fornisce un rumore di uscita praticamente costante, PSRR, larghezza di banda e regolazione del carico indipendentemente dalla tensione di uscita programmata. Inoltre, il regolatore dispone di limite di corrente programmabile, capacità di avvio rapido e un Pin di power-good programmabile per la regolazione del voltaggio in uscita. L'LT3045 è stabile con un condensatore ceramico in uscita di capacità minima di $10\text{ }\mu\text{F}$. La protezione integrata include la "reverse-battery protection", protezione da corrente inversa, limite di corrente interna con "foldback" e limite termico con isteresi. LT3045 è disponibile in versioni termicamente migliorate sia come MSOP a 12 pin e sia come DFN a 10 pin da $3\text{ mm} \times 3\text{ mm}$. Si rimanda all'appendice A per il dettaglio delle funzionalità dei singoli pin.

1.3 LDO LT3045 nella configurazione tipica

Collegiamo LDO come in figura 1.11 e calcoliamo alcuni parametri [7]:

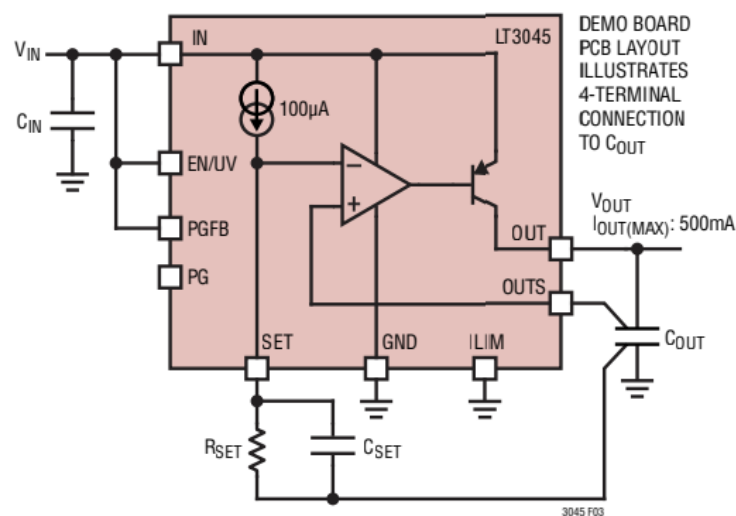


Figura 1.11: Connessioni di C_{OUT} and C_{SET} per prestazioni ottimali.

Corrente di uscita

Abbiamo pin-OUTS collegato con pin-OUT di conseguenza l'amplificatore è a guadagno unitario (buffer), tensione di riferimento uguale alla tensione di uscita,

fornita a bassa impedenza.

$$V_{OUT} = V_{REF} = V_{SET} = I_{SET} \cdot R_{SET} \quad (1.16)$$

Il vantaggio di utilizzare un riferimento corrente rispetto a un riferimento di tensione, utilizzato nei regolatori convenzionali, è che il regolatore opera sempre in configurazione a guadagno unitario, indipendentemente dalla tensione di uscita programmata. Questo consente all'LT3045 di avere guadagno d'anello, risposta in frequenza e una larghezza di banda, indipendente dalla tensione di uscita, quindi anche rumore, PSRR e prestazioni transitorie non cambiano al variare di V_{OUT} . Per ottenere una elevata precisione della tensione di uscita, nasce la necessità di utilizzare come R_{SET} un resistore di precisione, con un isolamento di qualità (Teflon, Kel-F)) contro eventuali percorsi di perdita, elevata pulizia di tutte le superfici isolanti, barriera contro l'umidità e per ridurre al minimo le perdite della scheda, utilizzare un anello di guardia con potenziale vicino all'uscita idealmente collegato al pin-OUT. La riduzione delle perdite di volume dipende dalla larghezza dell'anello di guardia, perdite di $100nA$ dentro o fuori il pin-SET crea un errore dello 0.1% nella tensione di riferimento, la figura 1.12 illustra una tipica tecnica di layout dell'anello di guardia.

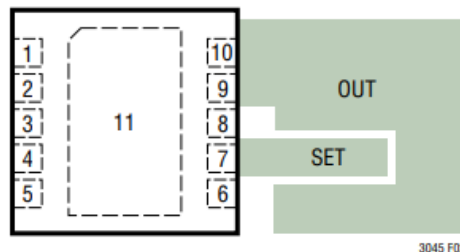


Figura 1.12: Esempio Disposizione DFN Guard Ring.

Il pin-SET è un nodo ad alta impedenza, segnali indesiderati potrebbero causare irregolarità nel comportamento, soprattutto con condensatore di uscita minimo e correnti di carico elevate, per questo si mette in parallelo alla R_{SET} una capacità C_{SET} minimo di $10nF$. Nel nostro progetto il pin-SET dovrà essere pilotato in modo da poter imporre la tensione di uscita a piacimento.

Stabilità dell'uscita

Per avere un elevato PSRR, la larghezza di banda è resa piuttosto elevata ($\approx 1MHz$), ciò comporta un condensatore ceramico sull'uscita da almeno 10, portando frequenza di risonanza a $\approx 1.6 MHz$. Pertanto, è molto importante evitare di aggiungere extra impedenza (ESR,ESL) al di fuori del ciclo di feedback. La Figura

1.11, riduce al minimo gli effetti induttivi della traccia e della saldatura sul PCB legando il pin-OUTS direttamente a C_{OUT} e il lato GND di C_{SET} direttamente al lato GND di C_{OUT} , oltre a mantenere i lati GND di C_{IN} e C_{OUT} ragionevolmente vicini. Nel nostro caso si è deciso di far proseguire il pin-OUTS e pin-OUT al connettore della scheda madre, in modo da chiudere il feedback il più vicino possibile al DUT, riducendo disturbi e rumori rispetto una normale pista di alimentazione.

Stabilità e condensatore d'uscita

L'LT3045 richiede un condensatore di uscita per la stabilità. Data la sua elevata larghezza di banda, si consiglia condensatori ceramici con bassa ESR e ESL (ESR inferiore a $20\text{ m}\Omega$ e un ESL inferiore a 2 nH), il valore minimo $C_{OUT} = 10\mu\text{F}$ ci dà le migliori prestazioni di PSRR e basso rumore, valori maggiori ridurrebbero la larghezza di banda e solo marginalmente migliorerebbero le prestazioni (come visto prima il secondo polo è direttamente legato a C_{OUT}), anche se limiterebbe il picco di uscita durante il transitorio di carico. Si noti come i condensatori di bypass utilizzati per disaccoppiare i singoli componenti alimentati dall'LT3045 aumentino la capacità effettiva di uscita. Le variazioni della capacità a causa della temperatura e della tensione di esercizio necessitano una attenta verifica, la scheda tecnica consiglia l'utilizzo di condensatori ceramici serie Murata's GJ8. Particolare attenzione anche agli effetti piezoelettrici dei condensatori ceramici, che in ambienti con vibrazioni meccaniche o transitori termici, comportano un rumore che per il C_{IN} e C_{OUT} sono trascurabili, mentre per il C_{SET} , vista l'alta impedenza, generano in uscita escursioni di picco di centinaia di μV .

Stabilità e capacità di ingresso

L'LT3045 è stabile con un condensatore C_{IN} da $4.7\mu\text{F}$ minimo, possibilmente ceramico a bassa ESR. Valori elevati di corrente di ingresso, bassi valori di C_{IN} ed elevate induttanze (causate da cavi lunghi di alimentazioni o elevate ESL) portano instabilità in ingresso (circuito risonante LC).

Rumore in uscita

A differenza della maggior parte dei regolatori lineari, l'LT3045 non utilizza un riferimento di tensione, ma un riferimento di corrente di $100\text{ }\mu\text{A}$. Il riferimento di corrente opera con rumore di $20\frac{\text{pA}}{\sqrt{\text{Hz}}}$ (6 nA_{RMS} su una larghezza di banda da 10 Hz a 100 kHz). Il rumore di tensione risultante è uguale alla corrente di rumore moltiplicato per il valore del resistore SET, sommato con il rumore dell'amplificatore di errore e del resistore del partitore di tensione, che nel nostro caso è nullo essendo in configurazione buffer e non necessita peraltro della capacità di feed-forward (C_{FF}). Il guadagno unitario rende indipendente il rumore di uscita dalla tensione programmata. Mettendo in parallelo C_{SET} con R_{SET} , il rumore verrà

filtrato dal circuito RC, pertanto il rumore in uscita sarà dato essenzialmente dal rumore dell'amplificatore di errore, che in genere è $2nV/\sqrt{Hz}$ su una banda da $10kHz$ a $1MHz$, ed integrato da $10Hz$ a $100kHz$ da un valore quadratico medio di $0,8\mu V_{RMS}$ considerando una capacità $C_{SET} = 4.7\mu F$. Il parallelo di più LT3045 riduce ulteriormente il rumore di \sqrt{N} , per N regolatori in parallelo.

Capacità del pin SET (bypass): rumore, PSRR, transitorio e Soft-Start

il condensatore del pin di SET oltre a ridurre il rumore in uscita, migliora anche il PSRR perché filtra il ripple del riferimento di corrente. Di contro rallenterà il transitorio di V_{SET} , quando è disabilitata la funzionalità fast start-up. Infatti la costante di tempo RC, determina un avvio soft con ramp-rate da 0 al 90% al valore nominale di V_{OUT} dato da:

$$t_{SS} \approx 2,3 \cdot R_{SET} \cdot C_{SET} \text{ (Avvio rapido disabilitato)} \quad (1.17)$$

Si noti che qualsiasi perdita del condensatore di bypass deteriora la regolazione dell'LT3045, perdite di $100nA$ comportano errori 0,1%. Pertanto, il datasheet raccomanda l'uso di un condensatore ceramico a bassa dispersione di buona qualità.

Avvio rapido

Per applicazioni a bassissimo rumore, che richiedono un basso rumore 1/f a frequenze inferiori ai $100Hz$, è necessario un condensatore SET fino a $22\mu F$, aumentando significativamente il tempo di avvio del regolatore.

LT3045 incorpora un circuito di avvio rapido, che aumenta la corrente del pin di SET a circa $2mA$ durante l'avvio. Tale sorgente di $2mA$ rimane attiva finché il pin PGFB è inferiore a $300mV$, a meno che non intervenga il limite di corrente, dropout, arresto termico o la tensione di ingresso è inferiore al V_{IN} minimo. Se non viene utilizzata la funzionalità (come nel nostro progetto), collegare PGFB a IN (o al pin OUT per tensioni di uscita superiori a $300mV$). Così facendo si disabilita anche la funzionalità power good. Nel nostro progetto non sarà possibile implementare tale funzione anche perché implicherebbe fare un partitore di tensione dopo la chiusura del loop (come di seguito riportato).

Programmazione del power good

Si riporta un accenno per completezza dell'informazione visto che nel progetto non si usa la funzionalità dell'avvio rapido. La soglia power good è programmabile dall'utente agendo sul pin PGFB con un partitore di tensione di due resistenze esterne (R_{PG2} e R_{PG1}) partendo da V_{OUT} , come da figura 1.10.

$$V_{OUT(PG_{THRESHOLD})} = 0,3V \cdot \left(1 + \frac{R_{PG2}}{R_{PG1}}\right) + I_{PGFB} \cdot R_{PG2} \quad (1.18)$$

Possiamo trascurare la I_{PGFB} per $R_{PG1} < 30K\Omega$, se il pin PGFB aumenta oltre i $300mV$, il pin PG si disattiva e diventa ad alta impedenza. Il comparatore power good ha un'isteresi di $7mV$ e $5\mu s$ di ritardo. Come si nota dell'equazione stessa tale funzione è disabilitata per tensioni di uscita inferiori a $300mV$, anche per questo nel nostro progetto sarà disabilitata.

ABILITA/UVLO (undervoltage lockout)

Il pin EN/UV viene utilizzato per accendere e spegnere il regolatore, lo spegnimento in realtà mette il regolatore in uno stato di micropotenza. La soglia di accensione è di $1,24V$ sul pin EN/UV con $130mV$ di isteresi sul fronte di discesa. Utilizzando un partitore resistivo dal pin IN può essere utilizzato per un blocco di sottotensione, per il calcolo delle resistenze si rimanda alle caratteristiche elettriche della corrente del pin secondo la seguente formula $V_{IN(UVLO)} = 1.24V \cdot (1 + \frac{R_{EN2}}{R_{EN1}}) + I_{EN} \cdot R_{EN2}$ (per $R_{EN1} < 100K\Omega$ si può trascurare I_{EN}). Se non usato collegarlo con pin IN. Nel nostro progetto sarà comandato direttamente dalla scheda Arduino per cui andrà al connettore della scheda madre

Programmazione del limite di corrente (ILIM)

La soglia del limite di corrente del pin ILIM è $300mV$. Connettendo una resistenza da ILIM a GND si imposta la corrente massima che fuoriesce dal pin ILIM, che a sua volta programma il limite di corrente dell'LT3045.

$$I_{OUT,max} = \frac{150mA \cdot K\Omega}{R_{ILIM}} \quad (1.19)$$

Nel caso si raggiungessero potenze elevate (IN-to-OUT maggiori di $12V$) potrebbe intervenire una limitazione interna per prevenire danni al dispositivo. La corrente del pin ILIM è proporzionale alla corrente di uscita ($I_{OUT} = 500 \cdot I_{ILIM}$) quindi tale pin funge anche da monitoraggio della corrente con un range da $0V$ a $300mV$. Se non utilizzato collegarlo direttamente a GND. Nel nostro progetto verrà settata una corrente massima di $0.5A$ da cui

$$R_{ILIM} = \frac{150mA \cdot K\Omega}{I_{OUT,max}} = \frac{150mA \cdot K\Omega}{500mA} = 300\Omega \quad (1.20)$$

1.4 Pilotaggio del Pin di SET

Come accennato prima LDO LT3045 per settare la tensione in uscita, utilizza una corrente di riferimento fissa ($100\mu A$) che uscendo sulla resistenza R_{SET} determina il potenziale del pin di SET, che nella configurazione buffer è anche la tensione di OUT. Di conseguenza, la prima idea che ci può venire in mente per imporre

dinamicamente la tensione di uscita, è utilizzare una resistenza variabile, cioè un potenziometro digitale.

1.4.1 Criticità del potenziometro digitale

Per avere una finezza di $1mV$ da $0 - 3,3v$ dovrei cercare potenziometri digitali a non meno di 12 bit infatti.

$$N_{bit} = \text{int}(\log_2(\frac{3,3V - 0V}{1mV})) = \text{int}(\ln(3300)/\ln(2)) = \text{int}(11,68) = 12 \quad (1.21)$$

Potenzimetri digitale con risoluzione maggiore di 10 bit ne esistono pochi modelli (12 bit), tutti irreperibili sul normale mercato consumer e con costi enormi per piccole quantità. Una possibile soluzione alternativa è l'utilizzo di più potenziometri in cascata come nell'esempio sotto riportato [8], ove si utilizzano 3 potenziometri a 8 bit figura 1.13.

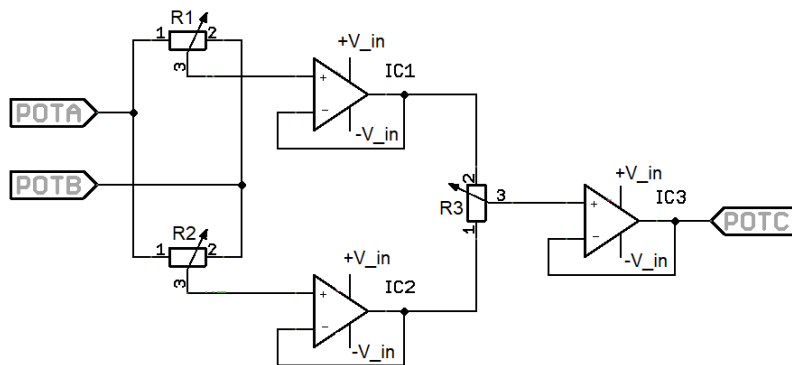


Figura 1.13: Circuito equivalente di un potenziometro a 16 bit [8].

Il funzionamento è relativamente semplice, con riferimento allo schema teorico figura 1.13, abbiamo i due ingressi del potenziometro marcati come POTA e POTB, tipicamente POTA va collegato alla tensione che vogliamo ridurre, POTB a GND, nulla vieta di inserire delle resistenze aggiuntive in serie a POTA e POTB se vogliamo calibrare il range di tensione su cui lavorare, POTC è l'out del potenziometro digitale. R1-R2-R3, nello schema teorico, sono tre potenziometri digitali a 8 bit, sono collegati ad un OpAmp in configurazione voltage follower, se regoliamo POTA con uno step in più rispetto a POTB, p.e. POTA 100 POTB 99, sugli

ingressi del terzo potenziometro digitale avremo una tensione pari $n \cdot 1/256$ di quella applicata tra POTA e POTB, dato che R3 ci permette di variare ulteriormente la tensione in 256 step ne consegue che la tensione in uscita dal terzo OpAmp, POTC, è variabile complessivamente di $256 \cdot 256 = 65536$ step. Comunque tale circuito è assimilabile ad un DAC vero e proprio, perdendo la sua connotazione di potenziometro digitale e non usando così il riferimento in corrente del Pin di SET, in più la realizzazione circuitale riportata in figura 1.14 richiede 2 MCP4361 (digipot quadruplo a 8 bit) e 2 MCP6024 (opamp rail to rail quadruplo) da far convivere sullo stesso modulo.

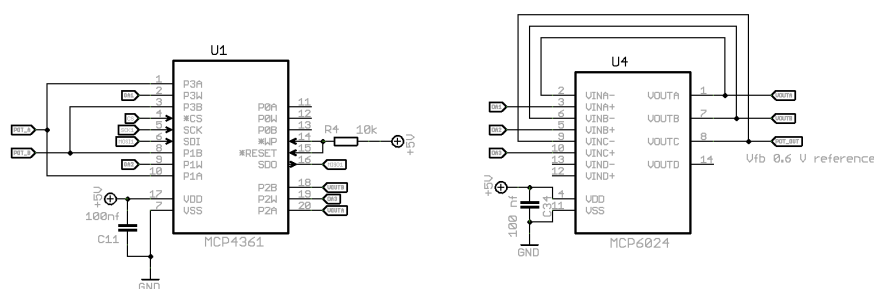


Figura 1.14: Circuito di un potenziometro a 16 bit [8].

Si è pervenuto così alla soluzione di pilotare i SET degli LDO con unico DAC a più uscite, seguito da un filtro passa basso, riducendo così le dimensioni del pilotaggio.

1.5 DAC e LDO

La Texas Instruments riporta alcuni esempi di LDO comandati in tensione, pilotati da DAC [9], poca invece la letteratura su LDO con riferimento in corrente, regolati da convertitori digitali analogici [10], comunque tutti prevedono un disaccoppiamento dei dispositivi tramite un buffer, anche il datasheet del LT3082 [11] riporta il seguente esempio figura 1.15

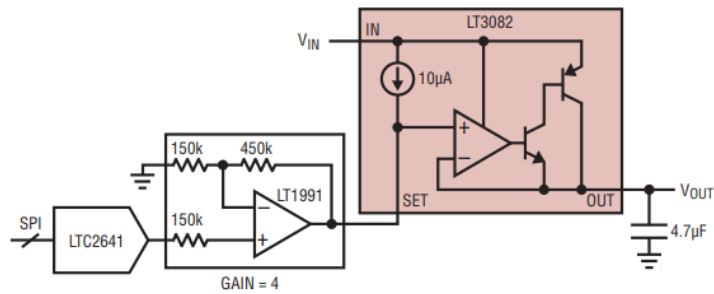


Figura 1.15: DAC controlla LDO LT3082 [11].

Tra i vari datasheet dei DAC ho trovato AD5685R che implementa già in uscita un buffer di tensione, il basso costo e il basso rumore in uscita mi ha portato a sceglierlo tra le versioni 14 bit a più uscite (per la precisione 4). Ho scelto la versione a 14 bit per problematiche di specifiche di seguito riportate, dandomi la possibilità di scalare tensioni superiori a 3.3V con medesima risoluzione.

$$\frac{3.3V - 0V}{2^{12}} = 0.0008V$$

$$\frac{5V - 0V}{2^{14}} = 0.0003V$$
(1.22)

1.6 Il DAC AD5685R

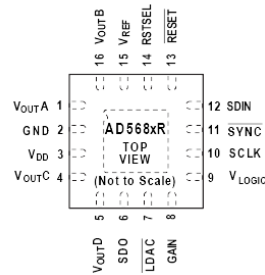


Figure 2. 16-Lead LFCSP

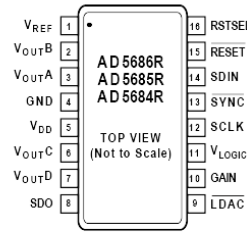


Figure 3. 16-Lead TSSOP

Figura 1.16: DAC AD5685R [12].

La famiglia nanoDAC è composta da DAC quad a bassa potenza con 4 uscite in tensione bufferizzata a 16/14/12 bit [12]. I dispositivi includono un riferimento interno di 2.5V a bassa deriva 2 ppm/°C (abilitato per impostazione predefinita) e un pin di selezione del guadagno che fornisce un'uscita a fondo scala di 2.5V (guadagno=1) o 5V (guadagno=2), tale specifica ci impone di usarlo con guadagno=2 per arrivare a voltaggi di 3.3V, anche per questo è stata scelta la versione 14 bit altrimenti con 12 non si sarebbe raggiunta la risoluzione richiesta.

$$\frac{5V - 0V}{2^{12}} = 0.0012V \quad (1.23)$$

Tutti i dispositivi funzionano con un'unica alimentazione da 2.7V a 5.5V, sono garantiti monotonicità in base alla progettazione e mostrano un errore di guadagno FSR inferiore allo 0.1% e prestazioni di errore di offset di 1.5mV. I dispositivi sono disponibili in un pacchetto LFCSP 3 mm × 3 mm e TSSOP. AD5686R/AD5685R/AD5684R incorporano anche un circuito di ripristino dell'alimentazione e un pin RSTSEL, che programma le uscite del DAC a zero o metà scala, fino a quando non viene eseguita una scrittura valida. Ha funzione di spegnimento per canale, che riduce il consumo di corrente del dispositivo a 4μA a 3V durante tale modalità. L' AD5686R/AD5685R/AD5684R impiegano una interfaccia SPI versatile che opera a frequenze di clock fino a 50 MHz e tutti i dispositivi contengono un pin V_{LOGIC} destinato alla logica di 1.8V/3V/5V. In evidenza oltre la bassa deriva del riferimento, anche un'alta precisione ±1 LSB massimo.

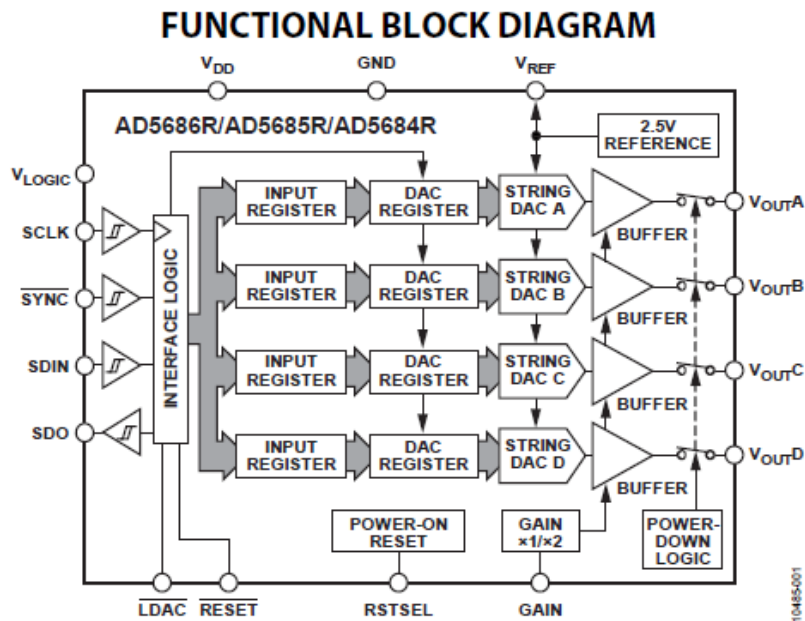


Figure 1.

Figura 1.17: Schema a blocchi Funzionali [12].

Riassumendo le caratteristiche principali sono:

- Alta precisione relativa (INL): ± 1 LSB massimo (AD5685R a 14 bit)
- Riferimento su chip a bassa deriva 2,5 V: coefficiente di temperatura tipico di 2 ppm/ $^{\circ}$ C
- Minuscolo pacchetto LFCSP a 16 derivazioni da 3 mm \times 3 mm o TSSOP a 16 derivazioni
- Errore totale non corretto (TUE): 0.1 % di FSR massimo
- Errore di offset: 1.5 mV massimo
- Errore di guadagno: 0.1% di FSR massimo
- Elevata capacit  di azionamento: 20 mA, 0.5 V dalle piste di alimentazione
- Guadagno selezionabile dall'utente di 1 o 2 (pin GAIN)
- Ripristino della scala zero o media (pin RSTSEL)
- Compatibilit  logica 1.8 V
- Interfaccia SPI a 50 MHz
- Alimentazione da 2.7 V a 5.5 V

- Intervallo di temperatura da -40°C a $+105^{\circ}\text{C}$

Si rimanda all'appendice B per il dettaglio delle funzionalità dei singoli pin e l'interfaccia seriale.

1.7 Collegamento DAC - LDO

L'idea di pilotare un LDO con un DAC non è molto documentata [12], comunque online se ne trovano alcuni esempi [9] e tentativi da parte di progettisti [13]. Partendo da questi esempi e considerando che il SET del LDO è un nodo ad alta impedenza da cui esce una corrente da $100\mu\text{A}$ per pilotare l'uscita dello stesso, nasceva la necessità di disaccoppiare l'uscita del DAC a bassissima impedenza ($0.04\ \Omega$) dalla porta di SET; cosa più semplice, l'idea di un buffer all'uscita del DAC, ma leggendo attentamente il diagramma a blocchi funzionale del datasheet (1.17) si nota nella sua architettura interna, un buffer in uscita, in grado di sopportare una corrente entrante di $100\ \mu\text{A}$ ($-30\text{mA} < I_{OUT} < +30\text{mA}$ [12]). A questo punto non rimaneva che filtrare il rumore uscente dal DAC prima di pilotare LDO, argomento del prossimo capitolo.

Capitolo 2

Soluzioni circuitali

2.1 Scelta del filtro passa basso

Per filtrare il rumore in uscita dal DAC mi serviva un filtro passa basso con una F_c molto bassa. Le scelte possibili a questo punto erano tre:

Filtro attivo preconfezionato su Chip

Filtro attivo da disegnare su scheda con AmpOp

Filtro passivo

Riporto di seguito alcune delle considerazioni che poi mi hanno portato alla configurazione attuale.

2.1.1 Filtro attivo: LT1568

L'LT[®]1568 [14] è un filtro RC attivo di facile utilizzo, con ingressi e uscite rail-to-rail, basso rumore, configurabile come filtro passa basso con frequenza di taglio $200\text{KHz} < F_c < 5\text{MHz}$, Butterworth o Chebyshev da 2 o 4 poli e guadagno unitario, con rapporti segnale rumore oltre i 90dB , corrente di alimentazione 0.5A e alimentazione 5V . È stato configurato secondo lo schema in figura 2.1 con un $F_c = 1\text{MHz}$

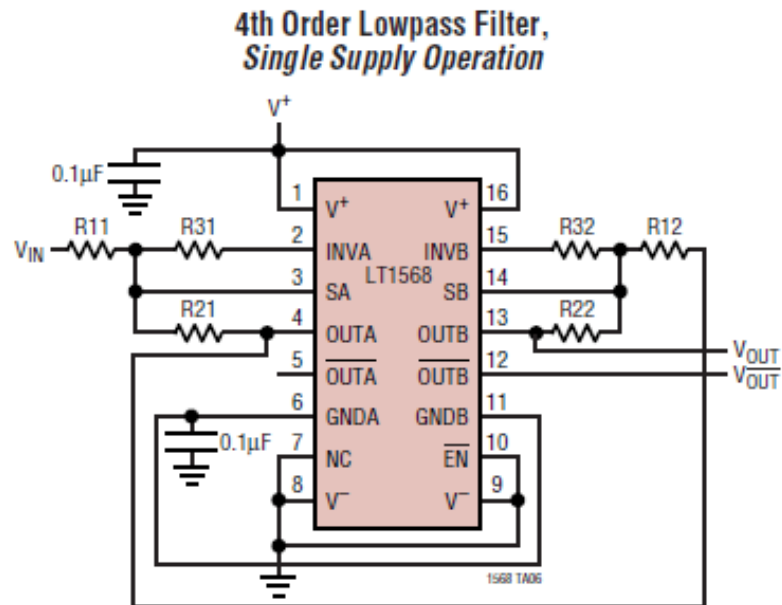


Table 4. Resistor Values in Ohms, 4th Order Lowpass Butterworth, Gain = 1

f_{CUTOFF} (MHz)	R11, R21	R31	R12, R22	R32
1	1.05k	1.58k	1.82k	887 Ω
2	523 Ω	787 Ω	909 Ω	432 Ω
3	348 Ω	523 Ω	590 Ω	294 Ω
4	255 Ω	383 Ω	432 Ω	215 Ω
5	205 Ω	309 Ω	348 Ω	174 Ω
6	169 Ω	255 Ω	280 Ω	143 Ω
7	143 Ω	221 Ω	232 Ω	124 Ω
8	124 Ω	196 Ω	196 Ω	107 Ω
9	107 Ω	174 Ω	169 Ω	97.6 Ω
10	97.6 Ω	158 Ω	143 Ω	88.7 Ω

Figura 2.1: LT1568 in configurazione Lowpass Butterworth guadagno unitario [14].

Una volta inserito tra il DAC e il SET del LDO con una tensione di uscita

di $3.3V$ su un carico di 6.6Ω per cui, una corrente da $0.5A$ ho ottenuto una buona risposta al segnale come in figura 2.2

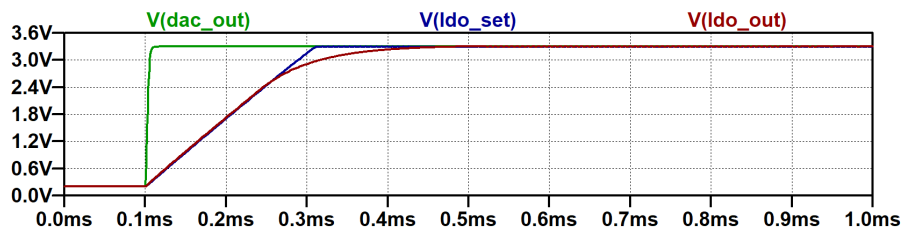


Figura 2.2: Risposta a Gradino con LT1568 in configurazione Lowpass Butterworth guadagno unitario.

Ma un pessimo risultato sul rumore che integrato fra $10Hz$ e $100KHz$ è risultato $12.334\mu V$ figura 2.3, mi ha portato a escludere tale soluzione.

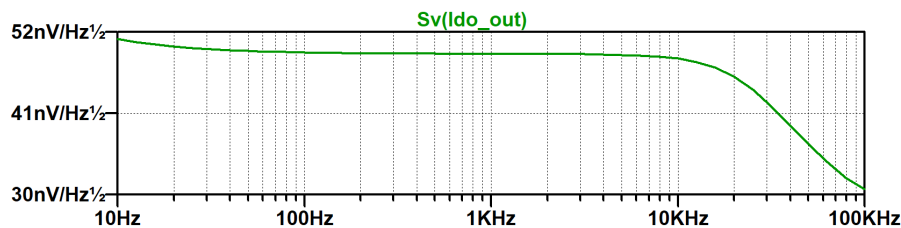


Figura 2.3: Rumore in uscita LDO con LT1568 in configurazione Lowpass Butterworth guadagno unitario.

2.1.2 Filtro attivo: LT1567

L'LT[®]1567 [15] è un building block analogico ottimizzato per applicazioni di filtri a bassissimo rumore. Contiene due amplificatori operazionali rail-to-rail a banda larga, uno di essi configurati internamente come inverter a guadagno unitario. Con l'aggiunta di alcuni componenti passivi, il LT1567 diventa un filtro flessibile del secondo ordine con frequenza di taglio (f_c) fino a $5MHz$, ideale per l'antialiasing o per il filtraggio dei canali in sistemi di comunicazione dati ad alta velocità. Usato nella sua configurazione di filtro passa basso Butterworth del secondo ordine dal datasheet in figura 2.4

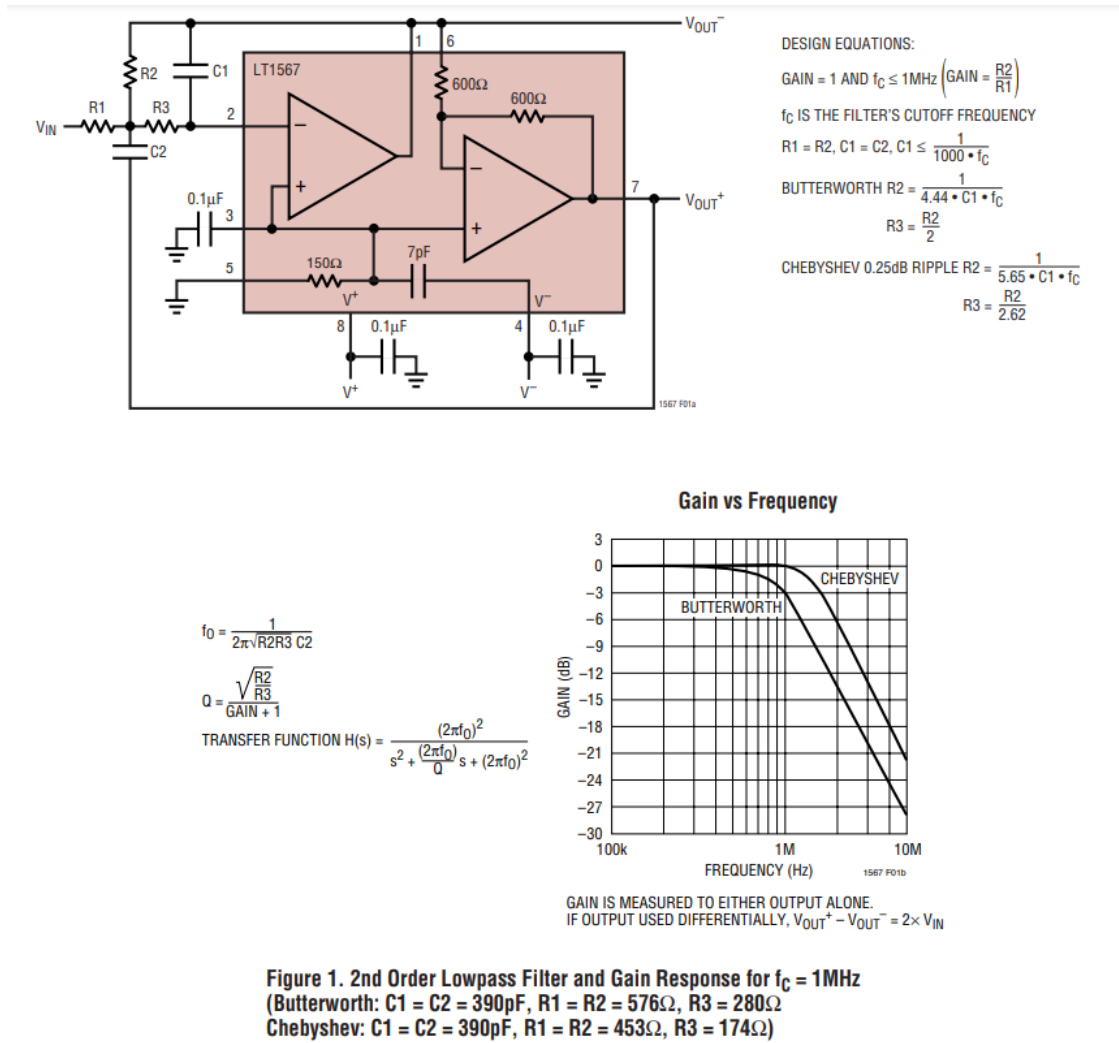


Figura 2.4: LT1567 in configurazione Lowpass Butterworth guadagno unitario [15].

Inserito nel circuito sempre con tensione $3.3V$ e carico di 6.6Ω nella configurazione $F_c=20\text{ Hz}$, come in figura 2.5, con diagramma di bode Figura 2.6 dava sempre un ottima risposta nel transitorio, ma un rumore integrato fra $10Hz$ e $100KHz$ piuttosto elevato $5.6224\mu V$ figura 2.7, soluzione anche questa scartata per l'elevato rumore.

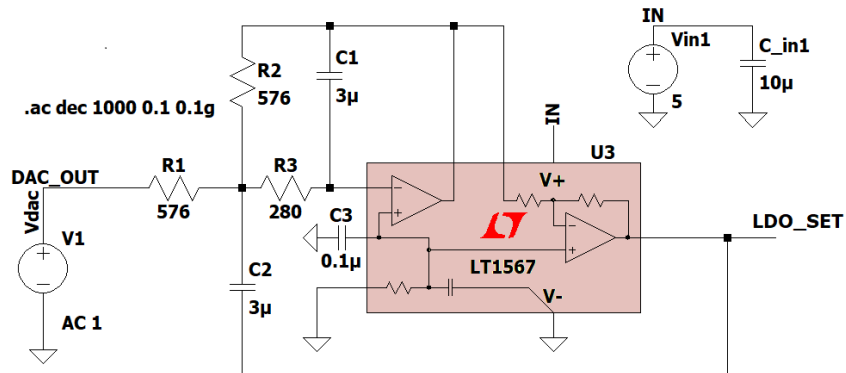


Figura 2.5: Filtro LT1567 in configurazione Butterworth passa basso del secondo ordine a guadagno unitario $F_c=20$ Hz.

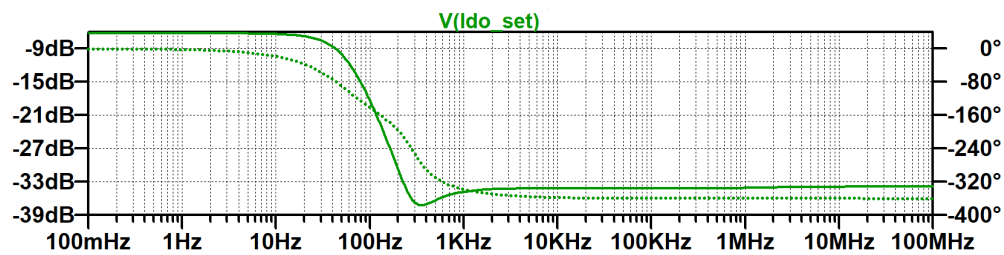


Figura 2.6: Diagramma di Bode filtro LT1567 in configurazione Butterworth passa basso del secondo ordine a guadagno unitario.

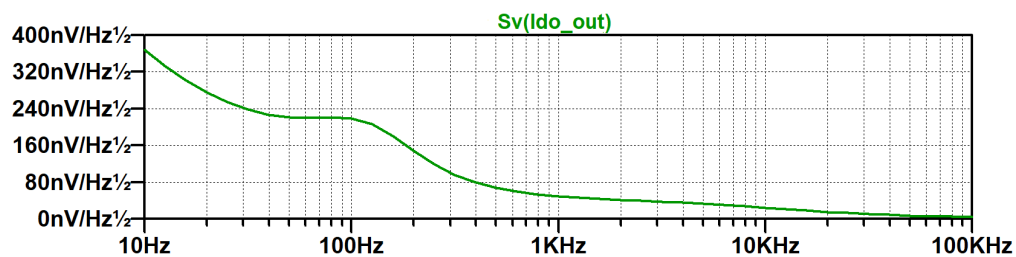


Figura 2.7: Rumore in uscita LDO con Filtro LT1567 in configurazione Butterworth passa basso del secondo ordine a guadagno unitario.

2.1.3 Filtri attivo Sallen Key $F_c=1.6$ Hz e $Q=1$

Uno dei primi filtri non integrati provati è stato il Sallen Key con $F_c=1.6$ Hz come illustrato in figura 2.8, sempre con tensione $3.3V$ e carico di 6.6Ω .

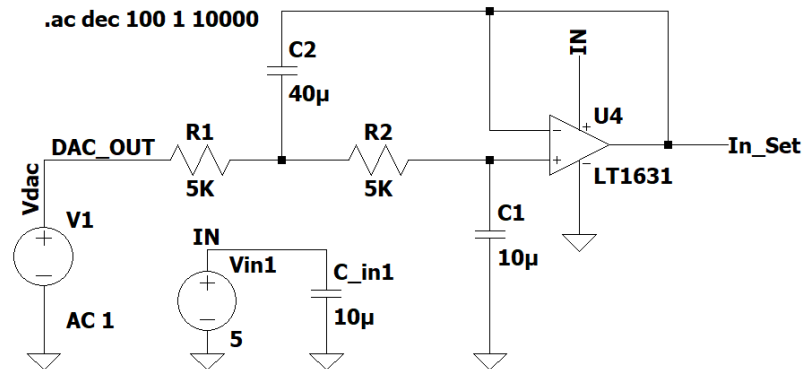


Figura 2.8: Sallen Key $F_c=1.6$ Hz $Q=1$.

secondo le ben note equazioni 2.1 ho scelto i componenti in modo da ottenere una bassissima F_c

$$\omega_c = \frac{1}{R \cdot C \cdot \sqrt{n}} = \frac{1}{5K\Omega \cdot 10\mu F \cdot 2} = 10\text{rad/s} \quad (2.1)$$

$$Q = \frac{\sqrt{n}}{2} = 1$$

Con diagramma di Bode sotto riportato

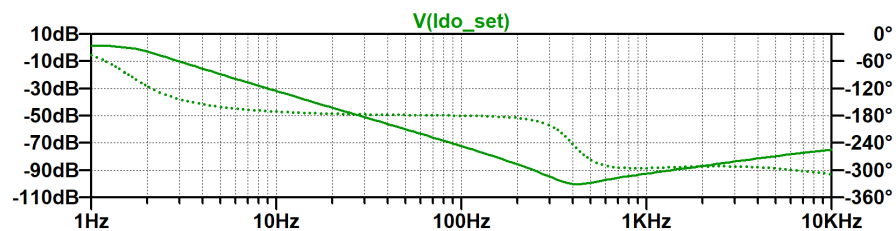


Figura 2.9: Sallen Key $F_c=1.6$ Hz $Q=1$ diagramma di Bode.

Tale scelta mi ha portato una risposta lenta nel tempo, con abbondante sovraelongazione nel transitorio 2.10

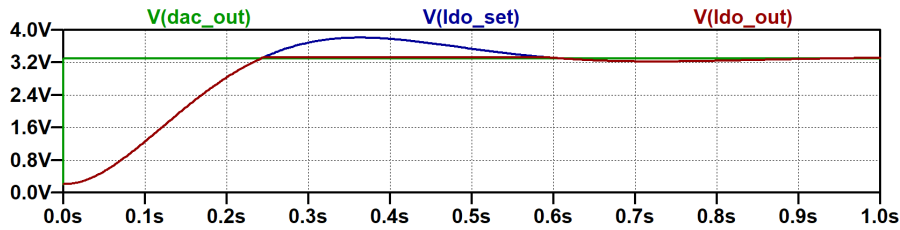


Figura 2.10: Risposta nel tempo con filtro Sallen Key.

E un rumore in uscita LDO integrato fra 10 Hz e 100 KHz di 809.97 nV abbastanza basso 2.11

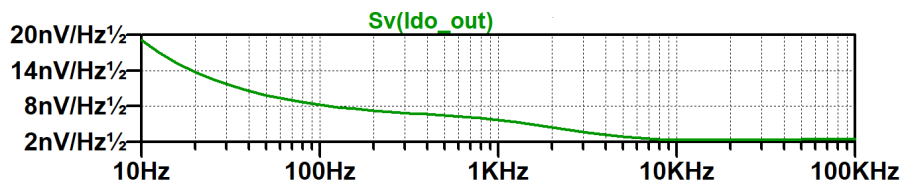


Figura 2.11: Rumore in uscita con filtro Sallen Key.

La lentezza della risposta mi ha fatto desistere da tale soluzione.

2.1.4 Filtro passa basso del terzo ordine Bessel $F_c=100\text{ Hz}$

Grazie ad una applicazione online per simulare filtri attivi dell'analogic Device [16], ho potuto provare svariate configurazioni di filtri, questo è un esempio fra i tanti provati, con tensione di uscita dell'LDO $V_{OUT} = 3.3V$ e carico di $R_L = 6.6\Omega$

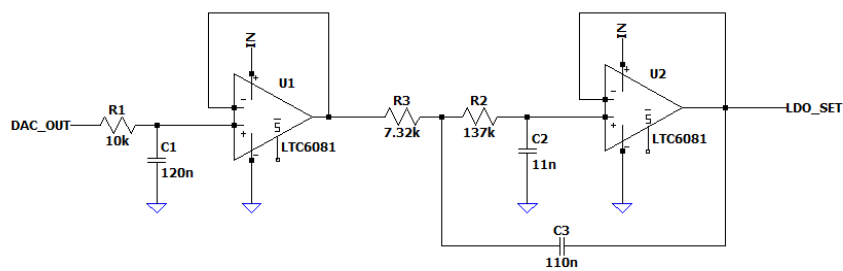


Figura 2.12: Filtro terzo ordine Bessel con $F_c=100\text{Hz}$ dai Tools di Analogic Device.

Anche tale soluzione risultava un po' lenta e rumore in uscita integrato fra 10 Hz e 100 KHz di $4.7781\text{ }\mu\text{V}$ non accettabile.

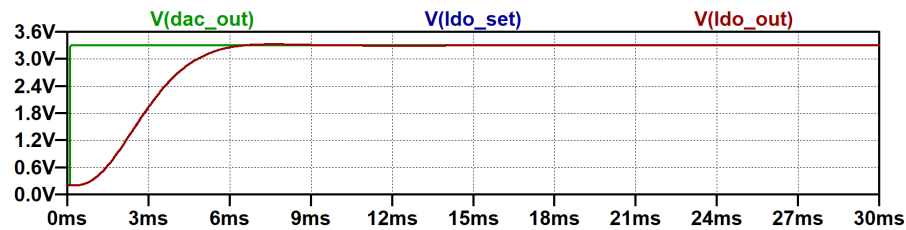


Figura 2.13: Filtro terzo ordine Bessel con $F_c=100\text{Hz}$ Transitorio.

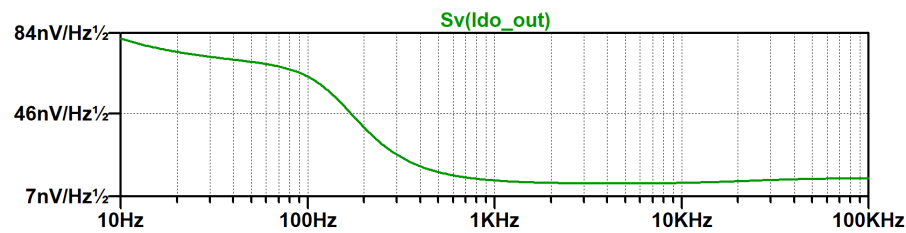


Figura 2.14: Filtro terzo ordine Bessel con $F_c=100\text{Hz}$ Rumore.

2.1.5 Filtro attivo primo ordine $F_c=160\text{ Hz}$

Un ultimo esempio tra i filtri attivi provati, con l'intento di ridurre al minimo gli elementi attivi, è il filtro del primo ordine con $F_c=160\text{ Hz}$, $V_{OUT} = 3.3\text{V}$ e $R_L = 6.6\Omega$

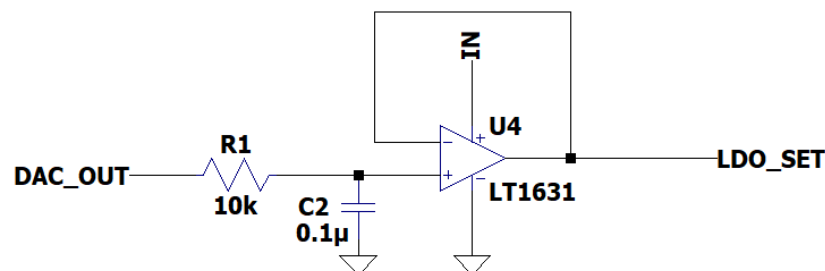


Figura 2.15: Filtro attivo primo ordine attivo $F_c=160\text{Hz}$.

Rumore in uscita LDO integrato fra 10 Hz e 100 KHz di 824.36 nV , ma transitorio ancora un po' lento. Gli elementi attivi aiutano a velocizzare un po' la risposta, ma introducono rumore.

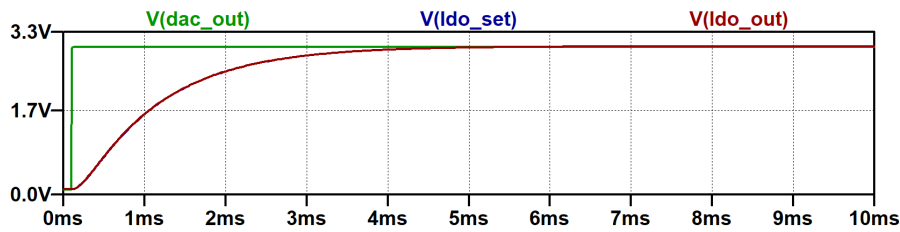


Figura 2.16: Filtro attivo primo ordine attivo $F_c=160\text{Hz}$ risposta a gradino.

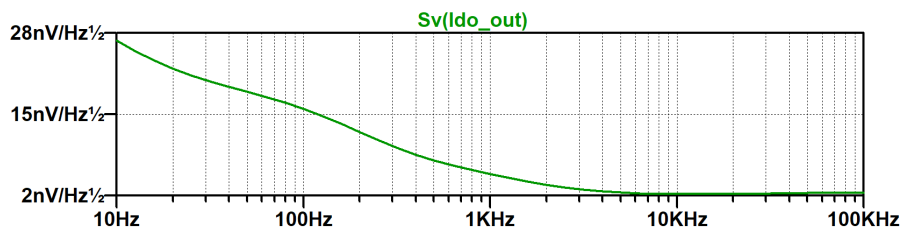


Figura 2.17: Filtro attivo primo ordine $F_c=160\text{Hz}$ Rumore in uscita LDO.

2.1.6 Filtro passivo primo ordine

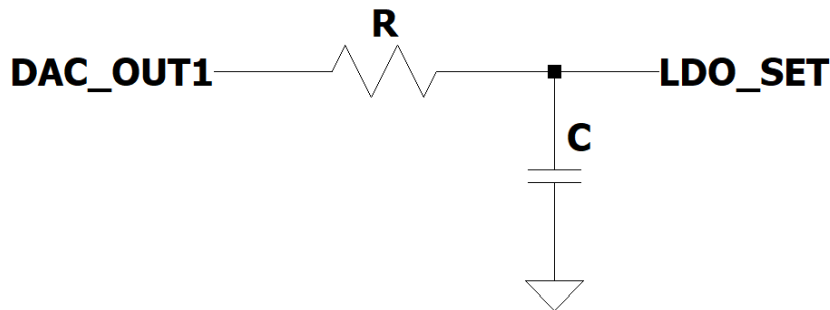


Figura 2.18: Filtro passivo primo ordine.

Spesso la soluzione più semplice dà i migliori risultati, introducendo meno componenti possibili e considerando la proprietà dei condensatori di stabilizzare la tensione in continua, ho pensato ad un semplice filtro del primo ordine passivo. Considerando che la resistenza è percorsa dalla corrente uscente dal pin-set dell'LDO di $100\mu\text{A}$ nella direzione del DAC, questa determinando una caduta di tensione che inevitabilmente alzerà il fondo scala del circuito di alimentazione, per rientrare nelle specifiche di progetto, dobbiamo sceglierla bassa. Infatti visto che

$V_{Min} \approx R \cdot 100\mu A$ (cioè un aumento del fondo scala di $10mV$ ogni 100Ω), ho scelto una resistenza di 100Ω . Il condensatore è stato selezionato partendo dalle specifiche del LT3045 che consigliavano un C_{SET} da un minimo di $4,7\mu F$ ad un massimo di $22\mu F$. Simulando con diverse capacità ho ottenuto i seguenti grafico del rumore (figura 2.19) e dal transitorio (figura 2.20).

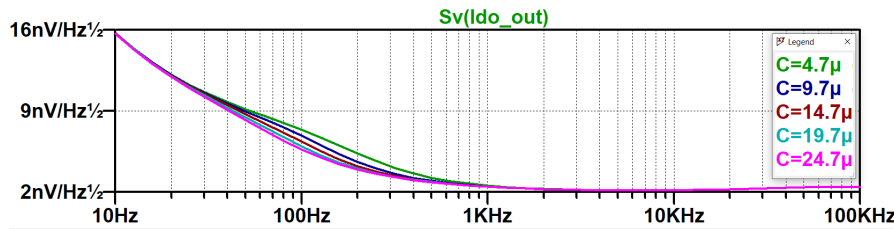


Figura 2.19: Rumore filtro passivo primo ordine al variare della capacità di Set.

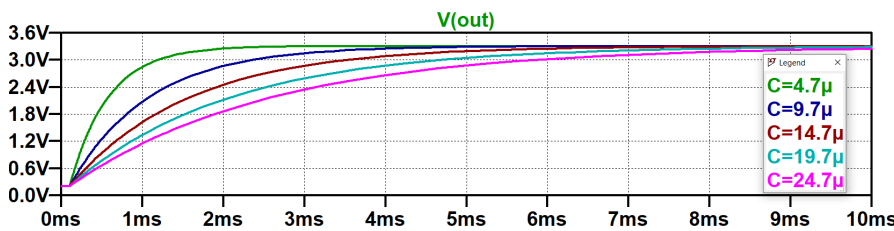


Figura 2.20: Transitorio filtro passivo primo ordine al variare della capacità di Set.

Visto lo scostamento minimo delle curve del rumore, ho optato per una C_{set} da $4.7\mu F$ a favore di un più prestante transitorio. A questo punto, come controprova, ho simulato con varie R non troppo elevate, considerato il legame con il fondo scala prima accennato. Riporto sotto i risultati, grafico del rumore 2.21 e transitorio 2.22.

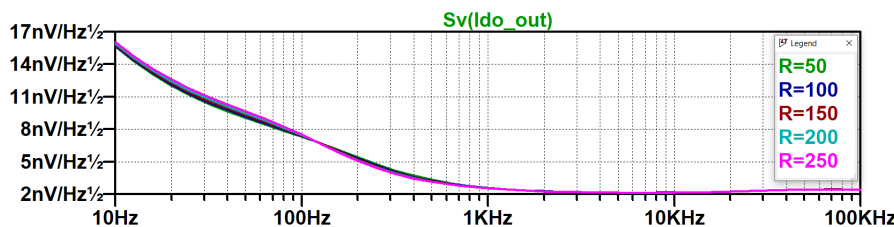


Figura 2.21: Rumore filtro passivo primo ordine con varie R1.

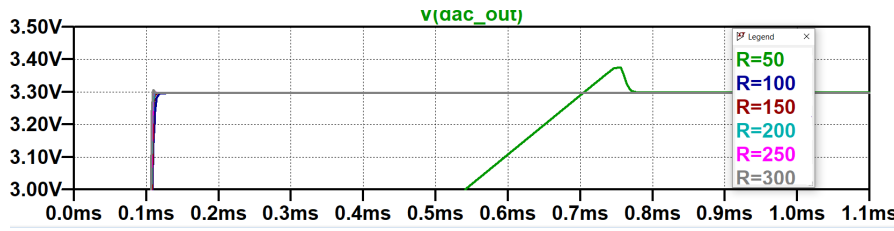


Figura 2.22: Transitori Filtro passivo primo ordine con varie R_1 all'uscita del DAC.

La minima R che mi permetteva un fondo scala basso senza grandi disturbi all'uscita del DAC è $R_1 = 100\Omega$. Con questa configurazione ottengo un voltaggio a DAC spento (o su zero) di $10mV = 100\Omega \cdot 100\mu A$, a questo bisogna sommare la resistenza di output del DAC e offset interni che portano il voltaggio minimo su SET a $11.53mV$ (valore estrapolato da simulazioni). Il filtro così ottenuto ha una frequenza di taglio $F_c = \frac{1}{2 \cdot \pi \cdot 100\Omega \cdot 4.7\mu F} = 338.6Hz$ e un rumore in uscita dal LDO, integrato fra $10Hz$ e $100KHz$, di $755.83 nV$.

2.2 Garantire la stabilità del LT3045 al variare del carico

Come anche riportato dal datasheet del LT3045, la corrente minima per garantire la stabilità del LDO è $I_{OUT-pin} = 10\mu A$. Infatti, la posizione del secondo polo, dovuto alla capacità in uscita, è data dall'equazione 1.13 sotto riportata:

$$f_{p1} \approx \frac{I_L}{2\pi \cdot V_{OUT} \cdot C_{OUT}} = \frac{I_L}{2\pi \cdot V_{SET} \cdot C_{OUT}} \quad (2.2)$$

Per la stabilità del circuito tale polo deve avere una frequenza maggiore del polo dominante f_{p0} , di conseguenza la corrente di carico deve avere un valore tale da garantire tale situazione, anche in considerazione del fatto che nella nostra configurazione, non è presente la capacità di feedforward. Tale valore è calcolabile almeno in $10 \mu A$. Per garantire tale corrente, sia per carico nullo che elevato, è stata messa in parallelo al DUT sulla scheda una resistenza detta di bleed (scarico), in modo da mantenere LDO nella sua regione di stabilità e garantire il giusto voltaggio di uscita. Calcoliamo detta resistenza nel caso di voltaggio minimo, che come riportato nel capitolo 2.1.6 risulta essere di $\approx 12mV$

$$R_{bleed} = \frac{V_{OUT,min}}{I_{OUT,min}} = \frac{12mV}{10\mu A} = 1.2k\Omega \quad (2.3)$$

Nel progetto è stata considerata una $R_{bleed} = 1k\Omega$ che garantisce una corrente minima più alta di $12 \mu A$.

Nel caso di carichi elevati e tensione di uscita minima, la corrente $I_{OUT} = I_{bleed} + I_{load}$ sarà praticamente la corrente che passa nella resistenza di bleed, dominante nel parallelo, garantendo così la stabilità.

Nel caso di pieno carico, $I_{load} = I_{OUT,max} = 0.5A$ e $V_{OUT} = 3.3V$. $R_{load} = 6.6\Omega$, la corrente nella resistenza di bleed sarà minima ($I_{bleed} = 3.3mA$) e trascurabile rispetto la corrente di carico. In conclusione, il resistore di bleed, garantisce la stabilità del sistema a discapito di una piccola porzione di corrente rubata al carico, questo ci impone di aumentare la corrente massima dell'LDO a $I_{OUT,max} = 0.5033A$, diminuendo la resistenza di ILIM secondo l'equazione 1.19, portandola così ad un valore di 298Ω

2.3 Connessione con Motherboard introduzione della resistenza di R bleed e jumper per chiudere il loop su scheda

La connessione fra il modulo e la scheda madre, deve avvenire in modo da poter chiudere il loop tra il Pin di OUT e di Sense/OUTS il più vicino possibile al DUT, in modo da ridurre al minimo disturbi e cadute di tensione, tale configurazione visibile in figura 2.23 comporta l'utilizzo di 2 pin in uscita per canale, nello schema sono presenti le relative resistenze di connessione e di percorso, stimabili in unità di Ω . Tra le varie specifiche è anche richiesta di poter testare il modulo stand alone, senza connetterlo alla scheda madre, per questo sono stati messi una serie di jumper per chiudere il loop sul modulo stesso, usando una resistenza di carico R_{Bleed} da $1K\Omega$ per preservare la stabilità del LT3045.

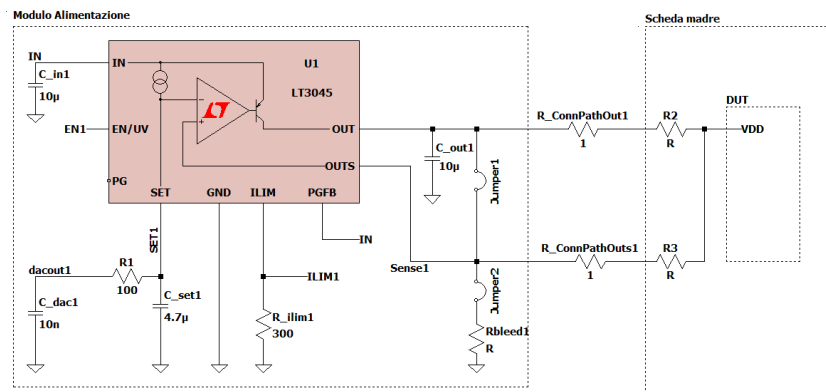
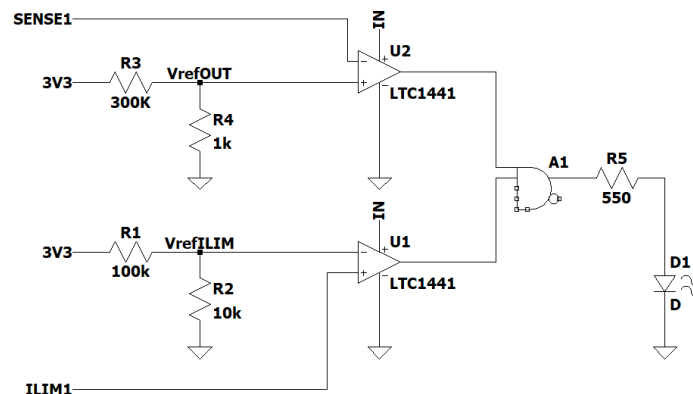


Figura 2.23: Schema connessione Modulo di alimentazione-scheda madre.

2.4 Rilevazione del corto circuito



Indicatore di corto circuito

Figura 2.24: Schema rilevazione corto circuito.

Le specifiche di progetto, richiedevano un rilevatore di cortocircuito nel caso in cui il LDO cercasse di alimentare un DUT in corto. Le caratteristiche del LT3045, lo proteggono intrinsecamente, grazie al limitatore di corrente che interviene in caso di corrente di carico superiore a $0.5A$. Impostando la resistenza di I_{lim} a 298Ω , la corrente massima erogata sarà di $0.5033A$ e in caso di cortocircuito, la tensione sul pin di I_{lim} sarà $V_{ILIM} > 300mV$, contemporaneamente a causa del cortocircuito la tensione $V_{out} < 11.53mV$, per cui confrontando le tensioni sui due pin, con delle tensioni di riferimento, tramite dei comparatori e componendole con un AND logico, ottengo l'accensione del Led segnalatore di corto circuito. Volendo anche sondare il caso in cui LDO non fornisca la giusta tensione perchè superato il limite di corrente, si propone la seguente soluzione circuitale, ove si sonda sempre la tensione di I_{lim} , che deve rimanere sotto i $300mV$ per evitare l'innesco del limitatore di corrente, e contemporaneamente si testa la tensione di SET rispetto l'uscita, che non scenda sotto il 90% del suo valore nominale, in accordo con la definizione del parametro "Soglia del limite di corrente" (capitolo 1.1.1 Parametri caratteristici LDO).

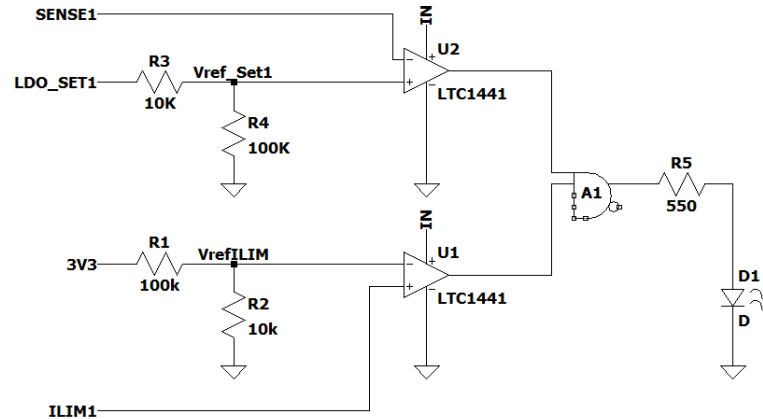


Figura 2.25: Schema rilevazione corto circuito e soglia del limite di corrente.

Si noti che il parallelo fra la resistenza del filtro passa basso (100Ω) che va verso il DAC e il partitore di tensione, nella direzione del rilevatore di cortocircuito (Totale $110K\Omega$), non influisce sulla tensione minima della scheda di alimentazione, lasciando fluire la corrente di SET ($100\mu A$) nella direzione del DAC.

2.4.1 La struttura

Per i comparatori si è scelto LTC1441 [17] offset sotto i $10mV$ e dispersione in ingresso di massimo $1nA$ abbastanza bassa da non influire sulle correnti di ILIM e SENSE. Il LED Rosso è LTST-C193KRKT-5A [18] LED SMD standard con una corrente diretta tipica di $5mA$ e tensione diretta tra $1,7V$ e $2,3V$, di conseguenza l'uscita dell'AND deve erogare almeno $5mA$. Si è scelto l'AND 74LVC2G08DC-Q100H [19] con corrente massima di uscita di $50mA$ e tensione di uscita fino la tensione di Alimentazione V_{cc} , che nel nostro caso è di $5V \pm 5\%$. Considerando il caso peggiore con uscita di $V_{out} = 3.3V$ ($V_{Set} = 3.3V$), una corrente di $I_{LED} = 5mA$ e una $V_{LED} = 2V$, calcolo la resistenza R5 all'uscita del gate.

$$R = \frac{4.75V - V_{LED}}{I_{LED}} = 550\Omega \quad (2.4)$$

Vediamo di che potenze stiamo parlando per dimensionare i resistori:

$$\begin{aligned}
P_{D,R_5} &= \frac{(5.25 - 2)^2}{R_5} = \frac{(5.25 - 2)^2}{550} = 19.2mW \\
P_{D,R_1} &= \frac{(3.3 - V_{refILIM})^2}{R_1} = \frac{(3.3 - 0.3)^2}{100000} = 90\mu W \\
P_{D,R_2} &= \frac{(V_{refILIM})^2}{R_2} = \frac{(0.3)^2}{10000} = 9\mu W \\
P_{D,R_3} &= \frac{V_{Set}^2 \cdot R_3}{(R_3 + R_4)^2} = \frac{(3.3)^2 \cdot 10000}{110000^2} = 9\mu W \\
P_{D,R_4} &= \frac{V_{Set}^2 \cdot R_4}{(R_3 + R_4)^2} = \frac{(3.3)^2 \cdot 100000}{110000^2} = 90\mu W
\end{aligned} \tag{2.5}$$

Possiamo quindi utilizzare tranquillamente tutti resistori da $100mW$.

2.5 Accensione/spengimento digitale

Come già accennato, LDO LT3045 possiede un pin EN/UV che pone il regolatore in stato di micropotenza nel caso la sua tensione sia inferiore a $1.24V$. Quindi, visto che la scheda Arduino ha un livello alto di $3.3V$ o $5V$ e un livello basso di $0V$, si è collegata direttamente l'uscita digitale della scheda a tale pin per il comando di accensione e spegnimento.

2.6 Filtro all'alimentazione ingresso

L'alimentazione del modulo fornita dalla motherboard è una tensione di $5V \pm 5\%$ non stabilizzata. Per evitare disturbi ad alta frequenza sulla alimentazione, dovuti a commutazioni e ridurre così anche il PSRR dell' LDO alla fonte, si è deciso di utilizzare un filtro passivo LC, essendo questo del secondo ordine e con un'attenuazione molto più elevata rispetto a un network RC.

Per progettare il filtro [20] si è partiti da una versione semplice non smorzata LC che presenta un guadagno unitario prima della F_c , e successivamente una attenuazione di $40dB$ per decade. Intorno alla frequenza di risonanza F_c si ha picco che aumenta il guadagno e potrebbe introdurre amplificazioni del rumore, così si è introdotta una rete RC per smorzare il guadagno del filtro alla frequenza di risonanza.

2.6.1 Filtro LC

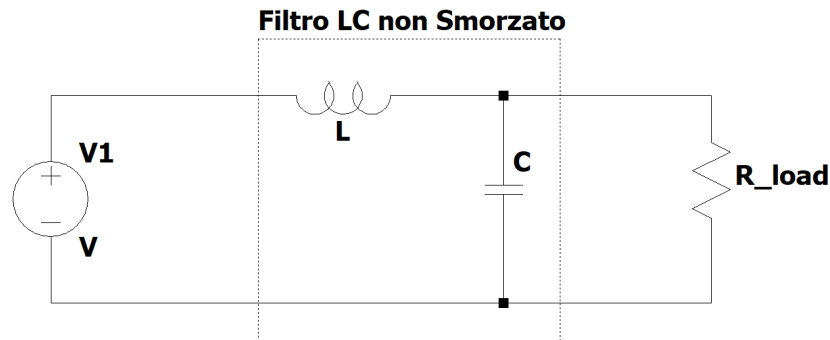


Figura 2.26: Schema Filtro LC.

Con la seguente funzione di trasferimento:

$$T_{Filtro}(s) = \frac{V_{OUT}}{V_{IN}} = \frac{1}{1 + \frac{L}{R_{LOAD}}s + LCs^2} \quad (2.6)$$

$$f_0 = \frac{1}{2\pi\sqrt{LC}} \quad (2.7)$$

$$\zeta = \frac{L}{2R_{LOAD}\sqrt{LC}}$$

Ove f_0 , frequenza di risonanza naturale e ζ , fattore di smorzamento, rappresentano i parametri fondamentali per rappresentare la funzione di trasferimento, che per $\zeta < 1$ dà poli complessi coniugati, creando picchi intorno a f_0 aumentandone il rumore, mentre per $\zeta = 1$ la parte immaginaria si annulla e i picchi scompaiono (figura 2.27), comunque non si usa un tale filtro perché il comportamento è dipendente dal carico.

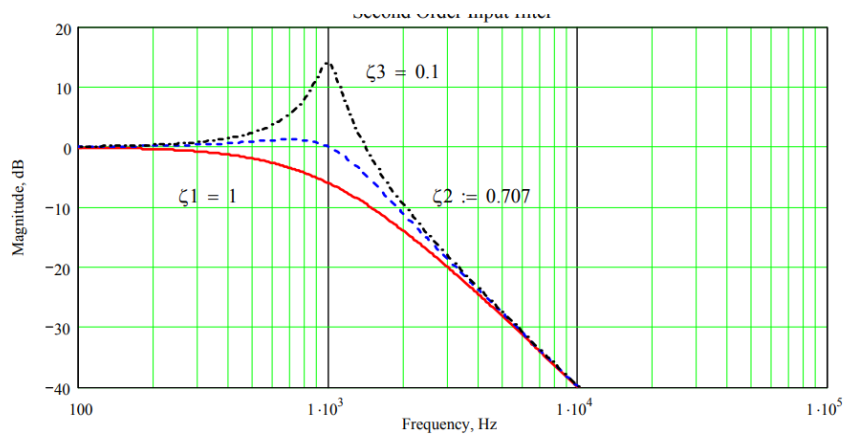


Figura 2.27: Funzione di trasferimento Filtro LC.

2.6.2 Filtro LC smorzato

La figura 2.28 mostra un filtro parallelo smorzato realizzato con un resistore R_d in serie ad un condensatore C_d , il tutto collegato in parallelo al condensatore del filtro C . Lo scopo del resistore R_d è quello di ridurre il picco di uscita del filtro alla frequenza di taglio. Il condensatore C_d blocca la componente continua della tensione di ingresso ed evita la dissipazione di potenza su R_d . Il condensatore C_d dovrebbe avere un'impedenza inferiore a R_d alla frequenza di risonanza e un valore maggiore del condensatore di filtro, per non influenzare il punto di taglio del filtro principale C-L.//

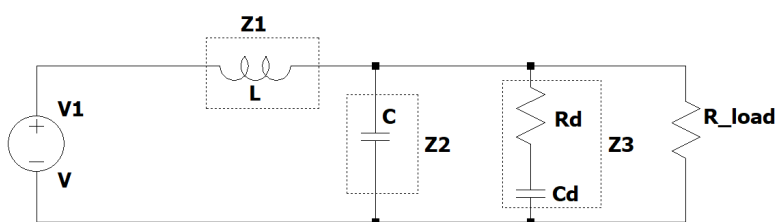


Figura 2.28: Schema Filtro LC smorzato.

La funzione di trasferimento può essere agevolmente calcolata scrivendo la

legge di Ohm sulla impedenza $Z1$ ed indicando con I la corrente su di essa:

$$\begin{aligned}
 V_{IN} - V_{OUT} &= Z1 \cdot I = Ls \cdot \left(\frac{V_{OUT}}{\frac{1}{Cs}} + \frac{V_{OUT}}{R_d + \frac{1}{C_d s}} \right) = \dots \\
 TF_{Filtro} &= \frac{V_{OUT}}{V_{IN}} = \frac{1 + R_d C_d s}{s^3 L C C_d + s^2 L (C + C_d) + R_d C_d s + 1} \quad (2.8) \\
 TF_{Filtro} &= \frac{1}{1 + \frac{L(C+C_d)s^2}{1+R_d C_d s} + \frac{L C C_d R_d s^3}{1+R_d C_d s}}
 \end{aligned}$$

Tale funzione presenta tre poli e uno zero, il primo polo e lo zero sono circa alla frequenza $\omega \approx \frac{1}{R_d C_d}$. Gli altri due poli dominanti cadono alla frequenza di taglio $\omega_o = \frac{1}{\sqrt{LC}}$. Senza compromettere il risultato il primo polo e lo zero possono essere ignorati e approssimare la formula al secondo ordine considerando frequenze maggiori di $\omega \gg \frac{1}{R_d C_d}$ cioè $(1 + R_d C_d s) \approx R_d C_d s$ ottengo così:

$$TF_{Filtro} \approx \frac{1}{1 + \frac{L(C+C_d)}{R_d C_d} s + LC s^2} \quad (2.9)$$

Per quanto detto precedentemente $C_d > C$, per cui posso scrivere $C_d = n \cdot C$, sostituendo nell'equazione approssimata, ottengo la stessa equazione del filtro non smorzato, con la differenza che il fattore di smorzamento (ζ) dipende da R_d .

$$\begin{aligned}
 TF_{Filtro} &\approx \frac{1}{1 + \frac{L}{R_d} \frac{n+1}{n} s + LC s^2} \\
 \zeta &= \frac{n+1}{n} \frac{L}{2R_d \sqrt{LC}}
 \end{aligned} \quad (2.10)$$

E' dimostrato che il valore ottimale che minimizza il picco in un filtro smorzato di tale topologia è:

$$\zeta_{ott} = \sqrt{\frac{(2+n)(4+3n)}{2n^2(4+n)}} \quad (2.11)$$

da cui si puo' ricavare il valore ottimale per R_d

$$R_{dott} = \sqrt{\frac{L}{C}} \cdot \frac{n+1}{2n} \cdot \sqrt{\frac{2n^2(4+n)}{(2+n)(4+3n)}} \quad (2.12)$$

Per $n = 4$ troviamo una $R_d = \sqrt{\frac{L}{C}}$; in figura 2.29 la risposta in frequenza del filtro. Per avere buone prestazioni ad alte frequenze, si richiedono condensatori con bassi ESL e ESR, stabili in temperatura e al variare della tensione di polarizzazione,

tutte caratteristiche che portano alla scelta di condensatori ceramici del tipo X5_ o X7_ vedi appendice C.

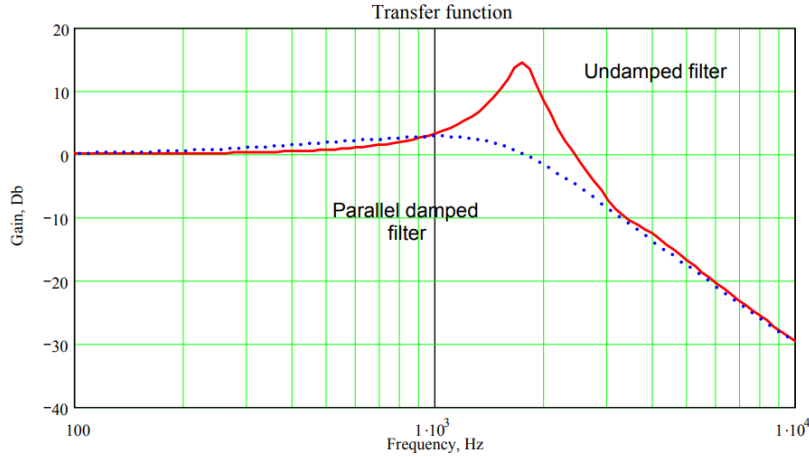


Figura 2.29: Funzione di trasferimento Filtro LC smorzato.

L'intervallo di frequenza per il filtraggio della tensione di ingresso, fornita dall'alimentazione esterna, sarà da $150kHz$ a $10MHz$, poiché la frequenza di commutazione di un alimentatore è tipicamente all'interno di questo intervallo[21][22]. Pertanto, è stata considerata la frequenza di taglio del filtro parallelo smorzato una decade prima di tale gamma di frequenza ($f_o = 15kHz$). Utilizzando una induttanza da $10\mu H$ calcolo la capacità C .

$$f_o = \frac{1}{2\pi\sqrt{LC}} \rightarrow C = \frac{1}{L \cdot (2\pi f_o)^2} = \frac{1}{10\mu H \cdot (2\pi \cdot 15kHz)^2} \approx 11.2\mu F \quad (2.13)$$

Tale capacità, visto le disponibilità del mercato, dovrebbe essere composta o mettendo in parallelo 2 capacità da $5,6\mu F$ oppure quattro da $10\mu F, 1\mu F$ e 2 da $0.1\mu F$. In alternativa ho trovato una capacità da $12\mu F$ con le specifiche richieste. La frequenza di taglio risulterà:

$$f_o = \frac{1}{2\pi\sqrt{LC}} = \frac{1}{2\pi\sqrt{10 \cdot 12\mu F}} \approx 14,5kHz \quad (2.14)$$

Per la C_d che dovrebbe essere 4 volte la C del filtro visto la disponibilità del mercato considero una capacità da $47\mu F$ ottenendo un $n = 3.916$ e una $R_d = 1.01\Omega \approx 1\Omega$. Conclude la configurazione del filtro in ingresso, un condensatore di Bypass della alimentazione dello stesso valore della capacità del filtro LC, messo prima del filtro smorzato come in figura 2.30.

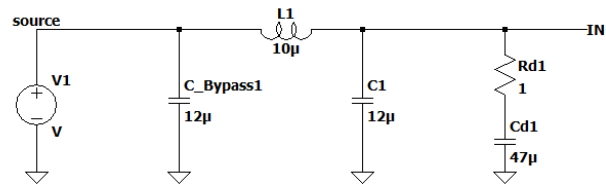


Figura 2.30: Filtro LC smorzato alimentazione modulo.

L'induttanza scelta deve permettere a una corrente massima di $1A = 2 \cdot 500mA$ ed avere un basso ESR per evitare grandi cadute di tensioni su di essa.

Capitolo 3

Simulazioni in LTSPICE

In questo capitolo colleghiamo il DAC, il Filtro e LDO, il tutto alimentato dalla tensione stabilizzata dal filtro in ingresso e ne studieremo le prestazioni tramite il simulatore LTspice. Per completare lo schema finale, secondo le specifiche del DAC AD5685R [12], bisogna aggiungere un condensatore in uscita di $10nF$ e uno alla alimentazione in ingresso di $10.1 \mu F$, mentre l'LDO LT3035 necessita di una capacità in uscita di $10 \mu F$ e analoga all'ingresso dell'alimentazione [7]. Le seguenti simulazioni sono state eseguite sulla base del progetto LTspice, nell'ambito delle tipiche applicazioni dell'LT3045, disponibili nel sito web del produttore (Analog Device).

3.1 La simulazione nei casi limite

Per mostrarne il funzionamento e dimostrare che soddisfano i requisiti di progetto, sono stati considerati lo stato stazionario, il transitorio e il rumore nei casi limite:

1. Minima tensione in uscita, minima corrente di carico $V_{OUT,min} = 11,53mV$,
con $R_{load} = 1M\Omega \rightarrow I_{OUT,min} = 11.53\mu A$
2. Massima tensione in uscita, massima corrente di carico $V_{OUT,max} = 3.3V$,
con $R_{load} = 6.6\Omega \rightarrow I_{OUT,max} = 0.5A$

3.1.1 Caso 1 minima tensione in uscita, minima corrente di carico

Stato stazionario

Come previsto (figura 3.1) la maggior parte della corrente passa nella resistenza di bleed $11.53\mu A$ garantendo la stabilità del LT3045 e dissipando $P_{bleed} = I_{bleed}^2 \cdot R_{bleed} = (11.53\mu A)^2 \cdot 1K\Omega = 133nW$. E' da segnalare il consumo del regolatore di

tensione, infatti la corrente $I_{GND-pin} = 1.37mA$ è quasi la totalità della corrente entrante e per l'equazione 1.2 otteniamo una potenza dissipata di qualche mW .

$$P_D = (V_{IN} - V_{OUT}) \cdot I_L + V_{IN} \cdot I_{GND} \approx V_{IN} \cdot I_{GND} = 5V \cdot 1.37mA = 6.85mW \quad (3.1)$$

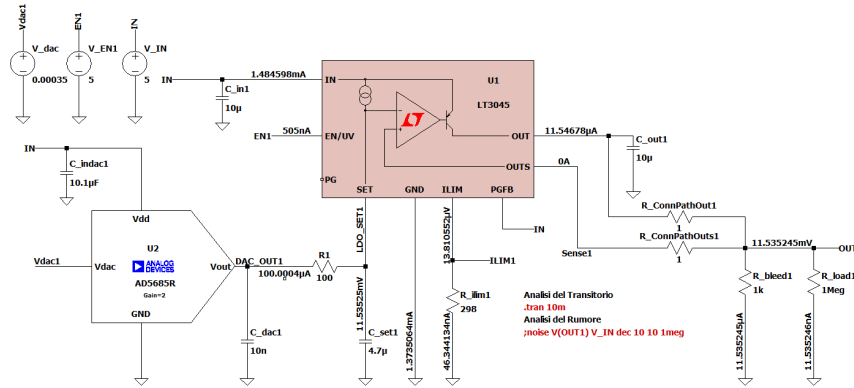


Figura 3.1: Stato stazionario $V_{OUT,min} = 11.53mV$.

Transitorio

Pilotando in tensione il Set dell'LDO e non usando una resistenza variabile, i tempi di risposta del circuito, sono quasi del tutto indipendenti dal voltaggio richiesto. Considerando che la resistenza vista dal condensatore C_{set} sarà la somma della resistenza del filtro passivo e dalla impedenza vista all'uscita del DAC di $\approx 0.04\Omega$ [12], la costante di tempo per caricare il condensatore di set al 90% del voltaggio richiesto è:

$$t \approx t_{ss} = 2.3 \cdot R \cdot C_{set} = 2.3 \cdot (100 + 0.04)\Omega \cdot 4.7\mu F = 1.085ms \quad (3.2)$$

La simulazione aggiunge circa $3ms$ al raggiungimento del 90% del valore voluto, a causa delle bassissime tensioni che rallentano la carica del condensatore figura 3.2. Comunque già a tensioni di qualche decina di mV in uscita dal DAC la tempistica è rispettata.

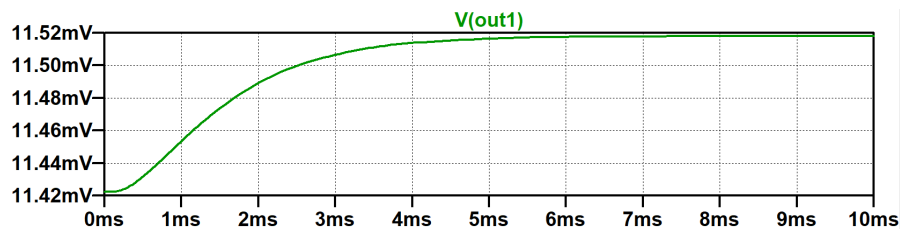


Figura 3.2: Transitorio $V_{OUT,min} = 11.53mV$.

Come si può notare, la curva parte da un minimo di $11.42mV$ visto che la corrente del pin di SET già sta fluendo nella resistenza; la risposta è ad un gradino di $0.0003V$ che è il minimo valore che il DAC può fornire, visto la risoluzione calcolata nell'equazione 1.22

Rumore

A questa bassa tensione presenta un massimo relativo intorno ai $100KHz$ per poi scemare quasi a zero per frequenze maggiori (figura 3.3). Il rumore integrato fra $10Hz$ e $100KHz$ è di $976nV$.

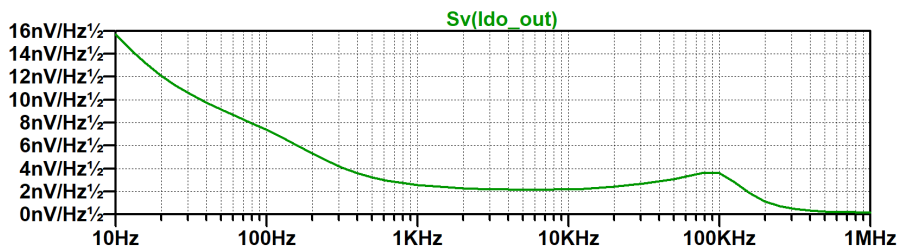


Figura 3.3: Rumore, $V_{OUT,min} = 11.53mV$.

3.1.2 Caso 2 massima tensione in uscita, massima corrente di carico

Stato stazionario

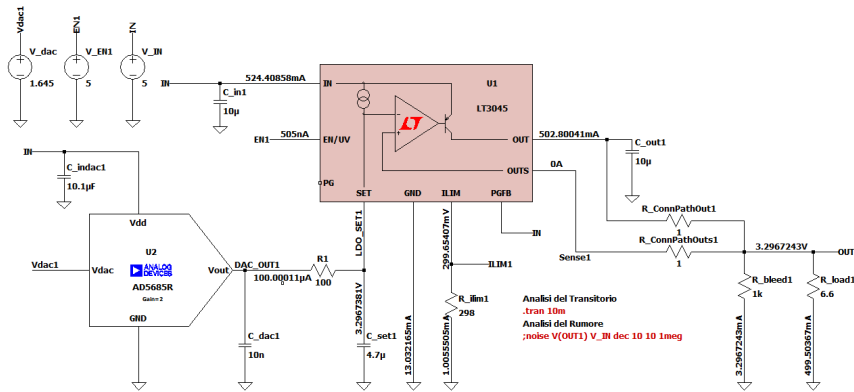


Figura 3.4: Stato stazionario $V_{OUT,max} = 3.3V$.

La maggior parte della corrente passa nel carico, per un totale di circa $0.5028A$ rimanendo sotto il limite di $0.5033A$, la tensione di ILIM è inferiore

ai $300mV$, lasciando così il regolatore acceso, la notevole potenza dissipata dal dispositivo sarà data da:

$$\begin{aligned} P_D &= (V_{IN} - V_{OUT}) \cdot I_L + V_{IN} \cdot I_{GND} \\ &= 1.7V \cdot 0.5A + 5V \cdot 13mA = 850mW + 65mW = 915mW \approx 1W \end{aligned} \quad (3.3)$$

Transitorio

In questo caso l'equazione 3.2 è rispettata e il circuito si porta a regime in meno di $2ms$ figura 3.5

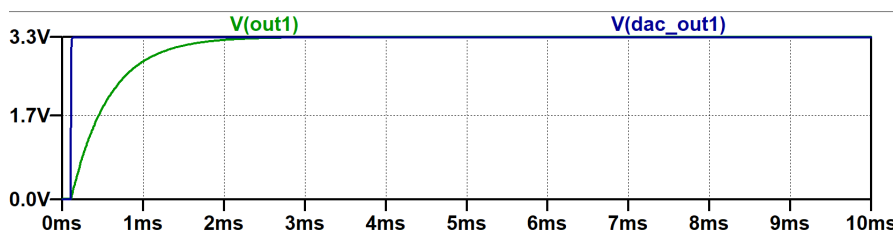


Figura 3.5: Transitorio $V_{OUT,max} = 3.3V$.

Rumore

Come notiamo dalla simulazione (figura 3.6) la curva si appiattisce dopo il $1KHz$ a un valore leggermente superiore ai $2nV/\sqrt{Hz}$. Il rumore integrato fra $10Hz$ e $100KHz$ è di $755.83nV$

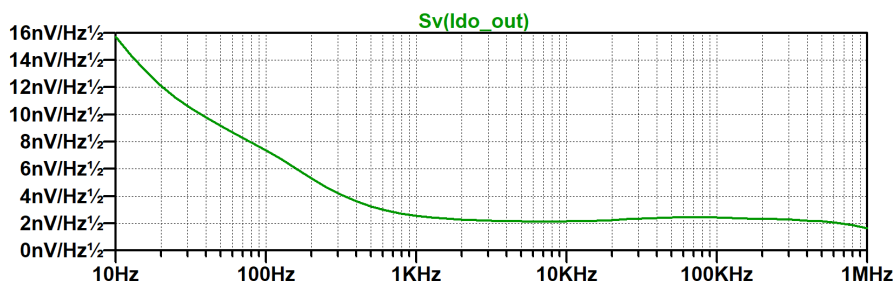


Figura 3.6: Rumore $V_{OUT,max} = 3.3V$.

3.2 Verifica dei valori massimi assoluti dei ratings dei componenti

In questo capitolo verranno presentate le simulazioni relative agli stati stazionari nei casi limite, considerando il peggiore dei casi di variazione della tensione in ingresso ($V_{IN} = 5V \pm 5\%$), questo per valutare se i componenti possono sopportare tale variazione. Di seguito le simulazioni eseguite:

3.2. Verifica dei valori massimi assoluti dei ratings dei componenti 51

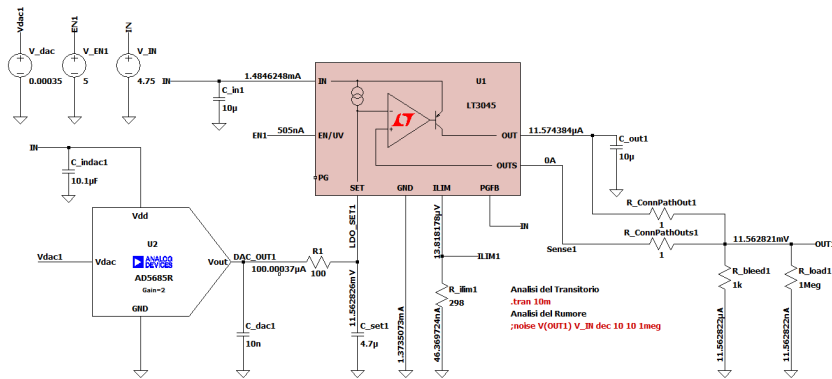


Figura 3.7: Caso $V_{OUT,max} = 11.53mV$ e tensione alimentazione $V_{IN,min} = 4.75V$.

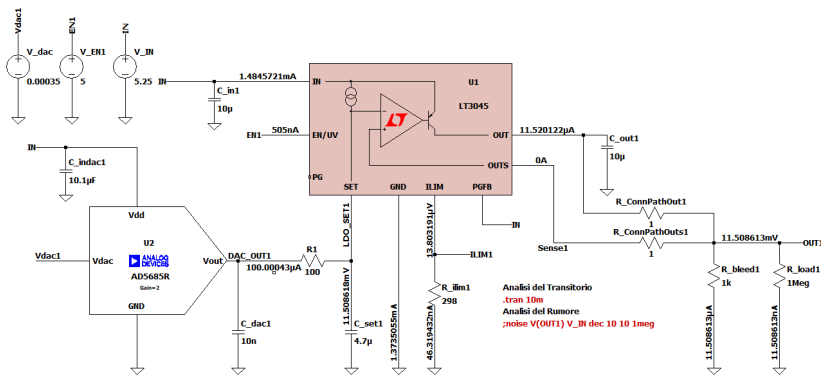


Figura 3.8: Caso $V_{OUT,max} = 11.53mV$ e tensione alimentazione $V_{IN,max} = 5.25V$.

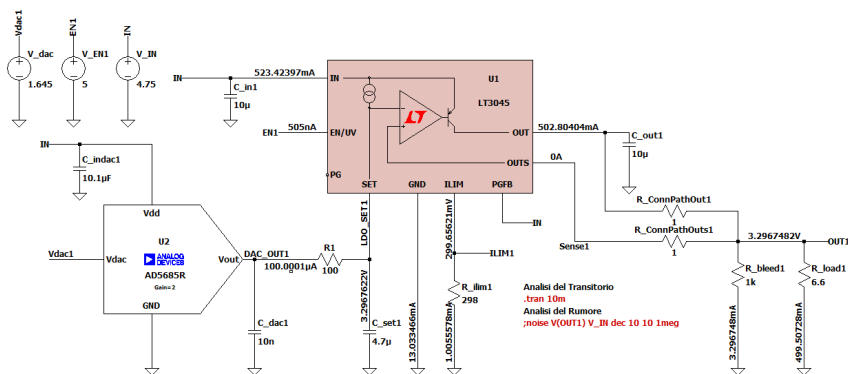


Figura 3.9: Caso $V_{OUT,max} = 3.3V$ e tensione alimentazione $V_{IN,min} = 4.75V$.

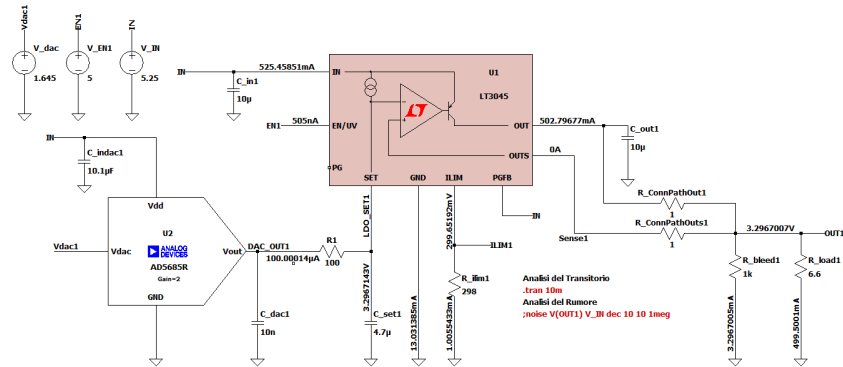


Figura 3.10: Caso $V_{OUT,max} = 3.3V$ e tensione alimentazione $V_{IN,max} = 5.25V$.

Tutte risultano stabili con valori accettabili dell'uscita.

3.2.1 LT3045

Dal datasheet del regolatore di tensione [7] abbiamo i seguenti valori di ratings:

LT3045

ABSOLUTE MAXIMUM RATINGS (Note 1)

IN Pin Voltage	±22V	OUT-to-OUTS Differential (Note 14)	±1.2V
EN/UV Pin Voltage	±22V	IN-to-OUT Differential	±22V
IN-to-EN/UV Differential	±22V	IN-to-OUTS Differential	±22V
PG Pin Voltage (Note 10)	-0.3V, 22V	Output Short-Circuit Duration	Indefinite
ILIM Pin Voltage (Note 10)	-0.3V, 1V	Operating Junction Temperature Range (Note 9)	
PGFB Pin Voltage (Note 10)	-0.3V, 22V	E-Grade, I-Grade	-40°C to 125°C
SET Pin Voltage (Note 10)	-0.3V, 16V	H-Grade,	-40°C to 150°C
SET Pin Current (Note 7)	±20mA	MP-Grade (Note 15)	-55°C to 150°C
OUTS Pin Voltage (Note 10)	-0.3V, 16V	Storage Temperature Range	-65°C to 150°C
OUTS Pin Current (Note 7)	±20mA	Lead Temperature (Soldering, 10 Sec)	
OUT Pin Voltage (Note 10)	-0.3V, 16V	MSE Package	300°C

Figura 3.11: Valori di ratings assoluti per LT3045.

Analizziamo in dettaglio i parametri dei vari pin:

- IN-pin: Avrà una tensione variabile da $4.75V$ a $5.25V$.
- EN/UN-pin: Sarà connesso all'uscita digitale della scheda Arduino con tipici valori da $0V$ a $5V$.
- In-to-EN/UN Differential: $-0.25V \leq V_{diff} \leq 5.25V$.
- PG-pin: Non usato.

3.2. Verifica dei valori massimi assoluti dei ratings dei componenti 53

- ILIM-pin: $13.8\mu V \leq V_{ILIM} < 300mV$.
- PGFB-pin: Non usato e collegato a IN-pin come raccomandato dal datasheet.
- SET-pin: $11.50mV \leq V_{SET} \leq 3.3V$, $I_{SET,min} = 100.0001\mu A$, $I_{SET,max} = 100.0004\mu A$.
- OUTS-pin: $11.50mV \leq V_{OUTS} \leq 3.3V$, $I_{OUTS,min} = I_{OUTS,max} = 0A$.
- OUT-pin: $11.50mV \leq V_{OUTS} \leq 3.3V$.
- OUT-to-OUTS differential: $11.50\mu V \leq V_{diff} \leq 0.5V$.
- IN-to-OUT differential: $1.44V < V_{diff} < 5.24V$.
- IN-to-OUTS differential: $1.45V < V_{diff} < 5.24V$.
- Potenza dissipata e temperatura di giunzione:
Come già precedentemente anticipato la potenza dissipata dal dispositivo è data dall'equazione 1.2, di conseguenza considerando il caso peggiore con $V_{IN,max} = 5.25V$ e $V_{OUT,max} = 3.3V$ otteniamo:

$$\begin{aligned} P_D &= (V_{IN-pin} - V_{OUT-pin}) \cdot I_{OUT-pin} + V_{IN-pin} \cdot I_{GND-pin} \\ &= (5.25V - 3.3V) \cdot 502.7mA + 5.25V \cdot 13mA \\ &= 980mW + 68mW = 915mW = 1.05W \end{aligned} \quad (3.4)$$

Secondo la scheda tecnica, l'LT3045 viene fornito in un pacchetto MSOP con una resistenza termica nell'intervallo da $33^\circ C/W$ a $35^\circ C/W$. Pertanto, l'aumento della temperatura di giunzione al di sopra della temperatura ambiente (ΔT_{JA}) sarà approssimativamente di:

$$\Delta T_{JA} = P_D \cdot R_{th,JA} = 1.05W \cdot 34^\circ C/W = 36^\circ C \quad (3.5)$$

In conclusione, la temperatura media della giunzione sarà conforme alle specifiche del produttore come sotto riportato.

$$T_{J,avg} = T_A + \Delta T_{JA} = 25^\circ C + 36^\circ C = 61^\circ C < T_{J,max} = 125^\circ C \quad (3.6)$$

- Stabilità: Garantita dalle resistenza di bleed che, anche a bassi voltaggi, impone una corrente minima sul pin di OUT $> 10\mu A$, come da specifiche del costruttore.

Paragonando i risultati ottenuti dalle simulazioni nei casi limite, possiamo concludere che i parametri sono compatibili con la scheda dei massimi ratings (figura: 3.11) fornita dal produttore, per cui si deduce, che LT3045 nella soluzione proposta, funziona correttamente.

3.2.2 DAC AD5685R

Dal datasheet [12] abbiamo i seguenti valori di massimo ratings:

ABSOLUTE MAXIMUM RATINGS

$T_A = 25^\circ\text{C}$, unless otherwise noted.

Parameter	Rating
V_{DD} to GND	-0.3 V to +7 V
V_{LOGIC} to GND	-0.3 V to +7 V
V_{OUT} to GND	-0.3 V to $V_{DD} + 0.3$ V
V_{REF} to GND	-0.3 V to $V_{DD} + 0.3$ V
Digital Input Voltage to GND	-0.3 V to $V_{LOGIC} + 0.3$ V
Operating Temperature Range	-40°C to $+105^\circ\text{C}$
Storage Temperature Range	-65°C to $+150^\circ\text{C}$
Junction Temperature	125°C
16-Lead TSSOP, θ_{JA} Thermal Impedance, 0 Airflow (4-Layer Board)	112.6°C/W
16-Lead LFCSP, θ_{JA} Thermal Impedance, 0 Airflow (4-Layer Board)	70°C/W
Reflow Soldering Peak Temperature, Pb Free (J-STD-020)	260°C

Figura 3.12: Valori di ratings assoluti per AD5685R.

- V_{DD} to GND: $4.75V \leq V_{DD} \leq 5.25V$
- V_{LOGIC} to GND: Collegato all'uscita digitale della scheda Arduino che in genera va da $0V$ a $5V$
- V_{OUT} to GND: $0V \leq V_{DD} \leq 3.3V$
- V_{REF} to GND: non connesso
- Digital Input Voltage to GND: Come V_{LOGIC} collegato alla scheda Arduino.
- Intervallo di temperatura di esercizio: Non rilevando particolari stati di stress del DAC si può assimilare la temperatura di esercizio a quella del regolatore a lui vicino sulla scheda di alimentazione, cioè 65°C , dentro i limiti riportati dalla tabella 3.12.

3.2.3 $R_{ILIM}, R_{bleed}, R1_{filtro}$

Calcoliamo la potenza massima dissipata nel caso limite di massima erogazione $V_{IN,max} = 5.25V$ e $V_{OUT,max} = 3.3V$.

- $P_{D,R_{ILIM}} = I_{ILIM}^2 \cdot R_{ILIM} = (1mA)^2 \cdot 298\Omega = 298\mu W$
- $P_{D,R_{bleed}} = I_{bleed}^2 \cdot R_{bleed} = (3.3mA)^2 \cdot 1K\Omega = 11mW$
- $P_{D,R1} = I_{R1}^2 \cdot R1 = (100\mu A)^2 \cdot 100\Omega = 1\mu W$

Possiamo tranquillamente usare resistori di 100 mW per la realizzazione del progetto.

3.3 Analisi del cortocircuito

E' necessario eseguire tale analisi per prevenire guasti al sistema in caso di cortocircuito in uscita.

3.3.1 Caso $V_{OUT} = GND$

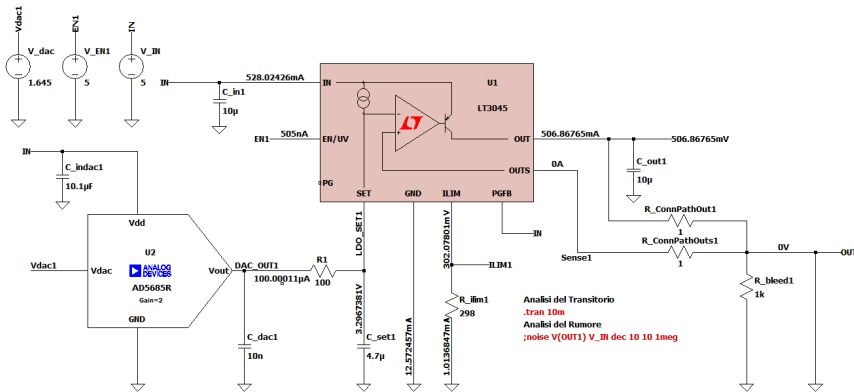


Figura 3.13: Stato stazionario in condizione di cortocircuito $V_{OUT} = GND$.

È importante evidenziare che l'analisi di stato stazionario ottenuta con $V_{SET,min} = 11.53mV$ è essenzialmente lo stesso mostrato nella figura 3.13.

- **LT3035**
Dall'analisi dello stato stazionario, ci rendiamo conto che il limite di corrente programmato è stato superato, visto che la tensione sul ILIM-pin è di

302.08mV, cioè maggiore della tensione di soglia 300mV. A sua volta anche la corrente sul OUT-pin è leggermente superiore alla massima consentita nella zona di normale funzionamento $I_{OUT-Pin} = 506.8mA > I_{max} = 503mA$ ($R_{ILIM} = 298$). Di conseguenza dobbiamo valutare la dissipazione di potenza del LT3045 che sarà sicuramente maggiore rispetto il normale funzionamento, tenendo come valori $I_{OUT-Pin} = 506.86mA$, $V_{OUT-Pin} = 506.8mV$, $V_{IN} = 5V$, $I_{GND-Pin} = 12.57mA$ (figura 3.13) e usando l'equazione 1.2 ottengo:

$$P_D = 506.86mA \cdot (5V - 0.5068V) + 12.57mA \cdot 5V = 2.34W \quad (3.7)$$

Ricordando che il valore della resistenza termica è nell'intervallo da 33°C/W a 35°C/W, possiamo stimare la variazione della temperatura di giunzione dalla temperatura ambiente (ΔT_{JA}).

$$\Delta T_{JA} = P_D \cdot R_{th,JA} = 2.34W \cdot 34^\circ C/W = 79.56^\circ C \quad (3.8)$$

In conclusione, la temperatura media della giunzione sarà conforme alle specifiche del produttore come sotto riportato.

$$T_{J,avg} = T_A + \Delta T_{JA} = 25^\circ C + 79.56^\circ C = 104.56^\circ C < T_{J,max} = 125^\circ C \quad (3.9)$$

E' importante osservare che entrambi i pacchetti DFN e MSOP, hanno alla base del metallo, essendo questo la connessione elettrica a terra (vedi appendice A), ciò permette di trasferire parte del calore direttamente dal dispositivo, al metallo del circuito stampato, limitando la temperatura massima operativa di giunzione.

In conclusione LT3035 non dovrebbe subire nessun danno in caso di cortocircuito, infatti, secondo la scheda tecnica, ha anche internamente un meccanismo di limitazione della potenza e della temperatura (vedi capitolo 1.2) che protegge il dispositivo da condizioni di sovraccarico e guasto all'uscita del regolatore. La temperatura di spegnimento termico è nominalmente di 165°C con una isteresi di 8°C. Altro parametro da tenere in considerazione è la differenza di potenziale tra il OUT-Pin e in OUTS-pin, che nel nostro caso è di 0.506V e rientra pienamente nei parametri di massimo ratings del LT3045 ($\pm 1.2V$).

- $R_{ILIM}, R_{bleed}, R1$

Controlliamo la potenza dissipata da tali resistenze:

$$- P_{D,R_{ILIM}} = I_{ILIM}^2 \cdot R_{ILIM} = (1.01mA)^2 \cdot 298\Omega = 304\mu W$$

$$- P_{D,R_{bleed}} = I_{bleed}^2 \cdot R_{bleed} = 0mW$$

$$- P_{D,R1} = I_{R1}^2 \cdot R1 = (100\mu A)^2 \cdot 100\Omega = 1\mu W$$

Le resistenze in caso di cortocircuito non presentano problemi di surriscaldamento.

- $R_{ConnPathOut}$

$$P_{D,ConnPathOut} = I_{OUT}^2 \cdot R_{ConnPathOut} = (506.86mA)^2 \cdot 1\Omega = 0.25W$$

Da considerarsi che tale resistenza è la somma di più contributi diffusi lungo il percorso, di conseguenza, la dissipazione del calore sarà sicuramente diffusa lungo tutto il percorso.

3.3.2 Caso $V_{OUT} = 5V$

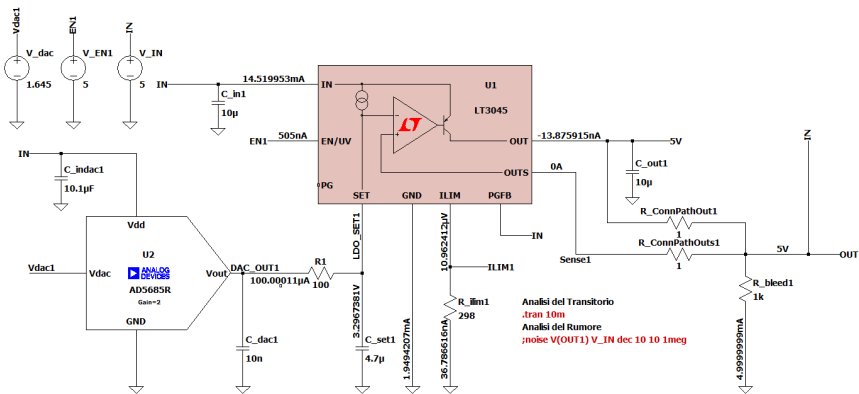


Figura 3.14: Stato stazionario in condizione di cortocircuito $V_{OUT} = V_{DD}$.

È importante evidenziare che l'analisi di stato stazionario ottenuta con $V_{SET,min} = 11.53mV$ è essenzialmente lo stesso mostrato nella figura 3.14.

- LT3045 Secondo la scheda tecnica del LT3045, il dispositivo incorpora un sistema di "overshoot recovery" che attiva un meccanismo di scarica del condensatore di uscita, nel caso che la tensione del OUTS-pin sia maggiore di quella del SET-pin. Se la tensione del OUTS-pin è esternamente portata sopra la tensione del SET-pin, il dissipatore di corrente si attiva nel tentativo di ripristinare il OUTS-pin alla sua tensione programmata, e rimarrà acceso fino a che la tensione del OUTS-pin non tornerà al valore del SET-pin. Dalla simulazione in figura 3.14 si osserva che LT3045 ha attivato il suo circuito di ripristino dell'overshoot, visto che $V_{OUT-Pin} = 5V > V_{SET} = 3.3V$ e una corrente di $13.87nA$ è assorbita del OUT-pin. Valutiamo la potenza dissipata

tenendo come valori $I_{OUT-Pin} = 13.87nA$, $V_{OUT-Pin} = 5V$, $V_{IN} = 5V$, $I_{GND-Pin} = 1.95mA$ (figura 3.13) e usando l'equazione 1.2 ottengo:

$$P_D = 1.95mA \cdot 5V = 9.8mW \quad (3.10)$$

Quindi una temperatura di giunzione al di sopra della temperatura ambiente di:

$$\Delta T_{JA} = P_D \cdot R_{th,JA} = 9.8mW \cdot 34^\circ C/W = 0.33^\circ C \quad (3.11)$$

E una temperature media di giunzione conforme alle specifiche del produttore come sotto riportato.

$$T_{J,avg} = T_A + \Delta T_{JA} = 25^\circ C + 0.33^\circ C = 25.33^\circ C < T_{J,max} = 125^\circ C \quad (3.12)$$

Il regolatore non subisce danni in questa condizione di cortocircuito.

- $R_{ILIM}, R_{bleed}, R1$

Controlliamo la potenza dissipata da tali resistenze:

$$\begin{aligned} - P_{D,R_{ILIM}} &= I_{ILIM}^2 \cdot R_{ILIM} = (36.79nA)^2 \cdot 298\Omega = 403fW \\ - P_{D,R_{bleed}} &= I_{bleed}^2 \cdot R_{bleed} = 0mW \\ - P_{D,R1} &= I_{R1}^2 \cdot R1 = (100\mu A)^2 \cdot 100\Omega = 1\mu W \end{aligned}$$

Le resistenze in caso di cortocircuito non presentano problemi di surriscaldamento.

- $R_{ConnPathOut}$

$$P_{D,ConnPathOut} = I_{OUT}^2 \cdot R_{ConnPathOut} = (13.87nA)^2 \cdot 1\Omega = 0.19fW$$

Nessun problema di surriscaldamento.

Concludendo il circuito è ben protetto da qualsiasi cortocircuito che si potrebbe presentare all'uscita del LDO.

3.4 Simulazioni del circuito completo

Analizziamo ora il circuito completo con il filtro in ingresso e il rilevatore di corto circuito nei due casi limite.

1. Massima tensione in uscita, massima corrente di carico $V_{OUT,max} = 3.3V$, con $R_{load} = 6.6\Omega \rightarrow I_{OUT,max} = 0.5A$
2. Minima tensione in uscita, minima corrente di carico $V_{OUT,min} = 11.53mV$, con $R_{load} = 1M\Omega \rightarrow I_{OUT,min} = 11.53\mu A$

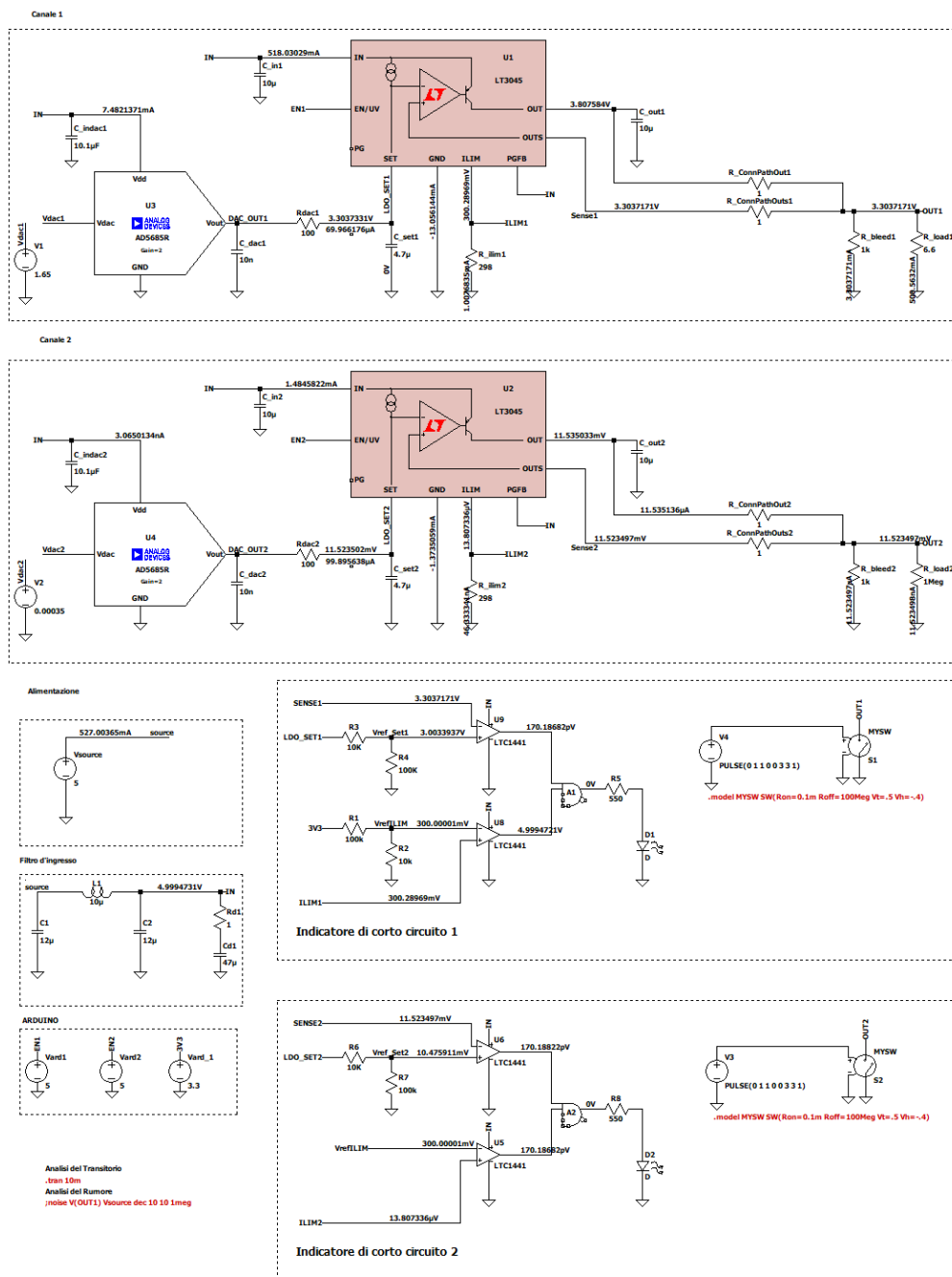


Figura 3.15: Stato stazionario Scheda alimentazione con LDO 1 $V_{OUT,max} = 3.3V$, $I_{OUT,max} = 0.5A$ e LDO2 $V_{OUT,min} = 11.53mV$, $I_{OUT,min} = 11.53\mu A$.

Avendo due LDO sul circuito testiamo contemporaneamente i due casi nello stato stazionario come da figura 3.15 ponendo il primo LDO a $V_{OUT,max} = 3.3V$

con $R_{load} = 6.6\Omega$ e il secondo LDO a $V_{OUT,min} = 11.53mV$ e carico $R_{load} = 1M\Omega$. Notiamo che le tensioni e le correnti negli LDO non cambiano significativamente, mentre ho un assorbimento di corrente da parte della alimentazione del DAC di $7mA$ in caso di tensione di comando di $3.3V$. La tensione di alimentazione si è abbassata di $1mV$ a causa della resistenza dell'induttanza, ma non produce variazioni rilevabili dall'andamento generale, come prima dimostrato anche per scostamenti maggiori ($\pm 0.25V$).

Nel caso fossero ambe e due gli LDO in massima corrente di uscita possiamo stimare la corrente di source sommando anche l'assorbimento del DAC $I_{SOURCE} = (518.5mA + 7.5mA) \cdot 2 = 1.052A$. Le tensioni del rilevatore di corto circuito funzionano e come vediamo all'uscita dell'AND ho $0V$ per cui nessun passaggio di corrente nei fotodiodi che risulteranno spenti.

Per testare il rilevatore di cortocircuito analizziamo il caso stazionario di massima tensione con corto circuito a terra su LDO1 e intervenuto limite di corrente su LDO2 mettendo un carico di 4Ω su una tensione di $3.3V$, come da figura 3.16. Notiamo come il raffronto delle tensioni dei comparatori porti l'AND a vero, il quale consolida una tensione in uscita di circa $5V$ accendendo i rispettivi diodi LED.

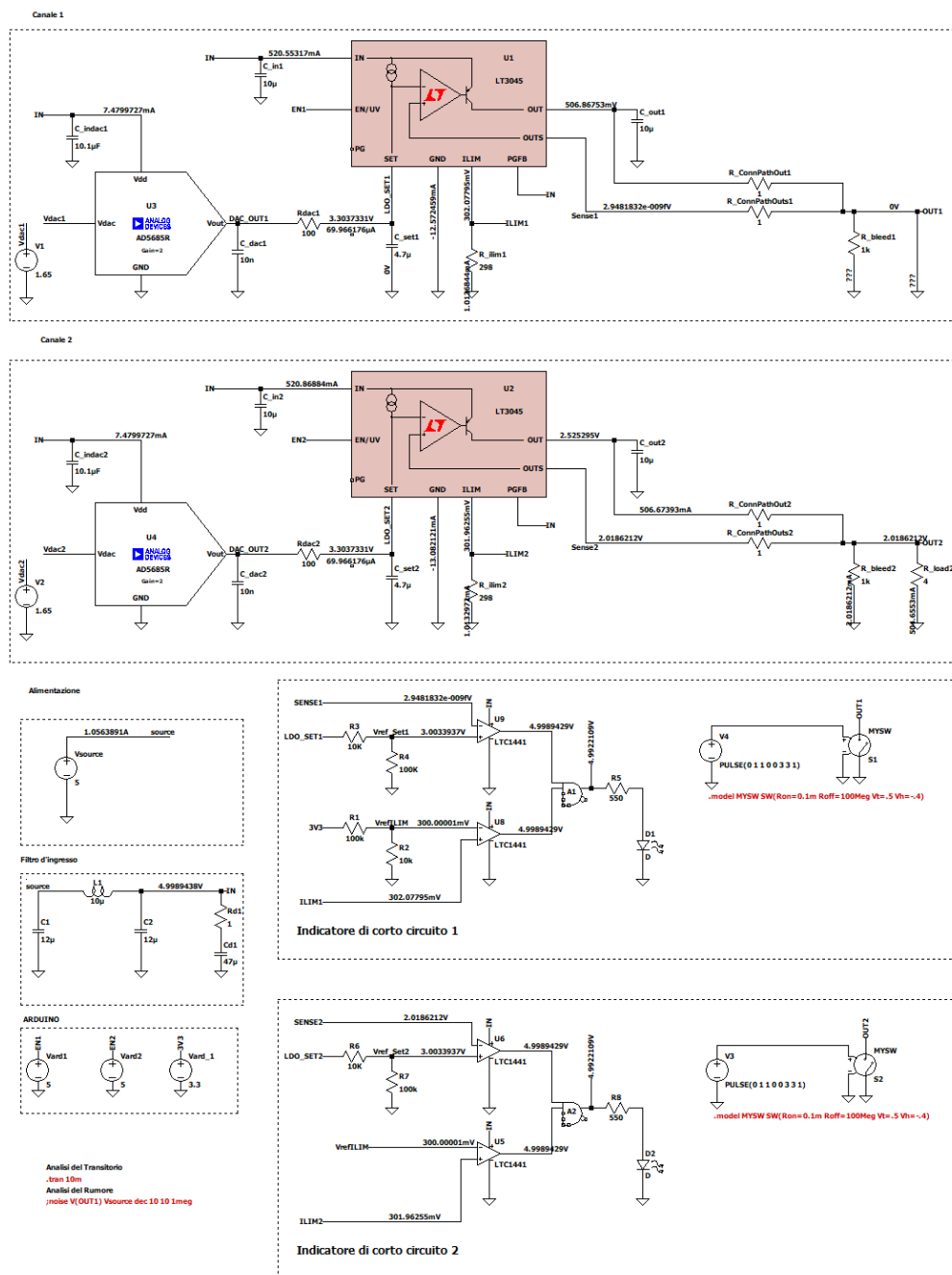


Figura 3.16: Stato stazionario Scheda alimentazione massima tensione, corto circuito e intervenuto limite cdi corrente.

Capitolo 4

Layout scheda

Prima di passare alla progettazione della scheda è necessario definire la funzione dei vari piedini del connettore che si collegherà alla scheda madre. Basandosi sullo schema della figura 3.15 possiamo proporre la seguente soluzione:

SENSE1 (1)	(2) OUT1
N.C. (3)	(4) GND1
N.C. (5)	(6) GNDdata1
N.C. (7)	(8) EN1
RESET (9)	(10) ILIM1
GNDscr (11)	(12) GNDard
SOURCE (13)	(14) 3V3
SDIN (15)	(16) ILIM2
SYNC (17)	(18) EN2
SCLK (19)	(20) GNDdata2
LDAC (21)	(22) GND2
SENSE2 (23)	(24) OUT2





	Uscita Canale 1
	Uscita Canale 2
	Alimentazione esterna
	Ingresso programmazione DAC

Figura 4.1: Configurazione dei piedini di connettore (N.C.= Non Connessi).

4.1 Il connettore In/out

In dettaglio:

- PIN 1/23 (SENSE1/SENSE2) Arrivano dai regolatori di tensione dopo essere state collegate a terra ai condensatori in uscita. Come citato nell'appendice A, sono collegati al pin non invertente dell'amplificatore d'errore (capitolo 1.2), di conseguenza portano bassissime correnti.
- PIN 2/24 (OUT1/OUT2) Forniscono la potenza al carico, le piste arrivano direttamente dai regolatori di tensione e sono percorse da correnti massime di 0.503A. Come descritto in precedenza il loop verrà chiuso sulla scheda madre nei punti di alimentazione del DUT, tranne nel caso di test autonomo della scheda di alimentazione, attivando i jumper 1/2 (3/4) figura 2.23 per chiudere il loop sulla resistenza di bleed.
- PIN 4/22 (GND1/GND2) piedino di terra dell'uscita 1/2.
- PIN 6/20 (GNDdata1/GNDdata2) GND dei dati dei due canali riferiti agli ingressi di pilotaggio del DAC.
- PIN 8/18 (EN1/EN2) Segnale che accende/spegne i regolatori di tensione, in altre parole EN1/EN2 corrispondono alla connessione dei pin EN/UV di entrambi gli LT3045.
- PIN 10/16 (ILIM1/ILIM2) arrivano diretti dal regolatore di tensione che, come accennato nell'appendice 1.2, programma il limite di corrente tramite la resistenza di ILIM. In questo caso viene riportata la sua tensione come pin di monitoraggio, con una tensione da 0V a 300mV e sarà collegato a un nodo ad altissima impedenza per non compromettere il limite di corrente.
- PIN 12 (GNDard) GND della scheda Arduino.
- PIN 14 (3V3) 3.3V in ingresso, forniti dalla scheda Arduino.
- PIN 11 (GNDscr) GND dell'ingresso non regolato.
- PIN 13 (SOURCE) ingresso non regolato, chiamato anche alimentazione di commutazione esterna.
- PIN 9 ($\overline{\text{RESET}}$) collegato al $\overline{\text{RESET}}$ del DAC. Quando il $\overline{\text{RESET}}$ è basso, tutti gli impulsi su LDAC sono ignorati, quando $\overline{\text{RESET}}$ è attivato il registro di ingresso e il registro del DAC vengono aggiornati con scala zero o media, a seconda dello stato del pin RSTSEL B.

- PIN 15 (SDIN) collegato al SDIN del DAC, input dei dati seriali. Connesso all'interfaccia seriale con registro di ingresso a scorrimento di 24 bit.
- PIN 17 ($\overline{\text{SYNC}}$) collegato al $\overline{\text{SYNC}}$ del DAC, ingresso di controllo attivo basso. Quando diventa basso, i dati vengono trasferiti sui fronti di discesa dei successivi 24 clock.
- PIN 19 (SCLK) collegato al SCLK del DAC, ingresso orologio seriale.
- PIN 21 ($\overline{\text{LDAC}}$) collegato al $\overline{\text{LDAC}}$ del DAC. L'impulso di questo pin basso consente di aggiornare uno o tutti i registri DAC se i registri di input hanno nuovi dati. Questo pin può anche essere tenuto permanentemente in stato basso.
- PIN 3/5/7 (N.C.) Non Connessi

Come si può notare sono presenti diversi PIN GND destinati ai vari utilizzatori della tensione in uscita da arduino, in modo che questi abbiano un percorso di ritorno dedicato. Tuttavia durante la progettazione del circuito stampato si è deciso di collegarli tutti insieme ad un unico piano di massa (per entrambi le facce). Basandomi sulla figura 4.1 è stato scelto un connettore maschio a 24 pin (due colonne da 12), considerando che la corrente massima assorbita dalla scheda di alimentazione sul pin SOURCE è di 1.052A, il componente M20-9951246 [23], di cui seguono specifiche, risulta adatto a tale funzione.



Figura 4.2: M20-9951246.

Specifiche:

- Basetta a perno ad angolo retto in stagno a 24 posizioni1.
- Corrente nominale massima 3A.

- Tensione nominale massima 750V.
- $30m\Omega$ massima resistenza di contatto.
- $10000M\Omega$ minima resistenza di isolamento.
- Intervallo di temperatura di esercizio da -40°C a $+105^{\circ}\text{C}$.

4.2 Scelta dei componenti passivi

Il criterio di scelta dei componenti in prevalenza presi dal fornitore Digi-Key è stato in primis la presenza di una buona quantità in magazzino, le tolleranze dettate dalle specifiche di progetto e in ultimo il minor prezzo. Inoltre si ricorda, che dalle simulazioni eseguite nei precedenti capitoli, la massima potenza dissipata, da tutte le resistenze presenti nel progetto, è al di sotto dei $100mW$.

4.2.1 Filtro Alimentazione

Riferendoci alla figura 2.30 abbiamo scelto i seguenti componenti:

- Induttanza L1: Modello 1217AS-H-100M=P3, Murata Electronics, Valore $10\mu H$, Nucleo del tamburo schermato, induttore a filo avvolto da $3.9A$ e resistenza massima $39.6m\Omega$, non standard [24]
- Condensatori C1,C2: Modello C1210C126K8PAC7800, KEMET, valore $12\mu F$ $\pm 10\%$, tensione nominale 10V, ceramici, X5R, 1210 [25].
- Condensatore Cd1: Modello GRM31CR61A476KE15L, Murata Electronics, valore $47\mu F$ $\pm 10\%$, tensione nominale 10V, ceramici, X5R, 1206 [26].
- Rd1: Modello RT0603BRD071RL, YAGEO, valore $1\Omega \pm 0.1\%$, $0.1W$, Resistori su chip 0603 a film sottile [27].

L'induttanza è dimensionata per portare amperaggi elevati con bassa resistenza, cosicché, al massimo della corrente erogata, ho solo una caduta di tensione di $40mV$. Abbiamo scelto condensatori ceramici per le ridotte dimensioni.

4.2.2 Indicatore di cortocircuito e partitori di tensione

Riferendoci alla figura 2.25 e avendo già discusso nel relativo capito la scelta dei componenti (comparatori LTC1441 [17], AND logico 74LVC2G08DCQ100H [19] e i LED rossi LTST-C193KRKT-5A [18]) ci rimane solo da scegliere le resistenze:

- R5,R8: Modello RP73PF1J549RBTDF ,TE Connectivity Passive Product, valore $549\Omega \pm 0.1\%$ resistore su chip 0603 a film sottile, potenza massima $0.167W$ [28].
- R1,R4,R7: Modello RT0603BRD07100KL, YAGEO, valore $100k\Omega \pm 0.1\%$, potenza massima $0.1W$, resistore su chip 0603 a film sottile [29].
- R2,R3,R6: Modello CRT0603-BY-1002ELF, Bourns Inc., valore $10K\Omega \pm 0.1\%$, potenza massima $0,1W$, resistore su chip 0603 a film sottile [30].

4.2.3 DAC

In questa sezione riporto la componentistica passiva scelta per i condensatori di disaccoppiamento dell'alimentazione del DAC e per i filtri passa basso del primo ordine, che collegano le uscite del DAC al SET dei due LDO.

- C_d2: Modello 0805ZC104JAT2A, KYOCERA AVX, valore $0,1\mu F \pm 5\%$, tensione nominale $10V$, ceramico , X7R, 0805 [31].
- Cdo1,Cdo2: Modello C0603C103K9RAC7867, KEMET, valore $10nF \pm 10\%$, tensione nominale $6.3V$, ceramici , X7R, 0603 [32].
- Cs1,Cs2: Modello C1206C475J8NAC7800, KEMET, valore $4.7\mu F \pm 5\%$, tensione nominale $10V$, ceramici, X8L, 1206 [33].
- Rdac1,Rdac2: Modello RT0603BRD07100RL, YAGEO, valore $100\Omega \pm 0.1\%$, potenza massima $0.1W$, resistori su chip 0603 a film sottile [34].

4.2.4 Condensatori LDO, R_ILIM (1/2) e R_bleed (1/2)

Di seguito riporto le specifiche delle resistenze di ILIM, che impongono il limite di corrente, delle resistenze di bleed, che servono nel caso di test stand alone del modulo di alimentazione, dei condensatori di disaccoppiamento all'alimentazione dei regolatori di tensione, dei condensatori in uscita dai LDO, ed infine un condensatore di disaccoppiamento dell'alimentazione del DAC.

- Ri1,Ri2: Modello RN73R2ATTD2980B05, KOA Speer Electronics, valore $298\Omega \pm 0.1\%$, potenza massima $0.125W$, resistori su chip 0805 a film sottile [35].
- Rb1/Rb2: Modello RT0603BRD071KL, YAGEO, valore $1K\Omega \pm 0.1\%$, potenza massima $0.1W$, resistori su chip 0603 a film sottile [36].
- Co1,Co2,Ci1,Ci2,C_d1: Modello C0805X106J8RAC7800, KEMET, valore $10\mu F \pm 5\%$, tensione nominale $10V$, ceramici, X7R, 0805 [37].

4.2.5 Jumper

Per implementare i ponticelli 1 e 2 di figura 2.23, bisogna considerare la massima corrente che può fluire nei jumpers, che è calcolabile in:

$$I_{MAX} = \frac{V_{MAX}}{R_{bleed}} = \frac{3.3V}{1K\Omega} = 3.3mA \quad (4.1)$$

E' stato selezionato il modello M50-3530242 [38] come maschio e M50-2000005 [38] come femmina, di seguito riporto alcune caratteristiche:

- Maschio (M50-3530242)



Figura 4.3: Jumper maschio M50-3530242.

Specifiche:

- Basetta connettore Foro passante 2 posizioni, verticale.
 - Passo di $1,27mm$ ($0,050''$).
 - Massima corrente nominale $1A$ per contatto.
 - Massima tensione nominale $500V$
 - Massima resistenza di contatto $20m\Omega$
 - Minima resistenza di isolamento $1000M\Omega$
 - Temperatura di funzionamento da $-40^{\circ}C$ a $105^{\circ}C$
- Femmina (M50-2000005)



Figura 4.4: Jumper femmina M50-2000005.

Specifiche:

- 2 (1 x 2) Connettore derivatore di posizione Nero, parte superiore chiusa.
- Passo di $1,27mm$ ($0,050''$).
- Massima tensione nominale $500V$
- Massima corrente nominale $1A$ per contatto.
- Massima tensione nominale $500V$
- Massima resistenza di contatto $20m\Omega$
- Minima resistenza di isolamento $1000M\Omega$
- Temperatura di funzionamento da $-40^{\circ}C$ a $105^{\circ}C$

4.2.6 Test points

Sono stati predisposti dei punti di test lungo il circuito, per valutare se le tensioni programmate corrispondessero a quelle desiderate. I punti di interesse scelti sono:

- i pin di Set dei due LDO (V_{SET1}, V_{SET2}).
- i pin di ILIM dei regolatori (V_{ILIM1}, V_{ILIM2}), che tramite la misurazione delle loro tensioni, si ricava la corrente in uscita di ciascun canale.
- i pin di OUTS/SENSE (V_{OUTS1}, V_{OUTS1}) per sondare le tensioni di uscita dalla scheda.

Si è scelto il componente S2761-46R [39]



Figura 4.5: Test Point S2761-46R.

Specifiche:

- Punto di prova ottone placcatura stagno a montaggio superficiale
- Dimensioni Lu x La: $1.60mm$ x $0,80mm$ ($0,063''$ x $0,032''$)
- Altezza $1.15mm$ ($0,045''$)

4.3 Il progetto in KiCad

In base allo schema mostrato in figura 3.15 e completata la selezione dei componenti, si è passato alla fase di realizzazione del circuito stampato, utilizzando la suite open source, KiCad (software Electronic Design Automation (EDA)), applicativo dedicato al disegno di schemi elettrici e circuiti stampati (PCB). Il software è composto da diversi moduli, tra cui quello per la definizione dello schema elettronico, del layout della scheda, un editor di componenti, un gestore di librerie, un visualizzatore 3D e un generatore di file gerbers per la stampa del circuito. Di seguito la procedura in dettaglio per la realizzazione del PCB:

1. Definizione dello schema elettronico.
2. Associazione dei componenti dello schema con impronte (eventuale editor dei componenti).
3. Disegnare layout della scheda.
4. Generazione della BOM.
5. Generazione dei files gerbers e drills per la stampa del circuito.

4.3.1 Lo schema e impronte

Di seguito lo schema completo di tutti i componenti del circuito e relativa associazione alle impronte, fornite da Digi-key per le resistenze e condensatori, da SamacSys per l'induttanza, piazzole, jumper, LT3045, diodi LED, comparatori, AND logico, mentre il sito di SnapEDA ha fornito l'impronta del DAC.

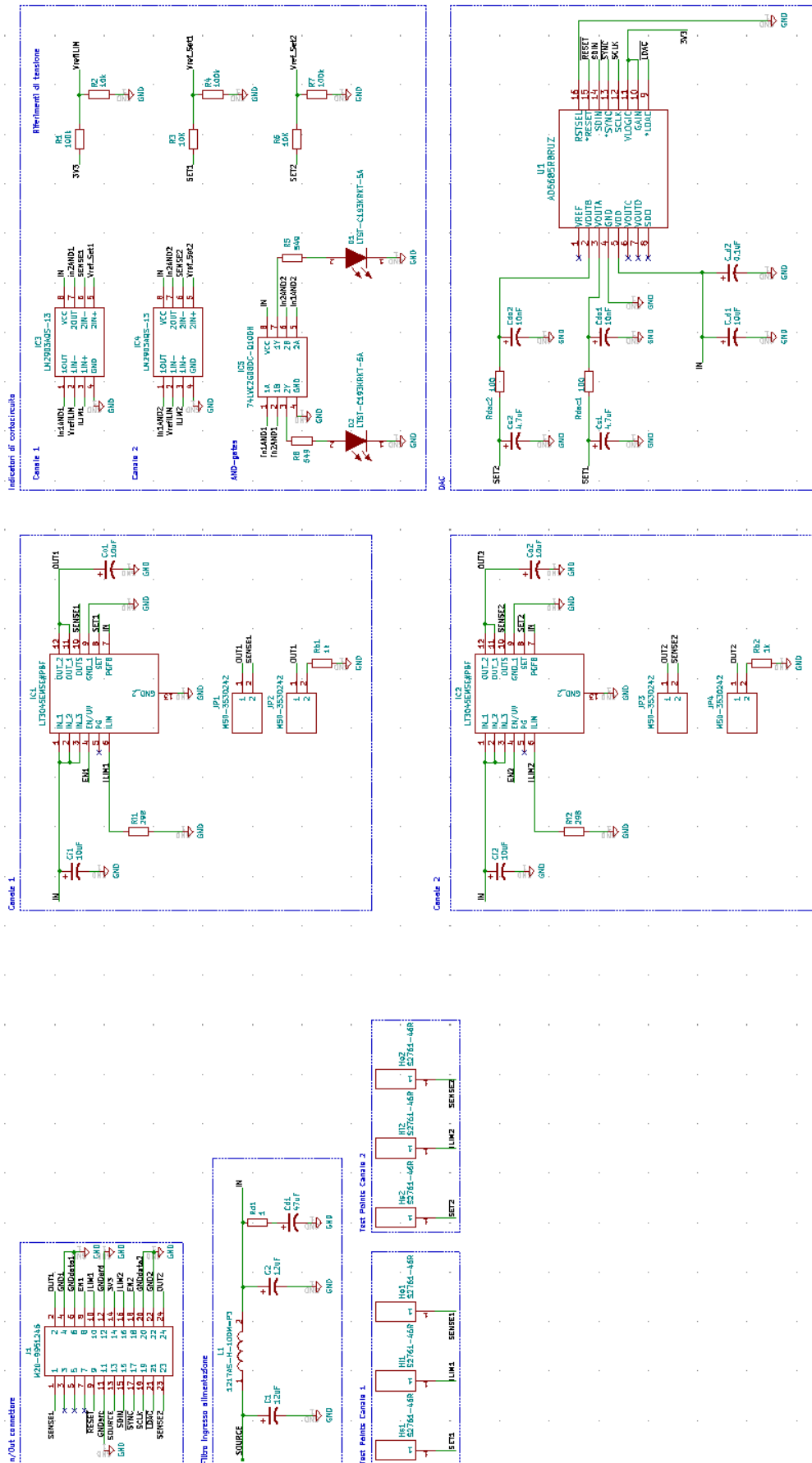


Figura 4.6: Schema circuito di scheda di alimentazione in KiCad.

4.3.2 PCB in KiCad

Per iniziare a progettare la PCB dobbiamo definire alcuni parametri fondamentali, in parte dettati dalla ditta realizzatrice del circuito e in parte dalle caratteristiche del circuito stampato.

Regole di progettazione globali OSHPARK per KiCad

Avendo scelto OSHPARK come produttore, questa ci fornisce i parametri necessari a KiCad per rendersi compatibile ai suoi standard di produzione.

- Distanza maschera di saldatura: 0,002" (0.0508mm).
- Larghezza minima maschera di saldatura: 0".
- Larghezza di traccia minima: 0.006"
- Diametro minimo via: 0.027"
- Diametro minimo foro:0.013"
- Non consentire via ciechi/sepolti.
- Non consentire Non consentire microvia.

Dimensioni scheda

il PCB della scheda di alimentazione è stato pensato di dimensione contenuta per una facile installazione sulla scheda madre di test del DUT, la dimensione scelta compatibile con l'ingombro dei componenti è di 30mm x 50mm.

Disposizione componenti

Ho scelto di mettere nella parte posteriore della scheda il filtro di ingresso, creando una linea di alimentazione stabilizzata nella parte posteriore a mezza altezza, a cui agganciare tutte le alimentazioni dei vari dispositivi. Sempre nella parte posteriore ho messo il filtro passa basso afferente al nodo di SET del secondo LDO, L'AND logico per l'accensione dei LED, R5, R8 e le Rbleed, il resto dei componenti nella parte frontale. Tutti i condensatori di disaccoppiamento sono stati posti in prossimità alle alimentazioni dei dispositivi, mentre i condensatori C_{OUT} dei LDO sono stati collegati ai corrispondenti pin OUTS come consigliato nel capitolo 1.3.

Larghezza delle piste

Sono stati utilizzati percorsi con una larghezza di 20, 10 e 6 mils. Queste larghezze sono state selezionate in funzione della corrente massima che attraversa ogni percorso, considerando piste per strati esterni in aria con uno spessore di 1 oz. Questi calcoli sono stati eseguiti utilizzando lo strumento fornito da Advanced Circuits¹.

- 20 mils corrente massima consentita 1.466A. Utilizzata per piste con amperaggio massimo di 1.052A:
 - Percorso dal pin SOURCE a L1
 - Percorso da L1 a a C2
 - Linea di alimentazione stabilizzata parte posteriore scheda.
- 10 mils corrente massima consentita 0.888A. Utilizzata per piste con amperaggio massimo di 518.5mA:
 - Percorsi che raggiungono i pin IN dei regolatori, dalla linea di tensione stabilizzata, passando dai condensatori di disaccoppiamento.
 - Percorsi uscenti dai pin OUT dei regolatori verso Co1,Co2 e i PIN 2/24 (OUT1/OUT2) del connettore.
 - Percorsi che collegano i jumpers e le R_{Bleed} .
- 6 mils corrente massima consentita 0.6111A. Utilizzata per piste con amperaggio massimo di 100 – 200mA è anche la dimensione minima disposta da OSH PARK:
 - I percorsi rimanenti, poiché la corrente che li attraversa non supera i 100mA.

Tutti i collegamenti a terra sono stati cortocircuitati creando un piano di massa su ambe due i layer, ottenendo così un'unica massa a bassissima impedenza.

Pins non connessi

- LT3045: il Pin PG, rimane aperto poiché la funzione programmazione del "Power Good" non può essere utilizzata nella nostra configurazione circuitale A.
- DAC AD5685R: Pin V_{OUTC} , V_{OUTD} canali di uscita del DAC non utilizzati, Pin SDO, uscita dati seriale per collegare in serie più DAC e V_{REF} pin di uscita del riferimento.

¹<https://www.4pcb.com/trace-width-calculator.html>

- Connettore M20-9951246: PIN 2/5/7 non utilizzati.

4.3.3 BOM

Come precedentemente accennato, la scelta dei componenti è fondamentale per poi procedere al disegno del circuito, utilizzando le relative impronte. A fine progettazione della scheda si passa all'acquisto dei componenti scelti creando una BOM list (Bill of Materials), cioè una lista dei materiali di costruzione, da poi uploadare ai vari fornitori generando così un carrello acquistabile online. Di seguito il file xls generato.

RIFERIMENTI	VALORI	Qtà PER PCB	DESCRIZIONE COMPONENTE	PRODUTTORE	NUMERO COMPONENTE	FORNITORE	LINK
C1,C2	12 µF	2	12 µF ±10% 10V Ceramic Capacitor XSR 1210 (3225 Metric)	KEMET	C1210C126K9PAC7800	Digi-Key	https
Cd1	47µF	1	47 µF ±10% 10V Condensatori ceramici XSR 1206 (3216 metrico)	Murata Electronics	GRM31CR61A476K15L	Digi-Key	https
L1	10 µH	1	10 µH Shielded Drum Core, Wirewound Inductor 3.9 A 39.6mOhm Max Nonstandard	Murata Electronics	1217A5-H-100M-P3	Digi-Key	https
Rd1	1 Ohms	1	1 Ohms ±0.1% 0.1W, 1/10W Resistori su chip 0603 (1608 metrico) A film sottile	YAGEO	RT0603BR0071RL	Digi-Key	https
R5,R8	549 Ohms	2	549 Ohms ±0.1% 0.167W, 1/6W Resistori su chip 0603 (1608 metrico) A film sottile	TE Connectivity Passive Prod	RP73PF1J549R8TDF	Digi-Key	https
D1,D2	Red Led	2	Red 631nm LED Indication - Discrete 2V 0603 (1608 Metric)	Lite-On Inc.	LTST-C193KRKT-5A	Digi-Key	https
IC3,IC4	IC COMPARATOR	2	Comparatori Differenziale CMOS, MOS, open-collector, TTL 8-SO	Diodes Incorporated	LM2903AQS-13	Digi-Key	https
IC5	74LVC2G08	1	Logic Gates Dual 2-input AND gate	Nexperia	74LVC2G08DC-Q100H	Mouser	https
IC1,IC2	LT3945	2	LDO Voltage Regulators 20V, 500mA, Ultralow N, Ultrahigh PSRR L	Analog Devices	LT3945EMSEW9PBF	Mouser	https
Co1,Co2,C11,C12,C_d1*	10µF	5	10 µF ±5% 10V Condensatori ceramici X7R 0805 (2012 metrico)	KEMET	C0805X106J8RAC7800	Digi-Key	https
R11,R12	298 Ohms	2	298 Ohms ±0.1% 0.125W, 1/8W Resistori su chip 0805 (2012 metrico) AEC-Q200 automotive, a film sottile	KOA Speer Electronics, Inc.	RN73R2ATTD2980805	Digi-Key	https
U1	DAC	1	IC DAC 14BIT V-OUT 16TSSOP	Analog Devices	AD5688RBRUZ	VIGOR	https
C_d2	0,1µF	1	0.1 µF ±5% 10V Condensatori ceramici X7R 0805 (2012 metrico)	KYOCERA AVX	0805ZC104JAT2A	Digi-Key	https
Cdo1,Cdo2	10nF	2	10000 pF ±10% 6.3V Condensatori ceramici X7R 0603 (1608 metrico)	KEMET	C0603C103K9RAC7867	Digi-Key	https
Cs1,Cs2	4,7µF	2	4.7 µF ±5% 10V Condensatori ceramici X8L 1206 (3216 metrico)	KEMET	C1206C475J8NAC7800	Digi-Key	https
Rda1,Rda2	100 Ohms	2	100 Ohms ±0.1% 0.1W, 1/10W Resistori su chip 0603 (1608 metrico) A film sottile	YAGEO	RT0603BR007100RL	Digi-Key	https
R1,R4,R7	100K	3	100 kOhms ±0.1% 0.1W, 1/10W Resistori su chip 0603 (1608 metrico) A film sottile	YAGEO	RT0603BR007100KL	Digi-Key	https
R2,R3,R6	10K	3	10 kOhms ±0.1% 0.1W, 1/10W Resistori su chip 0603 (1608 metrico) Per rilevazione di corrente A film sottile	Bourns Inc.	CRT0603-BY-100ZELF	Digi-Key	https
Hs1,H11,Hs2,H12,Ho1,Ho2	Test points	6	Natural PC Test Point Brass Tin Plating Surface Mount Mounting Type	Harwin Inc.	S2761-46R	Digi-Key	https
JP1,JP2,JP3,JP4	Male Jumpers	4	Connector Header Through Hole 2 position 0.050" (1.27mm)	Harwin Inc.	M50-3930242	Digi-Key	https
JP1,JP2,JP3,JP4	Female Jumpers	4	2 (1 x 2) Position Shunt Connector Black Closed Top, Grip 0.050" (1.27mm) Gold	Harwin Inc.	M50-2000005	Digi-Key	https
J1	In/Out connector	1	Connector Header Through Hole, Right Angle 24 position 0.100" (2.54mm)	Harwin Inc.	M20-9951246	Digi-Key	https
Rb1/Rb2	1K	2	1 kOhms ±0.1% 0.1W, 1/10W Resistori su chip 0603 (1608 metrico) A film sottile	YAGEO	RT0603BR0071KL	Digi-Key	https

Figura 4.7: BOM.

Il costo totale per l'acquisto dei componenti necessari alla realizzazione di una singola PCB è di 56.27 euro, con tempistica di qualche settimana.

4.3.4 Gerber e Drill Files

Sono i file necessari alla stampa del PCB, da uploadare sul sito del produttore. Sono generati dalla suite KiCad, settando i parametri secondo le indicazioni del produttore (Oshpark) per la produzione di un circuito stampato a due strati (Fronte/Retro):

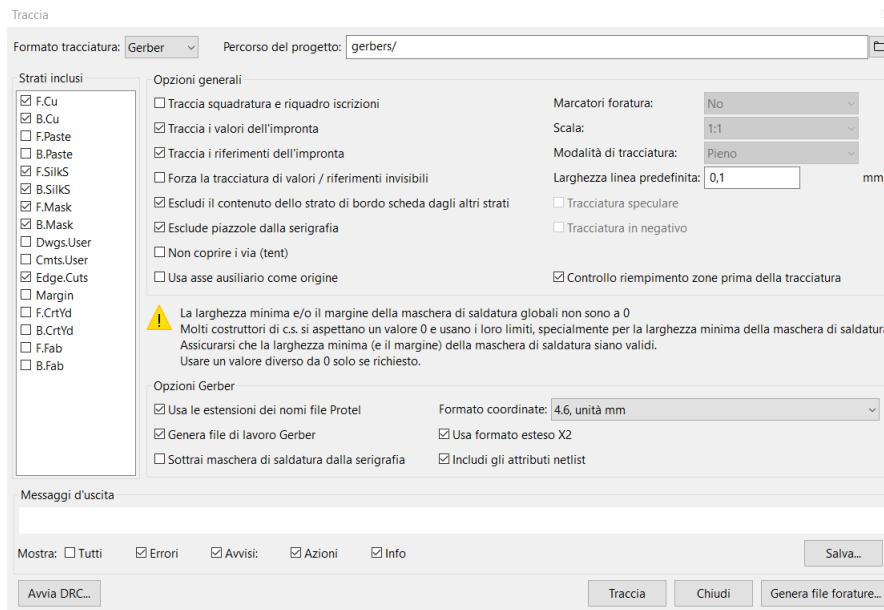


Figura 4.8: Impostazione Layer in KiCad per produzione PCB in Oshpark.

Notiamo che non tutti i layers utilizzati per la progettazione sono necessari alla produzione. Di seguito le impostazioni per generare il Drill file (il file dei fori):

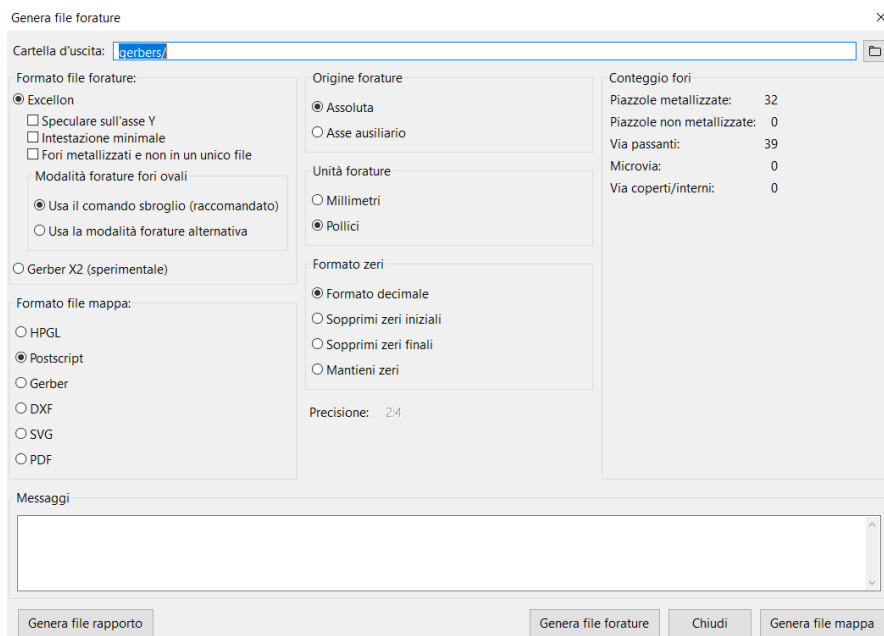
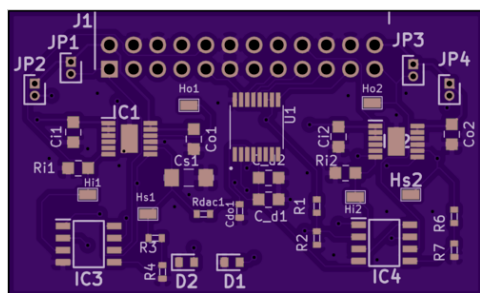


Figura 4.9: Impostazione per la generazione in KiCad files Drill (Fori).

Generati i 9 files (2 per la foratura e 7 per i layers), questi si aggiungono ad un archivio .zip e vengono uplodati sul sito oshpark.com, il quale dopo un controllo generico, propone la visualizzazione dei layers/drill caricati di cui si riporta una stralcio:



Board Top

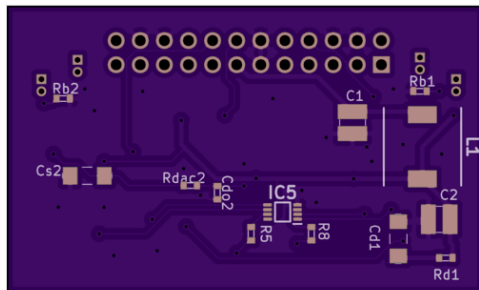
This shows the final manufactured board as if you held it in your hand.

Your design should show gold copper, purple mask, white silk, black drills, and the board outline.

Internal cutouts are indicated by a black outline but are not filled in.

If the image here is entirely white, you'll want to find and fix any gaps in the board outline.

There should be no dimension or measurement ruler



Board Bottom

This shows the final manufactured board as if you held it in your hand.

Your design should show gold copper, purple mask, white silk, black drills, and the board outline.

Internal cutouts are indicated by a black outline but are not filled in.

If the image here is entirely white, you'll want to find and fix any gaps in the board outline.

Figura 4.10: Esempio visualizzazione layers oshpark.

proseguendo il sito ci fornisce il costo, per un minimo di 3 PCB, dandoci la possibilità di scegliere fa varie opzioni. Selezionando la soluzione base otteniamo un costo di \$11.6 per 3 PCB.










Scheda_alimentazione			
Order Item	Quantity	Item Cost	Total
 PCBs	<input type="text" value="3"/>	\$11.60	\$11.60
<input type="checkbox"/>  Super Swift Service			
<input type="checkbox"/>  Medium Run			
<input type="checkbox"/>  2 oz copper, 0.8mm thickness			
<input type="checkbox"/>  Flex			
<input type="checkbox"/>  After Dark (Black Substrate + Clear Mask)			
Remove from Cart 	Board Preview 	Add Coupon 	Sub Total: \$11.60

Figura 4.11: Carrello Oshpark.

Capitolo 5

LDO in parallelo

5.1 Tipologie di collegamenti in parallelo di LDO

Volendo raggiungere correnti massime di $1A$ e conoscendo il limite del LT3045 di $0.5A$, viene naturale di studiare la soluzione di 2 LDO in parallelo. In letteratura tale configurazione si implementano in 3 modi [40]:

1. LDO parallelo diretto.
2. LDO parallelo tramite resistenze di ballast.
3. LDO parallelo usando Op-Amp.

Di seguito vengono riportati i tre schemi per il componente LDO MAX38908 [41], nel caso $V_{IN} = 3.3V$, $V_{OUT} = 2.7V$, $I_{OUT} = 7A$, $V_{BIAS} = 10V$.

5.1.1 LDO in parallelo diretto

Tale configurazione elementare potrebbe essere usata nel nostro progetto, infatti la chiusura dell'anello di reazione dell'amplificatore di errore potrebbe essere implementata sulla scheda madre direttamente sul DUT, come richiesto dalla specifiche (figura 5.1). Purtroppo la soluzione risulta molto sbilanciata come riportato parzialmente dal grafico (figura 5.2), infatti a causa degli Offset dei due LDO, inevitabilmente quello con Offset maggiore parte prima ad erogare corrente lasciando spento l'altro LDO, fino a che la richiesta di corrente supera il limite di corrente imposto, facendolo scendere di tensione fino al valore impostato. A questo punto anche il secondo LDO inizia ad erogare corrente aggiungendo il proprio contributo necessario ad arrivare alla richiesta di corrente dettata dal carico.

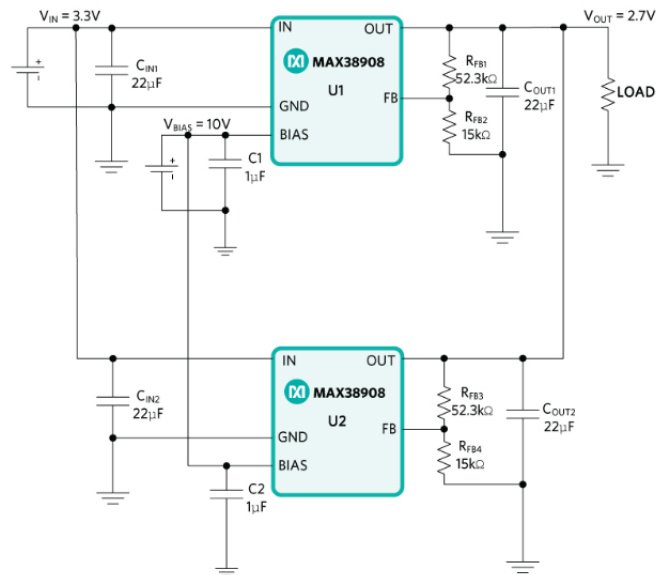


Figura 5.1: Parallelo di 2 LDO Configurazione diretta.

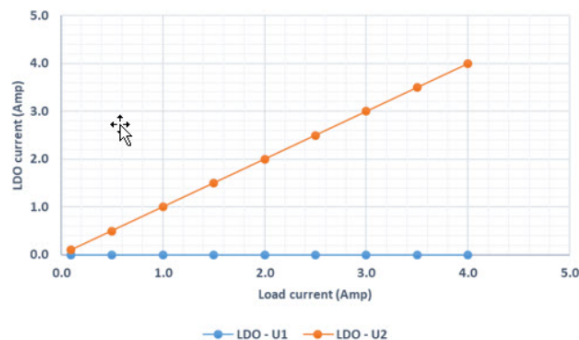


Figura 5.2: Correnti di 2 LDO in parallelo in configurazione diretta.

5.1.2 LDO in parallelo configurazione con $R_{Ballast}$

In letteratura tale configurazione è la più comune, si implementa mettendo delle resistenze dette di ballast come in figura 5.6 all'uscita degli LDO dopo la chiusura della retroazione sul pin di SENSE (morsetto invertente del amplificatore di errore) In questo circuito, l'LDO che ha una tensione di uscita più elevata fornisce corrente e questa corrente crea una caduta di tensione attraverso il resistore di bilanciamento, riducendo quindi la tensione di uscita effettiva di quell'LDO. Pertanto, anche l'altro LDO con tensione di uscita inferiore condividerà la corrente

di carico. Quindi, la caduta di tensione attraverso il resistore di bilanciamento aiuterà a bilanciare la tensione di uscita, mentre bilancia la corrente che scorre attraverso entrambi gli LDO.

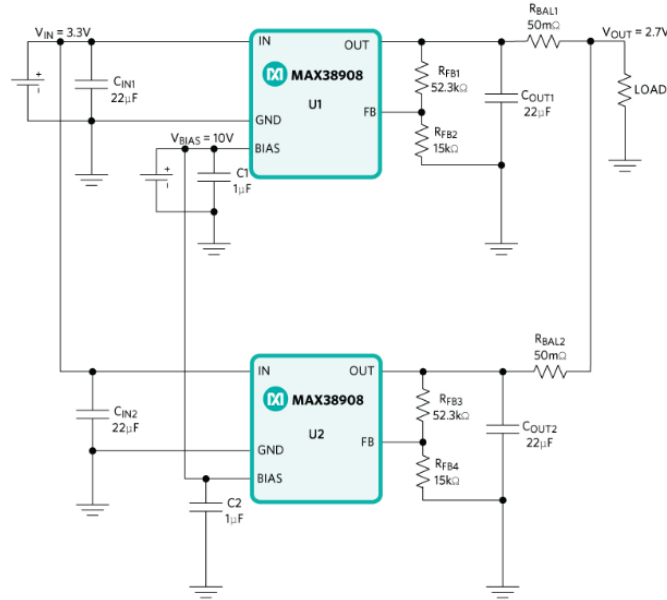


Figura 5.3: Parallelo di 2 LDO Configurazione con resistenze di ballast.

La tensione attraverso il carico con resistori di bilanciamento è:

$$\begin{aligned} V_{LOAD} &= V_{OUT_U1} - V_{RBAL1} = V_{OUT_U2} - V_{RBAL2} \\ V_{LOAD} &= V_{OUT_U1} - (I_{OUT_U1} * R_{BAL1}) = V_{OUT_U2} - (I_{OUT_U2} * R_{BAL2}) \end{aligned} \quad (5.1)$$

Per calcolare il valore del resistore di bilanciamento, poniamo che la precisione della tensione di uscita degli LDO sia $\pm 1\%$ della tensione nominale, mentre la differenza consentita nella condivisione della corrente massima di uscita da ciascun LDO sia considerata come il 20% dell'uscita massima di ciascun LDO, ovvero $800mA$. La seguente equazione fornisce il valore della resistenza di bilanciamento.

$$R_{bal} = \frac{V_{OUT_U1} - V_{OUT_U2}}{I_{OUT_U1} - I_{OUT_U2}} = \frac{2 \cdot V_{off}}{I_{OUT_U1} - I_{OUT_U2}} = \frac{54mV}{800mA} = 67.5m\Omega \quad (5.2)$$

Possiamo scegliere $R_{ballast} = 50\Omega$.

Dall'equazione della R_{bal} notiamo che la condivisione della corrente di carico può ancora essere migliorata aumentando il valore del resistore di bilanciamento, ma

di contro si ridurrà ulteriormente la tensione di uscita. Dobbiamo per cui assicurarci, che il valore del resistore di bilanciamento, sia scelto in modo tale che la tensione di uscita effettiva sul carico non si riduca in modo significativo. Quindi, bisogna scegliere il valore del resistore di bilanciamento, in modo che la differenza di corrente attraverso gli LDO sia bassa e contemporaneamente la caduta di tensione attraverso il resistore di bilanciamento non sia troppo elevata. Una buona progettazione del layout aiuterà a condividere equamente la corrente attraverso gli LDO.

I vantaggi di tale configurazione sono, la semplicità di implementazione, la possibilità di mettere in parallelo più LDO e il basso numero di componenti, di contro abbiamo un abbassamento della tensione di uscita dovuto alla $R_{ballast}$. Di seguito si riporta il grafico delle correnti dei due LDO leggermente sbilanciate.

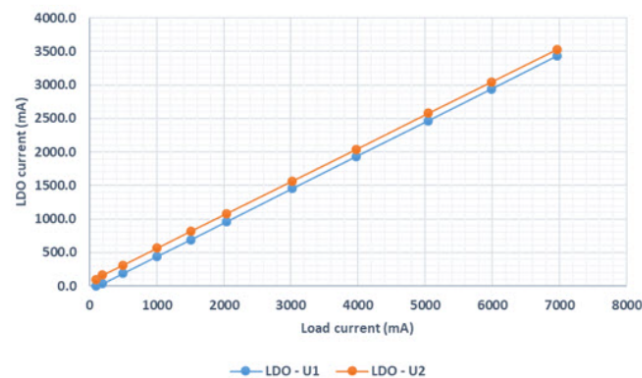


Figura 5.4: Correnti di 2 LDO in parallelo con resistenze di ballast.

Rispetto la situazione del collegamento diretto l'andamento delle correnti risulta bilanciato. Purtroppo dobbiamo scartare tale soluzione, visto che per implementarla sarebbe necessario installare delle resistenze di ballast direttamente sulla scheda madre in prossimità dei punti di alimentazione del DUT, ove si chiude la retroazione del pin di OUTS su OUT, aspetto non previsto dalle specifiche di realizzazione della nostra scheda di alimentazione.

5.1.3 LDO parallelo usando Op-Amp

Tale soluzione in letteratura è ben poco documentata, un esempio lo possiamo trovare nell'articolo prima citato [40] di cui si riporta lo schema per il componente MAX38908. Richiede l'utilizzo di un Op-Amp al quale convergono le tensioni rilevate dalle resistenze di SENSE proporzionali alle correnti di ingresso agli LDO, l'amplificatore operazionale, amplificata la differenza delle tensioni, guida il feedback dell'LDO-U1 che ha il suo resistore di rilevamento della corrente collegato al

pin di inversione. Dalla figura 5.5, se la corrente da RSENSE2 aumenta, l'amplificatore operazionale rileverà l'aumento di corrente e inizierà ad assorbire la corrente dalla rete di feedback di LDO-U1. Questa dissipazione di corrente fa sì che l'LDO-U1 prenda più corrente dalla sorgente di ingresso ed aumenti la caduta sul resistore RSENSE1. Quindi funge da feedback negativo per bilanciare la corrente che scorre attraverso entrambi gli LDO. Quando il circuito funziona in condizioni stazionarie, la corrente e le tensioni di uscita da U1, U2 saranno bilanciate.

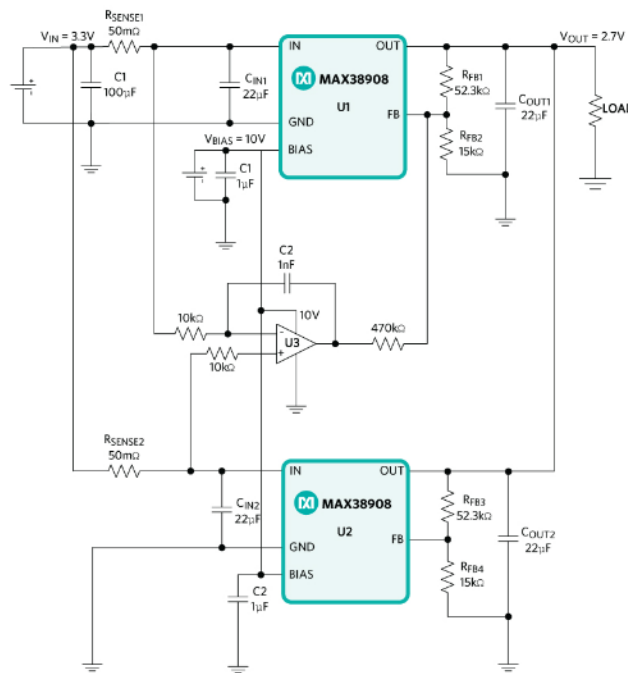


Figura 5.5: 2 LDO in parallelo con Op-Amp.

Nel circuito appena visto, abbiamo usato in totale 2 resistori di rilevamento della corrente su ciascun ingresso LDO di $50m\Omega$ e un amplificatore operazionale per confrontare la corrente di ingresso che scorrono attraverso i due LDO. Possiamo vedere che l'andamento della corrente erogata dagli LDO è molto migliore rispetto ai metodi precedenti come riportato del seguente grafico. La differenza massima nelle correnti che scorrono attraverso entrambi gli LDO è di circa $51mA$ in tutto il range di corrente di carico fino a $7A$.

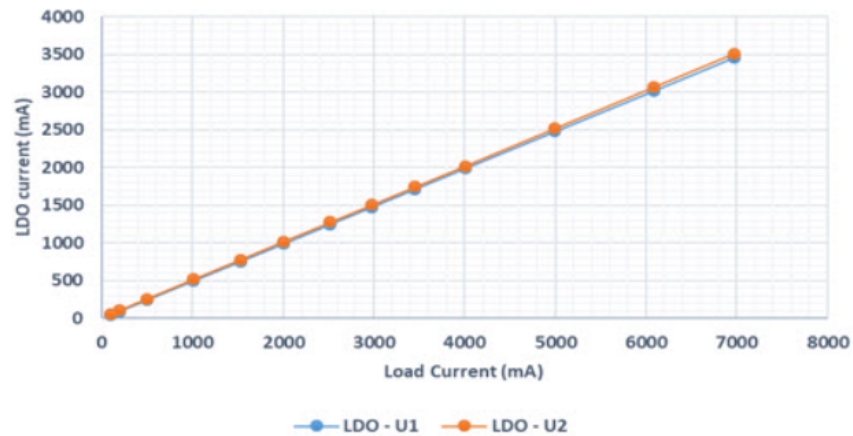


Figura 5.6: Correnti di 2 LDO in parallelo con Op-Amp.

I vantaggi sono evidenti: uguale condivisione della corrente LDO e l'esatta tensione di uscita richiesta. Anche il grafico delle performance sotto riportato evidenzia l'ottimo risultato del sistema ora citato. Di contro abbiamo che è limitato a soli 2 LDO ed è richiesto un circuito con un Op-Amp aggiuntivo.

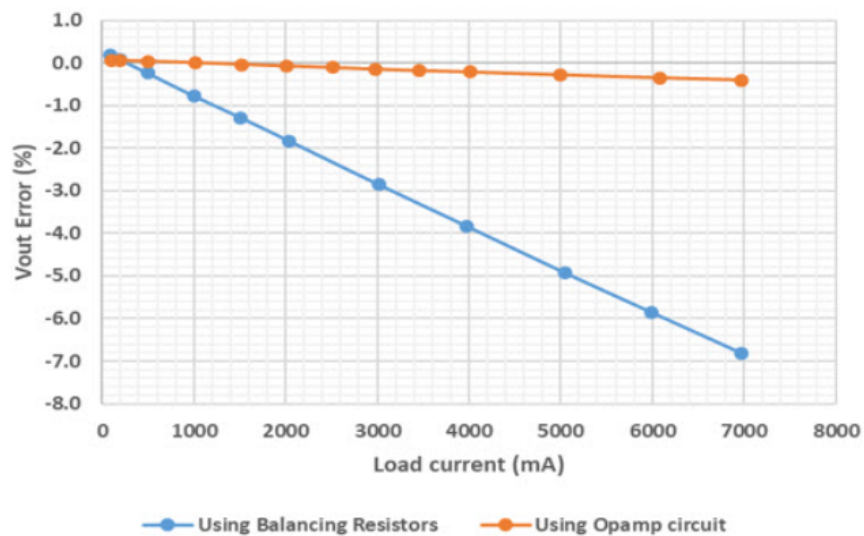


Figura 5.7: confronto dell'errore della tensione di uscita nel caso Ballast e Op-Amp.

Tale configurazione è applicabile al nostro progetto visto che possiamo chiudere i pins di OUT e di OUTS (SENSE) al di fuori della scheda di alimentazione, vediamo ora come adattarlo alle nostre esigenze.

5.2 LDO LT3045 parallelo usando Op-Amp

Ispirandomi alla configurazione circuitale precedentemente esposta per il MAX38908, vediamo come adattarlo al nostro regolatore di tensione.

Nel caso del LDO LT3045 la V_{OUT} è comandata dalla tensione sul pin di set per cui la retroazione dovrà pilotare, tramite un partitore o un nodo sommatore, tale pin. Lo schema sotto riportato è una prima ipotesi di lavoro:

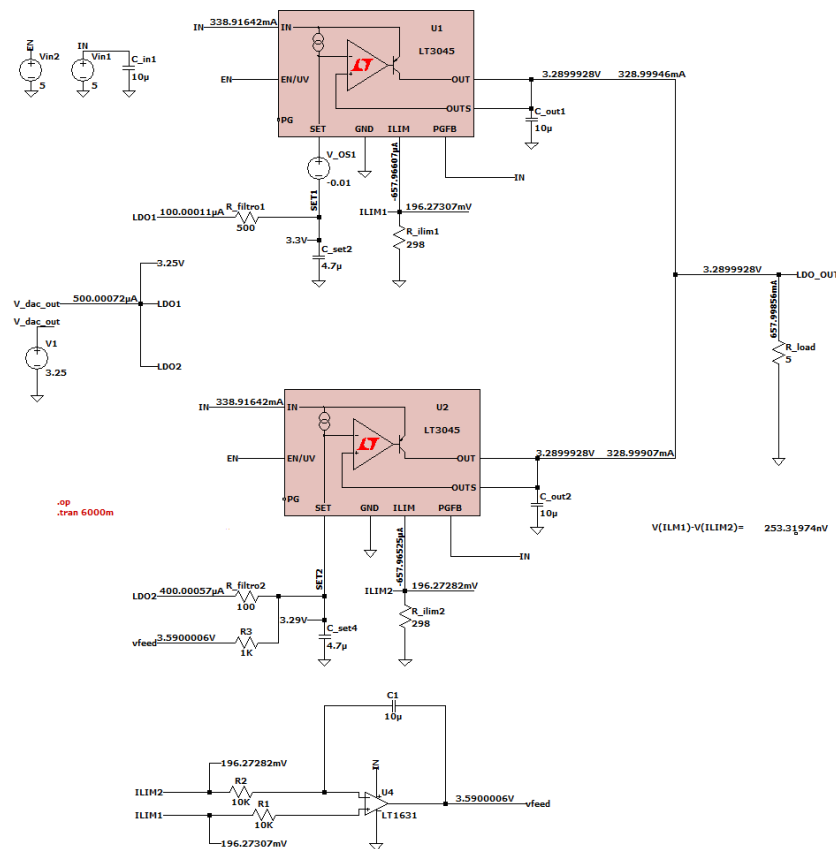


Figura 5.8: Parallelo di 2 LDO LT3045 con feedback su nodo C_set2 tramite partitore di tensione.

Le tensioni da paragonare che forniscono il feedback al set, nel circuito precedente erano prese da 2 resistenze di SENSE poste agli ingressi degli LDO, nel caso del LT3045 possiamo ovviare a tale configurazione. Infatti, come visto nei capitoli precedenti, il dispositivo è fornito di un pin di ILIM con tensione proporzionale

alla corrente di uscita. Ricordiamo che tale pin, programma il limite di corrente e la sua tensione non deve superare i $300mV$, mentre la proporzionalità con la corrente di uscita è data dalla seguente formula:

$$V_{ILIM} = \frac{I_{OUT}}{500} \cdot R_{ILIM} \quad (5.3)$$

Si noti che la configurazione non influisce sul valore della resistenza di ILIM non modificando il limite di corrente. Le tensioni così rilevate vengono fatte confluire in un integratore che amplificherà le diverse tensioni, causate dagli offset, e come si vedrà anche dalla differente scelta della R_{filtro} dei due LDO, tale amplificazione viene poi riversata tramite un partitore di tensione sul set del secondo LDO. Notiamo che la resistenza di filtro del primo regolatore è impostata 500Ω un valore 5 volte superiore di quella del LDO2, tale scelta comporta una aumento del fondo scala a circa $50mA$ ma ci garantisce che il sistema sia unipolare, in maniera che parta sempre prima LDO1, e LDO2 sia costretto ad inseguirlo, convergendo al punto di lavoro del primo LDO, rendendo stabile il sistema, insensibile agli offset, che per LT3045 sono dell'ordine di qualche mV e garantendo di avere sempre un segnale positivo all'uscita dell'integratore. Come si evince dai valori riportati in tabella 5.1, la simulazione riporta valori molto bilanciati ad alte correnti di carico.

$R_{load} [\Omega]$	$I_{load} [mA]$	I1 [mA]	I2 [mA]	%	I1-I2 [μA]
5	667.99850	333.99954	333.99895	0%	0.59
10	333.99925	167.00014	166.99955	0 %	0.59
50	66.79985	33.400293	33.399694	0 %	0.59
100	32.99999	16.500361	16.499635	0%	0.73
200	16.49999	8.25037	8.2496284	0%	0.7422
1000	3.3	3.3	0	100%	3300

Tabella 5.1: Valori delle correnti di uscita dagli LDO, alla tensione $V_{out} = 3.3V$, al variare del carico.

Purtroppo dopo 600Ω di carico a $V_{OUT} = 3.3V$ e cioè per correnti di carico inferiori $5.5mA$ le simulazioni non convergono, il che implica l'esistenza di oscillazioni, che rendono impossibile al simulatore di trovare il punto di lavoro esatto, il sistema potrebbe diventare instabile. Volendo disegnare i risultati otteniamo il seguente grafico: (ricordando che in prossimità dell'origine abbiamo una zona di non validità dei dati).

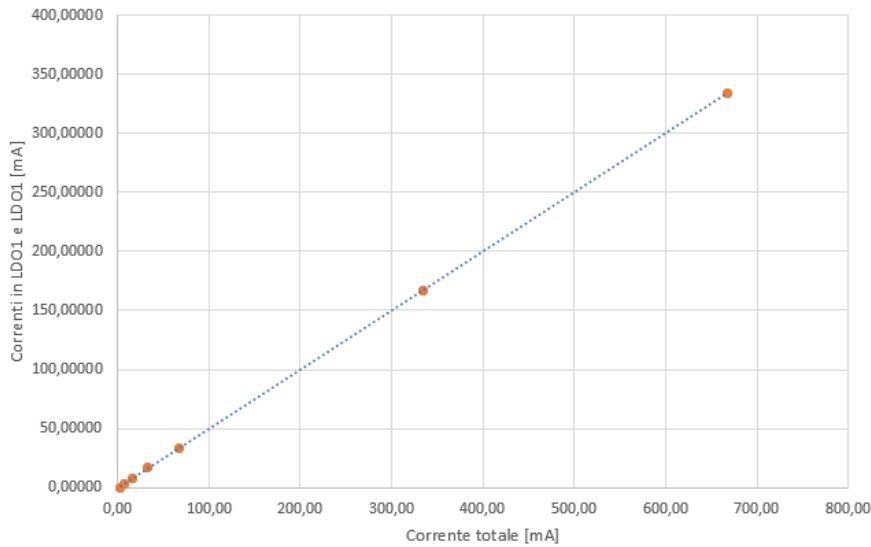


Figura 5.9: Grafico delle correnti di uscita dai LDO LT3045.

Per capire meglio cosa succede al variare del carico, studiamo i digrammi di Bode ad anello aperto. Tagliamo l'anello all'altezza dell'ingresso di vfeed sul partitore, e mettiamo un generatore di segnale sul punto di lavoro, chiedendo al simulatore di disegnare il relativo diagramma al variare della R_{load} . Ecco i risultati:

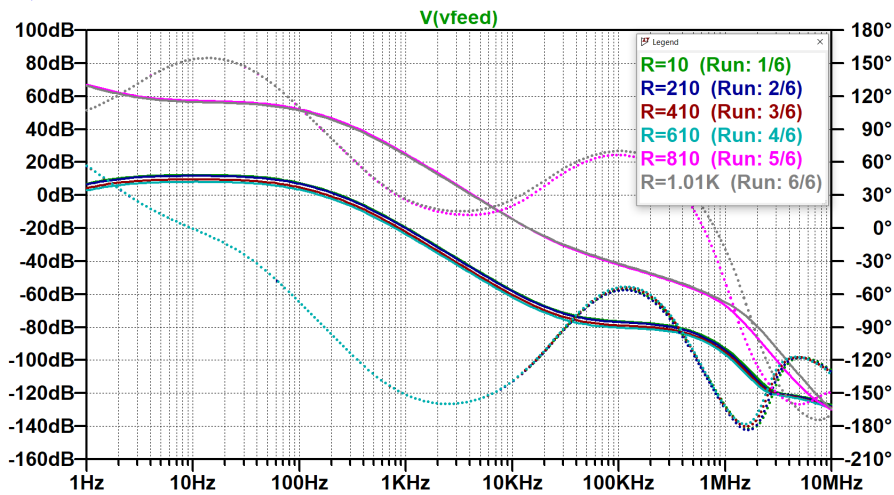


Figura 5.10: Grafico diagramma di Bode ad anello aperto al variare di R_{load} .

Risulta evidente che per carichi fino a 600Ω (correnti di $5.5mA$) il guadagno seppur basso taglia l'asse a zero dB con pendenza 20 dB/decade dando un guada-

gno stabile, mentre per carichi più elevati la pendenza è 40 dB/decade. Studiamo anche il grafico del rumore al variare di R_{load} con $V_{OUT} = 3.3V$.

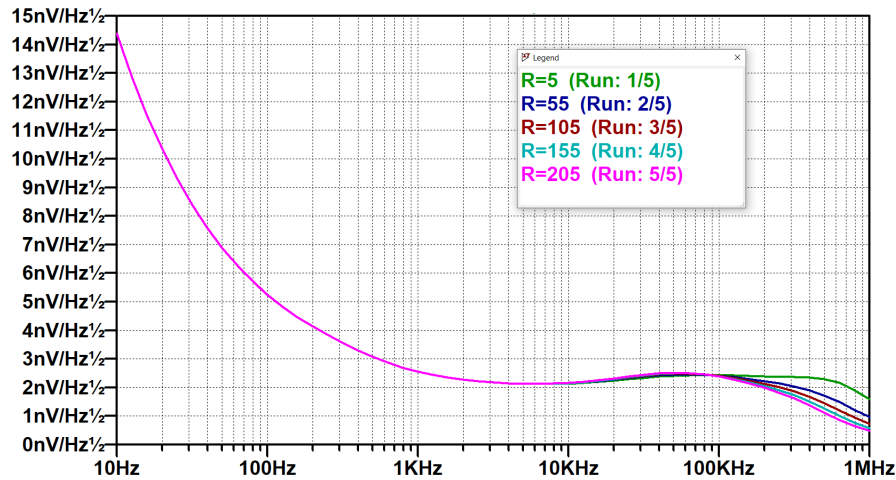


Figura 5.11: Rumore in uscita dal parallelo dei due LT3045 in funzione del carico R .

Dalla figura 5.11 si evince che lo scostamento delle varie curve è minimo ed il rumore integrato fra $10Hz$ e $100KHz$ nel caso di $R_{load}=5$ è di $769.48nV$, che rientra nelle specifiche richieste.

In ultimo vediamo di sistemare l'instabilità a basse correnti. E' evidente dalle simulazioni, che per correnti sopra i $10mA$ in uscita dai singoli regolatori, il sistema è stabile e performante, volendo prenderci un margine di sicurezza possiamo pensare di implementare un sistema di spegnimento del secondo LDO nel caso la corrente in uscita scendesse al disotto di una certa soglia, che stando larghi, potrebbe andar bene $30mA$. Implementando tale sistema la corrente di uscita verrebbe condivisa fino a $60mA$, dopo di chè il primo LDO fornirebbe tutta la corrente. In effetti, l'intento era fornire correnti elevate in modo bilanciato per distribuire i carichi termici sulla scheda di alimentazione. L'ipotesi più semplice è implementare tale controllo da programma, facendo confluire al connettore 2 pin di EN per ogni punto di alimentazione (in totale 4 pin di EN), considerando la disponibilità di 3 pin liberi sul connettore, pilotando così l'accensione di ogni LDO presente sulla scheda di alimentazione, in modo da spegnere uno dei due LDO in parallelo quando si prevedono correnti di uscita basse, al di sotto della soglia prestabilita.

5.3 Conclusioni

Oltre alla simulazione esposta in questo capitolo sono state provate altre configurazioni retroazionate che più o meno convergono tutte ad alte correnti. Possiamo quindi affermare che la strada di mettere in parallelo due LDO retroazionando il sistema tramite un Amp-Op è percorribile stando attenti a valutare una soglia di validità dei carichi e delle correnti, circoscrivendo così una zona di funzionamento stabile sui grafici delle correnti.

Bibliografia

- [1] Ken Marasco. How to apply low-dropout regulators successfully. In *Volume 43, Number 3, 2009 A forum for the exchange of circuits, systems, and software for real-world signal processing*, page 14. URL: <https://www.analog.com/media/en/analog-dialogue/volume-43/number-3/articles/applying-low-dropout-regulators.pdf>, 2009.
- [2] Masashi Nogawa. Ldo noise examined in detail. In *Texas Instruments Analog Applications Journal (slyt489) Q*. URL: <https://www.ti.com/lit/an/slyt489/slyt489.pdf>, 2012.
- [3] Jeff Barrow. Reducing ground bounce in dc-to-dc converters—some grounding essentials. In *Analog Dialogue*, volume 41, pages 3–7. URL: https://www.eetree.cn/wiki/_media/volume41-number2.pdf, 2007.
- [4] Franco Musiari. Alimentatori low drop out una soluzione alternativa. In *farelettronica*. URL: <https://farelettronica.it/alimentatori-low-drop-out-ldo-una-soluzione-alternativa/>, 2020.
- [5] Glenn Morita. Understand low dropout regulator (ldo) concepts to achieve optimal designs. In *Analog Dialogue*, volume 48. URL: <https://www.analog.com/en/analog-dialogue/articles/understand-ldo-concepts.html>, 2014.
- [6] Kasun Subasinghage, Kosala Gunawardane, Nihal Kularatna, and Tek Tjing Lie. Selection of the stable range of the equivalent series resistance (esr) of the output capacitor for a scaldo regulator. In *2018 IEEE 27th International Symposium on Industrial Electronics (ISIE)*, pages 1359–1364. IEEE, 2018.
- [7] LT3045 20V, 500mA, Ultralow Noise, Ultrahigh PSRR Linear Regulator Datasheet. Analog Device, URL: <https://www.analog.com/media/en/technical-documentation/data-sheets/lt3045.pdf>, 2016-2021.

- [8] Forum Arduino. Diy 16 bit digital potentiometers. <https://forum.arduino.cc/t/diy-16-bit-digital-potentiometers/457099>. Published: 2017-5.
- [9] Uttam Kumar Sahu. Power-supply margining circuit for LDOs using a precision DAC. Analog Engineer's Circuit, <https://www.ti.com/lit/an/sbaa341a/sbaa341a.pdf>, 2019.
- [10] Uttama Kumar Sahu. LT3090 output voltage controlled by DAC. ADI Engineer Zone, <https://ez.analog.com/power/f/q-a/100035/lt3090-output-voltage-controlled-by-dac>, 2018.
- [11] LT3082 200mA Single Resistor Low Dropout Linear Regulator Datasheet. Analog Device, <https://www.analog.com/media/en/technical-documentation/data-sheets/3082f.pdf>, 2009.
- [12] AD5685R Quad, 16/14/12 bit nanoDAC+ Datasheet. Analog Device, URL: https://www.analog.com/media/en/technical-documentation/data-sheets/ad5686r_5685r_5684r.pdf, 2012-2020.
- [13] DAC controlled LDO as current source. Electrical Engineering, https://electronics.stackexchange.com/questions/471449/dac-controlled-ldo-as-current-source#comment1192430_471449, 2020.
- [14] LT1568 Very Low Noise, High Frequency Active RC, Filter Building Block Datasheet. Analog Device, 2003.
- [15] LT1567 $1.4nV/\sqrt{Hz}$ 180MHz Filter Building Block Datasheet. Analog Device, <https://www.analog.com/media/en/technical-documentation/data-sheets/1567fa.pdf>, 2003.
- [16] Filter Design Tool | Filter Wizard | Analog Devices. Analog Device, URL: <https://tools.analog.com/en/filterwizard/>.
- [17] LTC1440/LTC1441/LTC1442 Ultralow Power Single/Dual Comparator with Reference Datasheet. Analog Device, <https://www.analog.com/media/en/technical-documentation/data-sheets/144012fd.pdf>, 1996.
- [18] SMD LED Product Datasheet LTST-C193KRKT-5A. LITE-ON Technology Corp., <https://optoelectronics.liteon.com/upload/download/DS22-2005-077/LTST-C193KRKT-5A.PDF>, 2021.
- [19] 74LVC2G08-Q100 Dual 2-input AND gate, Datasheet. Nexperia, URL: https://eu.mouser.com/datasheet/2/916/74LVC2G08_Q100-1535637.pdf, 2019.

- [20] Texas Instruments. Input Filter Design for Switching Power Supplies. <https://www.ti.com/lit/an/snva538/snva538.pdf>, 2010.
- [21] Cadence PCB solutions. LC Filter for Power Supply Design Tips. <https://resources.pcb.cadence.com/blog/lc-filter-for-power-supplydesign-tips>, 2020.
- [22] Per Magnusson. Filtering of Power Supplies for Sensitive Analog Applications. <https://axotron.se/print.php?page=40>, 2012.
- [23] M20-9951246 Datasheet. Harwin, URL: <https://www.mouser.it/datasheet/2/181/M20-995-1218966.pdf>, 2017.
- [24] 1217AS-H-100M=P3 Datasheet. Murata, URL: <https://www.murata.com/en-eu/products/productdetail?partno=1217AS-H-100M%23>, 2020.
- [25] C1210C126K8PAC7800 Datasheet. KEMET, URL: https://eu.mouser.com/datasheet/2/212/KEM_C1006_X5R_SMD-1103249.pdf, 2022.
- [26] GRM31CR61A476KE15L Datasheet. Murata, URL: <https://search.murata.co.jp/Ceramy/image/img/A01X/G101/ENG/GRM31CR61A476KE15-01.pdf>, 2016.
- [27] RT0603BRD071RL Datasheet. YAGEO, URL: https://www.yageo.com/upload/media/product/productsearch/datasheet/rchip/PYu-RT_1-to-0.01_RoHS_L_13.pdf, 2022.
- [28] RP73PF1J549RBTDF Datasheet. TE Connectivity Passive Product, URL: <https://www.te.com/commerce/DocumentDelivery/DDEController?Action=srchtrv&DocNm=1773272&DocType=DS&DocLang=English>, 2020.
- [29] RT0603BRD07100KL Datasheet. YAGEO, URL: https://www.yageo.com/upload/media/product/productsearch/datasheet/rchip/PYu-RT_1-to-0.01_RoHS_L_13.pdf, 2022.
- [30] CRT0603-BY-1002ELF Datasheet. Bourns Inc., URL: <https://www.bourns.com/docs/Product-Datasheets/crt.pdf>, 2022.
- [31] 0805ZC104JAT2A Datasheet. KYOCERA AVX, URL: <https://datasheets.kyocera-avx.com/X7RDielectric.pdf>, 2020.
- [32] C0603C103K9RAC7867 Datasheet. KEMET, URL: <https://www.digikey.it/it/products/detail/kemet/C0603C103K9ACTU/3522505>, 2020.

- [33] C1206C475J8NAC7800 Datasheet. KEMET, URL: https://content.kemet.com/datasheets/KEM_C1008_X8L_150C_SMD.pdf, 2022.
- [34] RT0603BRD07100RL Datasheet. YAGEO, URL: https://www.yageo.com/upload/media/product/productsearch/datasheet/rchip/PYu-RT_1-to-0.01_RoHS_L_13.pdf, 2022.
- [35] RN73R2ATTD2980B05 Datasheet. KOA Speer Electronics, Inc., URL: <https://www.bourns.com/docs/Product-Datasheets/crt.pdf>, 2018.
- [36] RT0603BRD071KL Datasheet. YAGEO, URL: https://www.yageo.com/upload/media/product/productsearch/datasheet/rchip/PYu-RT_1-to-0.01_RoHS_L_13.pdf, 2022.
- [37] C0805X106J8RAC7800 Datasheet. KEMET, URL: <https://www.digikey.com/en/products/detail/kemet/C0805X106J8RAC7800/7427524>, 2022.
- [38] M50 and M52 Series Connectors Datasheet. Harwin Inc., URL: https://cdn.harwin.com/pdfs/C029XX_M50_and_M52_Series_Connectors.pdf, 2022.
- [39] S2761-46R Datasheet. Harwin Inc., URL: https://cdn.harwin.com/pdfs/C029XX_M50_and_M52_Series_Connectors.pdf, 2020.
- [40] LDO Linear Regulators Paralleling with MAX38908 for High Current Applications. Analog Device, URL: <https://www.analog.com/en/design-notes/ldo-linear-regulators-paralleling-with-max38908-for-high-current-applications.html>, 2020.
- [41] MAX38908 Datasheet. Analog Device, URL: <https://www.mouser.com/datasheet/2/256/MAX38907-MAX38909-1667780.pdf>, 2020.
- [42] Cysca technologies. THE MANY CERAMIC CAPACITOR DIELECTRICS. <https://www.cysca.com/en/many-ceramic-capacitor-dielectrics/>, 2021.

Appendice A

LDO LT3045

Il LT3045 è disponibile in versioni termicamente migliorate sia come MSOP a 12 pin e sia come DFN a 10 pin da 3 mm × 3 mm figura A.1.

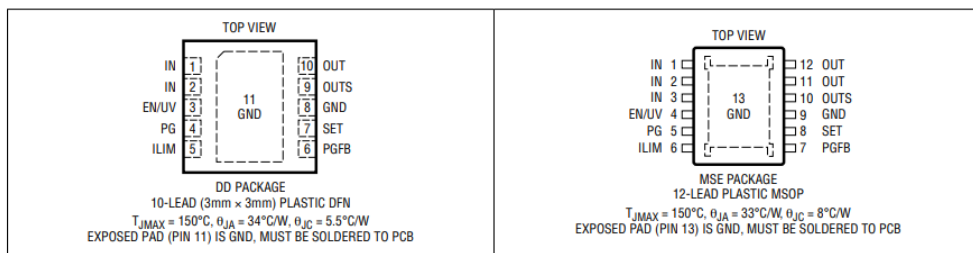


Figura A.1: Configurazione PIN.

Descriviamo in dettaglio le funzioni dei vari pin in base alla sua applicazione tipica mostrata in figura A.2.

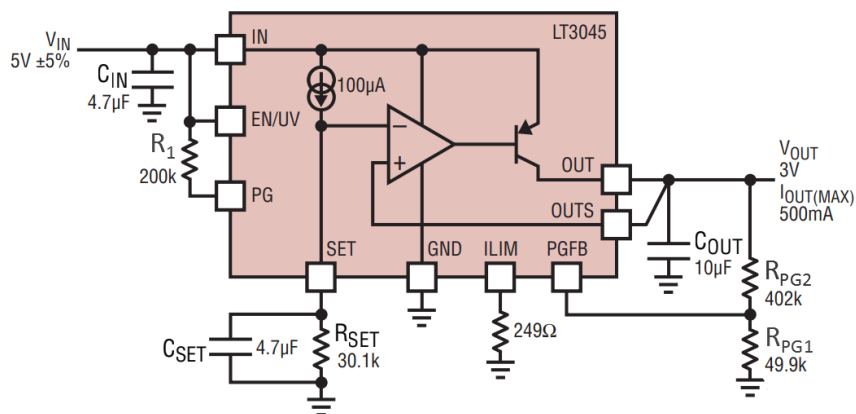


Figura A.2: Configurazione Tipica LDO LT3045.

PINS IN (1,2/ 1,2,3)

Sono i pins dell'alimentazione e richiedono un condensatore di bypass, in genere di $4.7\mu F$ con bassa ESR (condensatore ceramico), applicazioni con carico elevato potrebbero richiedere capacità più elevate, per evitare cali di tensione in ingresso, tale capacità influenza anche il PSRR dell'LDO. Nel caso di inversione della tensione di ingresso il circuito LDO si comporta come un diodo in serie all'ingresso, proteggendo lo stesso dispositivo.

PIN EN/UV (3/4)

Abilita/ULVO. Mettendolo in stato basso spegne il dispositivo con una corrente di shutdown di $1\mu A$. In alternativa è possibile impostare il pin EN/UV a una soglia di blocco al di sotto della tensione di alimentazione (undervoltage lockout UVLO), utilizzando un partitore di tensione tra IN, EN/UV e GND. L'LT3045 di solito si accende quando la tensione EN/UV supera $1.24V$ sul suo fronte di salita, con una isteresi di $130mV$ sul suo bordo discendente. Il pin EN/UV può essere guidato sopra l'ingresso tensione e mantenere il corretto funzionamento. Se inutilizzato, legare da EN/UV a IN. Non lasciare disconnesso il pin EN/UV.

PIN PG (4/5)

Power Good. E' un indicatore della tensione di uscita, se il pin PGFB è sotto i $300mV$ PG si mette in stato basso. Se non necessario si può lasciare scollegato, attenzione a non applicare tensioni inferiori a $0.3V$ sotto GND a causa di un diodo parassita del circuito.

PIN ILIM (5/6)

Programma il limite di corrente collegando un resistore tra il pin e GND. Per una migliore precisione è consigliato collegare la resistenza di ILIM al pin GND del LT3045. Il fattore di scala per la programmazione è $150mA \cdot K\Omega$. La corrente del pin ha un fattore di proporzionalità di 1:500 rispetto la corrente di uscita, da cui è anche utilizzabile come pin di monitoraggio con una tensione da $0V$ a $300mV$. Se la funzionalità non è necessaria collegare direttamente il pin a GND. Anche qui a causa di un diodo parassita del circuito non pilotare mai il pin al di sotto dei $0.3V$ rispetto il pin GND del LT3045.

PIN PGFB (6/7)

Power Good Feedback. Mette in stato alto il flag PG quando supera la soglia dei $300mV$. Collegandolo a un partitore resistivo tra il pin OUT, PGFB e GND imposta la soglia del PG con la seguente formula $0.3V \cdot (1 + R_{PG2}/R_{PG1})$. Abilita l'accensione veloce del circuito. Se non servono tali funzionalità, lo si può collegare al pin-IN e per preservare dalla tensione inversa, possiamo utilizzare un diodo

(1N4148) collegando l'anodo al pin IN e il catodo al PGFB. Anche qui a causa di un diodo parassita del circuito non pilotare mai il pin al di sotto dei $0.3V$ rispetto il pin GND del LT3045.

PIN SET (7/8)

Questo pin è l'ingresso invertente dell'amplificatore di errore, ha una corrente molto precisa di $100\mu A$, impone la tensione di uscita tra $0V$ e $15V$ tramite una resistenza posta tra SET e GND secondo la formula $V_{SET} = I_{SET} \cdot R_{SET}$. Mettendo una capacità in parallelo alla resistenza miglioriamo il rumore, il PSRR e la risposta del transitorio a scapito di un aumento del tempo di avvio. Anche qui a causa di un diodo parassita del circuito non pilotare mai il pin al di sotto dei $0.3V$ rispetto il pin GND del LT3045.

GND (Pin 8, Exposed Pad Pin 11/Pin 9, Exposed Pad Pin 13)

Ground. La parte posteriore del dispositivo è una connessione elettrica a terra. Per garantire prestazioni elettriche e termiche adeguate, saldare la parte posteriore alla terra del PCB e collegarlo direttamente al pin GND.

PIN OUTS (9/10)

Rilevamento dell'uscita. E' collegato al pin non invertente dell'amplificatore d'errore. Per transistori ottimali collegarlo direttamente al condensatore di uscita e al carico. Inoltre connettere la terra del condensatore di uscita e del condensatore di set insieme. Anche qui a causa di un diodo parassita del circuito non pilotare mai il pin al di sotto dei $0.3V$ rispetto il pin GND del LT3045.

PIN OUT (Pin 10/Pin 11, 12)

Uscita. Fornisce la potenza al carico, per la stabilità, utilizzare un condensatore di uscita minimo di $10\mu F$ con un ESR inferiore a $20m\Omega$ e un ESL sotto $2nH$. Grandi transistori richiedono capacità più elevate in uscita per limitare eventuali tensioni di picco. Anche qui a causa di un diodo parassita del circuito non pilotare mai il pin al di sotto dei $0.3V$ rispetto il pin GND del LT3045.

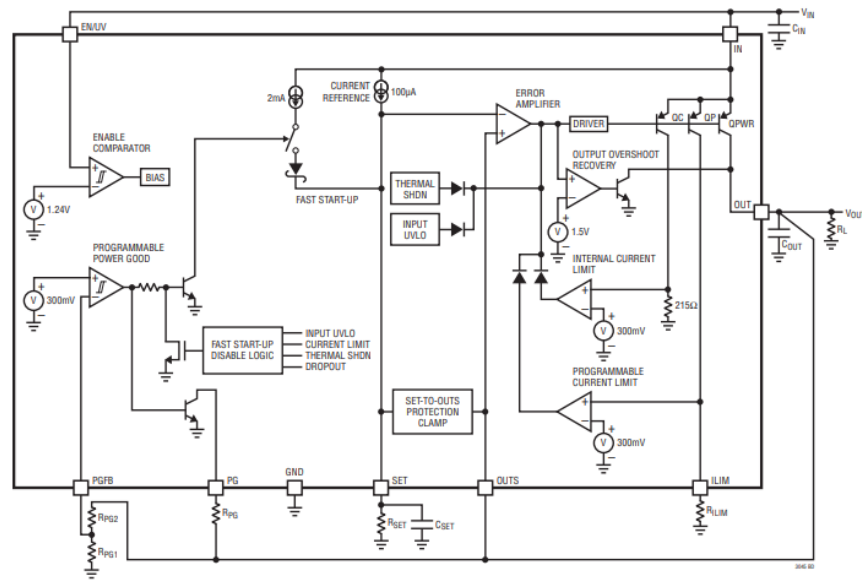


Figura A.3: Diagramma a blocchi LDO LT3045.

Appendice B

DAC AD5685R

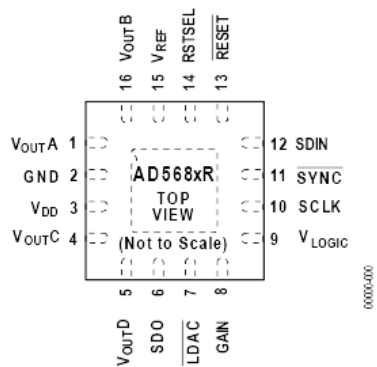


Figure 2. 16-Lead LFCSP

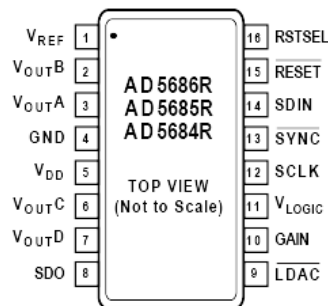


Figure 3. 16-Lead TSSOP

Figura B.1: Configurazione PIN [12].

B.1 Configurazione dei PIN

- V_{OUTA} Tensione di uscita analogica dal DAC A. L'amplificatore di uscita ha un funzionamento rail-to-rail.
- V_{OUTB} Tensione di uscita analogica dal DAC B. L'amplificatore di uscita ha un funzionamento rail-to-rail.
- V_{OUTC} Tensione di uscita analogica dal DAC C. L'amplificatore di uscita ha un funzionamento rail-to-rail.
- V_{OUTD} Tensione di uscita analogica dal DAC D. L'amplificatore di uscita ha un funzionamento rail-to-rail.

- $\overline{\text{SYNC}}$ Ingresso di controllo attivo basso. Connesso all'interfaccia seriale. Questo è il segnale di sincronizzazione per i dati di ingresso, quando diventa basso, i dati vengono trasferiti sui fronti di discesa dei successivi 24 clock.
- SCLK Ingresso orologio seriale. Connesso all'interfaccia seriale. I dati vengono sincronizzati nel registro di scorrimento dell'ingresso sul fronte di discesa dell'orologio. I dati possono essere trasferiti a velocità fino a 50MHz .
- SDIN Input dei dati seriali. Connesso all'interfaccia seriale. Questo dispositivo ha un registro a scorrimento di ingresso a 24 bit. I dati vengono sincronizzati nel registro sul fronte di discesa dell'ingresso del clock.
- SDO Uscita dati seriale, non connesso. Può essere utilizzato per collegare in cascata un numero di dispositivi AD5686R/AD5685R/AD5684R insieme o possono essere utilizzati per la lettura. I dati seriali vengono trasferiti sul fronte di salita di SCLK e sono validi sul fronte di discesa del clock.
- V_{REF} Non connesso. Pin di tensione di riferimento AD5686R /AD5685R/AD5684R. Quando si utilizza il riferimento interno, questo è il pin di uscita del riferimento. Quando si utilizza un riferimento esterno, questo è il pin di ingresso di riferimento. L'impostazione predefinita per questo pin è come output di riferimento.
- V_{DD} Ingresso alimentazione. I valori possibili sono da 2.7V a 5.5V e l'alimentazione deve essere disaccoppiata con un condensatore da $10\ \mu\text{F}$ in parallelo con un condensatore da $0,1\ \mu\text{F}$ verso GND.
- GND Punto di riferimento di massa.
- $\overline{\text{LDAC}}$ Può funzionare in due modalità, asincrona e sincrona. L'impulso di questo pin basso consente di aggiornare uno o tutti i registri DAC se i registri di input hanno nuovi dati. Ciò consente a tutte le uscite DAC di aggiornarsi simultaneamente. Questo pin può anche essere tenuto permanentemente in stato basso.
- RSTSEL Pin di ripristino all'accensione. Collegando questo pin a GND si attivano tutti e quattro i DAC su scala zero. Collegando questo pin a V_{LOGIC} si portano tutti e quattro i DAC a metà scala. Verrà collegato a GND.
- GAIN PIN di impostazione dell'intervallo. Quando questo pin è collegato a GND, tutte e quattro le uscite DAC hanno un intervallo da $0\ \text{V}$ a V_{REF} . Se questo pin è legato a V_{LOGIC} , tutti e quattro i DAC producono un intervallo da $0\ \text{V}$ a $2 \times V_{REF}$.

- $\overline{\text{RESET}}$ Tenuto alto. Ingresso di ripristino asincrono. L'ingresso RESET è sensibile al fronte di discesa. Quando il RESET è basso, tutti gli impulsi su LDAC sono ignorati, quando RESET è attivato il registro di ingresso e il registro del DAC vengono aggiornati con scala zero o media, a seconda dello stato del pin RSTSEL. Se il pin viene forzato in basso all'accensione, il circuito POR non si inizializza correttamente finché il pin non viene rilasciato.
- V_{LOGIC} Alimentazione digitale. La tensione varia da 1,8 V a 5,5 V.

B.2 L'interfaccia seriale

L'interfaccia a 3 vie ($\overline{\text{SYNC}}$, SCLK, and SDIN) compatibile con gli standard di interfaccia SPI, QSPI e MICROWIRE nonché con la maggior parte dei DSPs, è facilmente configurabile. La figura B.2 mostra una tipico diagramma temporale di scrittura sequenziale.

TIMING CHARACTERISTICS

All input signals are specified with $t_{\text{r}} = t_{\text{f}} = 1 \text{ ns/V}$ (10% to 90% of V_{DD}) and timed from a voltage level of $(V_{\text{IL}} + V_{\text{IH}})/2$. See Figure 2.
 $V_{\text{DD}} = 2.7 \text{ V}$ to 5.5 V , $1.62 \text{ V} \leq V_{\text{LOGIC}} \leq 5.5 \text{ V}$; $V_{\text{REFIN}} = 2.5 \text{ V}$. All specifications T_{MIN} to T_{MAX} , unless otherwise noted.

Table 4.

Parameter ¹	Symbol	1.62 V \leq V _{LOGIC} < 2.7 V		2.7 V \leq V _{LOGIC} \leq 5.5 V		Unit
		Min	Max	Min	Max	
SCLK Cycle Time	t ₁	20		20		ns
SCLK High Time	t ₂	10		10		ns
SCLK Low Time	t ₃	10		10		ns
$\overline{\text{SYNC}}$ to SCLK Falling Edge Setup Time	t ₄	15		10		ns
Data Setup Time	t ₅	5		5		ns
Data Hold Time	t ₆	5		5		ns
SCLK Falling Edge to $\overline{\text{SYNC}}$ Rising Edge	t ₇	10		10		ns
Minimum $\overline{\text{SYNC}}$ High Time	t ₈	20		20		ns
$\overline{\text{SYNC}}$ Rising Edge to $\overline{\text{SYNC}}$ Rising Edge (DAC Register Updates)	t ₉	870		830		ns
$\overline{\text{SYNC}}$ Falling Edge to SCLK Fall Ignore	t ₁₀	16		10		ns
$\overline{\text{LDAC}}$ Pulse Width Low	t ₁₁	15		15		ns
$\overline{\text{SYNC}}$ Rising Edge to $\overline{\text{LDAC}}$ Rising Edge	t ₁₂	20		20		ns
$\overline{\text{SYNC}}$ Rising Edge to $\overline{\text{LDAC}}$ Falling Edge	t ₁₃	30		30		ns
$\overline{\text{LDAC}}$ Falling Edge to $\overline{\text{SYNC}}$ Rising Edge	t ₁₄	840		800		ns
Minimum Pulse Width Low	t ₁₅	30		30		ns
Pulse Activation Time	t ₁₆	30		30		ns
Power-Up Time ²		4.5		4.5		μs

¹Guaranteed by design and characterization; not production tested.

²Time to exit power-down to normal mode of AD5686R/AD5685R/AD5684R operation, $\overline{\text{SYNC}}$ rising edge to 90% of DAC midscale value, with output unloaded.

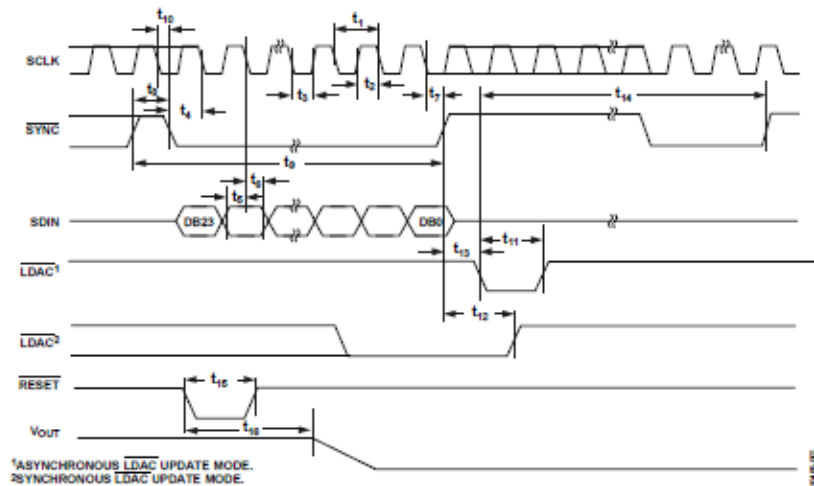


Figure 2. Serial Write Operation

Figura B.2: Operazione di scrittura seriale [12].

Il registro di scorrimento di ingresso è formato da 24 bit. I dati vengono caricati da MSB e i primi 4 bit sono di comando da C3 a C0 e i seguenti 4 bit di indirizzo DAC (DAC A, DAC B, DAC C, DAC D) ed infine i bit di dataword che per il AD5685R sono 14 da D13 a D0 (vedi tabella dei comandi e indirizzi B.3). Questi bit di dati vengono trasferiti al registro di ingresso sui 24 fronti di discesa di SCLK e aggiornati sul fronte di salita di SYNC

Table 8. Command Definitions

Command				Description
C3	C2	C1	C0	
0	0	0	0	No operation
0	0	0	1	Write to Input Register n (dependent on $\overline{\text{LDAC}}$)
0	0	1	0	Update DAC Register n with contents of Input Register n
0	0	1	1	Write to and update DAC Channel n
0	1	0	0	Power down/power up DAC
0	1	0	1	Hardware $\overline{\text{LDAC}}$ mask register
0	1	1	0	Software reset (power-on reset)
0	1	1	1	Internal reference setup register
1	0	0	0	Set up DCEN register (daisy-chain enable)
1	0	0	1	Set up readback register (readback enable)
1	0	1	0	Reserved
...	Reserved
1	1	1	1	No operation, daisy-chain mode

Table 9. Address Commands

Address (n)				Selected DAC Channel ¹
DAC D	DAC C	DAC B	DAC A	
0	0	0	1	DAC A
0	0	1	0	DAC B
0	1	0	0	DAC C
1	0	0	0	DAC D
0	0	1	1	DAC A and DAC B
1	1	1	1	All DACs

¹ Any combination of DAC channels can be selected using the address bits.

Figura B.3: Tabella dei comandi e indirizzi [12].

I comandi possono essere eseguiti su singoli canali DAC, canali DAC combinati o su tutti i DAC, a seconda dei bit di indirizzo selezionati.

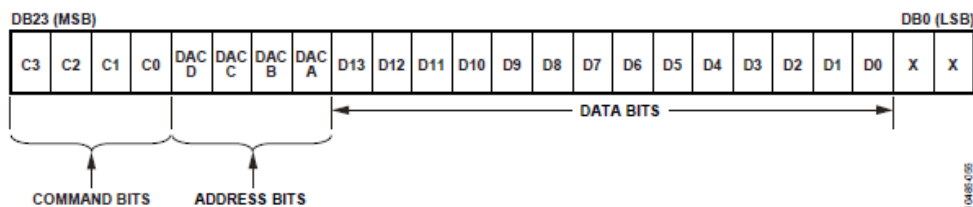


Figura B.4: Registro a scorrimento di ingresso AD5685R [12].

La funzione di trasferimento è:

$$V_{OUT} = V_{REF} \cdot GAIN \cdot \frac{D}{2^N} \quad (\text{B.1})$$

$D =$ Decimale equivalente dei bit di dataword

$N =$ Numero bit. Nel nostro caso 14

Sotto viene riportato un esempio di scrittura del canale A con la sequenza 0001 XXX1 10000000000000xx che con i GAIN=1 porta l'uscita $V_{OUTA} = 1.25V$



Figura B.5: Esempio di registro a scorrimento di ingresso AD5685R.

Appendice C

Alcune proprietà dei condensatori ceramici

La ceramica viene utilizzata nei condensatori per la sua permeabilità (ϵ_r), che varia da 86 a 10.000 ed è molto più alta del polistirene utilizzato nei condensatori a film.

C.1 Temperatura e lo standard EIA-198 e EIA RS-198

La maggior parte dei condensatori ceramici è solitamente accompagnata da tre caratteri [42], definiti dallo standard EIA-198, che tendono ad assumere la seguente forma: X7R, NP0, ZU5, ecc. Questi tre caratteri non determinano quale ceramica viene utilizzata nei condensatori, ma piuttosto la sua caratteristiche rispetto alla temperatura.

Il primo carattere identifica la temperatura più bassa, il secondo la temperatura più alta e il terzo la tolleranza della capacità. Ad esempio, possiamo notare che, come mostrato di seguito, nella Tabella C.2 , un condensatore ceramico di tipo dielettrico X7R funziona nell'intervallo di temperatura da $-55\text{ }^{\circ}\text{C}$ a $+125\text{ }^{\circ}\text{C}$ e ha una tolleranza di capacità su tale intervallo di $\pm 15\%$. Un altro esempio mostrato nella tabella C.1 sono i condensatori di tipo NP0, all'interno della Classe 1, i quali hanno la dipendenza dalla temperatura più bassa tra i condensatori ceramici.

Tipo	Coefficiente di temperatura (ppm)
P100	+100
NP0	0
N150	-150
N220	-220
N470	-470
N750	-750
N1500	-1500

Tabella C.1: Coefficienti di temperatura Classe 1 [42].

Spesso queste caratteristiche vengono combinate con quelle dell'induttore nei sistemi risonanti, in modo da compensare gli effetti dell'aumento della temperatura, per esempio un induttore che ha un TC di +200 ppm collegato con un condensatore con TC -200 ppm, crea un circuito risonante con una la frequenza che non cambia con la temperatura.

I condensatori di classe 2 sono etichettati in base alla variazione della capacità nell'intervallo di temperatura.

Analogamente allo standard EIA-198, lo standard EIA RS-198 utilizza tre caratteri in cui il primo carattere è una lettera che indica la temperatura di esercizio inferiore, il secondo è un numero e indica la temperatura di esercizio più alta, in fine la terza lettera indica la variazione di capacità in tale intervallo di temperatura. Di seguito sono riportati alcuni esempi comuni:

X7R (-55/ + 125°C, $\Delta C/C0 = \pm 15\%$)

X5R (-55/ + 85°C, $\Delta C/C0 = \pm 15\%$)

X7S (-55/ + 125°C, $\Delta C/C0 = \pm 22\%$)

Z5U (+10/ + 85°C, $\Delta C/C0 = +22/ - 56\%$)

Y5V (-30/ + 85°C, $\Delta C/C0 = +22/ - 82\%$)

Per applicazioni di natura militare o automobilistica, è necessario selezionare un condensatore con un intervallo di temperatura compreso tra -55 °C e +125 °C. La maggior parte dei tipi di Classe 1, così come il tipo X7R, sono scelte appropriate. Per applicazioni industriali, è necessario effettuare una selezione tra i tipi X7 e X5, oltre ai tipi Y5 se l'unità non verrà posizionata all'esterno. Nelle applicazioni commerciali e di consumo, Y5 e Z5 sono buone opzioni. È importante considerare la stabilità della temperatura, quindi se il progetto è di natura commerciale ma richiede una maggiore stabilità, l'uso di X7R potrebbe essere un'opzione migliore. I condensatori ceramici sono reperibili sul mercato online in molteplici tipologie,

tra cui NP0, C0G, X5R, X7R, Z5U, Y5V, XR8, X7S, X6S e X7S. Altri fattori importanti per la scelta del giusto condensatore sono il fattore di dissipazione, l'invecchiamento, l'ESR, l'ESL e la dispersione.

Lettera	Numero	Lettera
temperatura minima	temperatura massima	variazione della capacità
$X = -55^{\circ}\text{C}$	$4 = +65^{\circ}\text{C}$	$P = \pm 10\%$
$Y = -30^{\circ}\text{C}$	$5 = +85^{\circ}\text{C}$	$R = \pm 15\%$
$Z = +10^{\circ}\text{C}$	$6 = +105^{\circ}\text{C}$	$L = \pm 15\%, +15/ - 40\%$ sopra i 125°C
	$7 = +125^{\circ}\text{C}$	$S = \pm 22\%$
	$8 = +150^{\circ}\text{C}$	$T = +22/ - 33\%$
	$9 = +200^{\circ}\text{C}$	$U = +22/ - 56\%$
		$V = +22/ - 82\%$

Tabella C.2: Coefficienti di temperatura Classe 2, codifica EIA RS-198 [42].

C.1.1 Classi di condensatori nello standard EIA-198

Abbiamo 4 classi di condensatori standard EIA -198:

- Classe I
Hanno un dielettrico ceramico compensante la temperatura, sono condensatori adatti alle applicazioni di circuiti risonanti o altre applicazioni dove sono richiesti elevati fattori di merito Q e stabilità della capacità.
- Classe II
Sono condensatori adatti ad applicazioni di bypass e disaccoppiamento o per circuiti discriminatori di frequenza in cui Q e stabilità non sono di grande importanza. Possono classificarsi come quei condensatori con caratteristiche di temperatura da A a S, hanno costante dielettrica molto maggiore rispetto quelli di classe I il che consente una maggiore miniaturizzazione. I dielettrici ceramici di classe II mostrano un cambiamento prevedibile con il tempo e la tensione.
- Classe III
Sono lo standard per circuiti elettronici di bypass, disaccoppiamento o altre applicazioni in cui le perdite dielettriche, l'elevata resistenza di isolamento e la stabilità della capacità non sono di primaria importanza, privilegiando la miniaturizzazione riducono lo spesso del dielettrico. Questa classificazione

è identica a quella della classe II, tranne per il fatto che è limitata a quei condensatori con caratteristiche di temperatura da T a V.

- Classe IV

Questa classificazione è limitata ai componenti che utilizzano titanato di bario o costruzione di tipo a strato. Pur corrispondendo sostanzialmente alle descrizioni di classe II e classe III, si possono notare alcune altre differenze elettriche.

C.2 Fattore di dissipazione

Il DF/PF di un condensatore indica quale percentuale della potenza apparente ($I_{rms} * V_{rms}$) in ingresso si trasformerà in calore nel condensatore. Il fattore di dissipazione è correlato all'ESR, cioè la corrente che circola nel condensatore provoca perdite attraversando l'ESR. La perdita e la potenza apparente sono calcolate come segue:

$$\text{Perdita: } P = I_{rms}^2 * ESR$$

$$\text{Potenza apparente: } I_{rms}^2 * X_c = I_{rms}^2 * \sqrt{\frac{1}{(2 * \pi * f * C)^2 + ESR^2}} \quad (C.1)$$

$$DF = \frac{I_{rms}^2 * ESR}{I_{rms}^2 * \sqrt{\frac{1}{(2 * \pi * f * C)^2 + ESR^2}}} = \frac{ESR}{\sqrt{\frac{1}{(2 * \pi * f * C)^2 + ESR^2}}}$$

Dall'equazione precedente, il denominatore a frequenza molto bassa è $1/2 * \pi * f * C$, quindi possiamo scrivere $DF = 2 * \pi * f * C * ESR$. Pertanto, minore è l'ESR, minore è il fattore di dissipazione. Si noti che il DF varia con la frequenza.

C.3 Invecchiamento

L'invecchiamento è un fattore molto importante da considerare per la selezione di un condensatore. I condensatori di tipo NP0 tendono a non subire l'invecchiamento, ma altri dielettrici subiscono un invecchiamento dal 2 al 5% per decade all'ora. Ad esempio, un condensatore X7R che perde il 2% per decade all'ora con capacità da $1 \mu F$, diventerà $0.98 \mu F$ dopo 10 ore, $0.96 \mu F$ dopo 100 ore e $0.94 \mu F$ dopo 1.000 ore. Nei casi in cui un condensatore X7R viene utilizzato per un'applicazione di temporizzazione, la frequenza aumenterà nel tempo, rendendo un condensatore di tipo NP0 un'opzione migliore per la sua stabilità nel tempo. I produttori tendono

a fornire normalmente il valore del condensatore dopo 1.000 ore di vita; si può quindi prevedere un calo del 2% dopo 10.000 ore, che è approssimativamente poco più di un anno.

C.4 Effetto Microfono

La ceramica ad altissima costante dielettrica è utilizzata per ottenere un condensatore di grande valore in uno spazio limitato. Purtroppo tali ceramiche sono spesso anche piezoelettriche, il che significa che fungono da trasduttore. La pressione meccanica sulla ceramica provoca una differenza di tensione sulle sue superfici e tale effetto è maggiore, maggiore è la costante dielettrica della ceramica.

C.5 Conclusione

L'argomento condensatori ceramici qua trattato, non è sicuramente esaustivo, ma l'obiettivo principale di questa appendice è fornire chiarimenti su alcuni importanti fattori dei condensatori ceramici, per una selezione ottimale ai fini del progetto. Altri fattori significativi, come gamma di frequenza, ESL, frequenza di risonanza, dipendenza della capacità dalla polarizzazione, dispersione in continuo, non sono stati trattati.

Ringraziamenti

Al termine di questo elaborato, mi è d'obbligo ringraziare tutte le persone che mi hanno sostenuto durante il mio lungo percorso universitario.

Ringrazio la mia famiglia, i miei genitori, i miei figli e la mia attuale compagna per l'incoraggiamento ricevuto, tutti i ragazzi universitari a cui ho dato ripetizione in questi anni, che hanno tenuto vivo in me l'interesse per le scienze, tutti i professori del Politecnico che mi hanno seguito nella preparazione dei loro esami, il mio relatore Andrea L. Lacaita che mi ha guidato, con infinita pazienza, nel progettare e realizzare il mio primo circuito elettronico e non meno importante l'aiuto del mio correlatore Lorenzo Scaletti per i suoi consigli puntuali.