

POLITECNICO DI MILANO

FACOLTÀ DI INGEGNERIA DELL'INFORMAZIONE

Corso di Laurea Specialistica in Ingegneria Elettronica



**SISTEMA DI ACQUISIZIONE CONFIGURABILE
BASATO SU FPGA PER MISURE
ELETTROCHIMICHE**

Relatore: Dr. Giorgio Ferrari
Correlatori: Ing. Angelo Rottigni
Ing. Marco Carminati

Tesi di Laurea di:
Alessandro Ranieri
Matr. 706133

Anno Accademico 2009 - 2010

Indice

Prefazione	4
1 Introduzione	6
1.1 Il modello elettrico cellulare	7
1.2 Misure elettrochimiche	8
1.2.1 Interfaccia fra metallo e liquido	9
1.2.2 La voltammetria ciclica	11
1.2.3 L'amperometria	13
1.2.4 La spettroscopia di impedenza	13
1.2.5 L'impedance time tracking	17
1.3 Sviluppo di un sistema dedicato	18
1.3.1 Il Potenzio stato	19
1.3.2 Unità di conversione, controllo ed elaborazione	20
1.3.3 PC-HOST	21
1.4 Obiettivi di progetto: sviluppo dell'unità di conversione	21
2 Circuiti di acquisizione A/D	23
2.1 Specifiche di sistema	23
2.2 Architettura dei canali veloci	28
2.2.1 Condizionamento della dinamica	31
2.2.2 Filtri antialiasing	36
2.2.3 Simulazioni del canale veloce	46
2.3 Architettura dei canali lenti	48
2.3.1 Simulazioni del canale lento	53
2.4 Convertitori A/D	56
3 Architettura digitale	59
3.1 Field Programmable Gate Array	59
3.2 Opal Kelly XEM3010	61
3.2.1 Comunicazione con l'Host	63
3.3 Panoramica dell'unità di controllo e di elaborazione	65
3.3.1 Logica di controllo dei convertitori	69
3.3.2 Moduli di processamento	79
3.4 Sviluppo della GUI	81

<i>INDICE</i>	3
4 Risultati sperimentali	83
4.1 Layout e montaggio	83
4.2 Caratterizzazione dei canali	85
4.3 Amplificazione Lock-In a singola fase	90
5 Conclusioni e sviluppi futuri	94

Prefazione

Il presente lavoro di tesi riguarda il progetto, la realizzazione e la caratterizzazione sperimentale di un sistema di acquisizione configurabile, basato su FPGA per misure elettrochimiche dedicate all'analisi elettrochimica di campioni biologici, quali ad esempio cellule o proteine. Questo progetto è stato sviluppato presso il Dipartimento di Elettronica e dell'Informazione (DEI), all'interno del laboratorio diretto dal Prof. Marco Sampietro.

Nel **Capitolo 1** viene introdotta la problematica relativa allo studio ed alla caratterizzazione di campioni cellulari immersi in liquido per mezzo di tecniche elettrochimiche. Vengono quindi date alcune informazioni relative alle misure elettrochimiche fornendo una breve descrizione delle principali misure elettriche impiegate in questo ambito. Si introduce quindi la necessità di realizzare un sistema di misura dedicato per la realizzazione di questo tipo di misure, ponendo l'attenzione sull'oggetto di questo progetto: la progettazione di un sistema di acquisizione flessibile, utilizzabile per realizzare le diverse misure elettrochimiche sul campione in esame. L'utilizzo di un'FPGA nel sistema di acquisizione permette non solo il controllo dei convertitori e la gestione della comunicazione con il PC ma consente anche di pre-elaborare i dati acquisiti ad alta velocità, riducendo così il flusso dati verso il PC. Questo si traduce nella possibilità di ridurre i tempi di processamento, limitanti nel caso in cui sia il PC ad avere l'onere di processare tutti i dati, ed in un aumento della risoluzione temporale, parametro fondamentale per alcune delle tecniche di misura utilizzate.

Il **Capitolo 2** è dedicato alle specifiche di sistema, in particolare relativamente alla progettazione dei canali di condizionamento analogico ed all'interfacciamento di questi con i rispettivi convertitori analogico-digitale. Queste problematiche vengono affrontate dividendo il progetto di questi canali secondo la diversificazione delle rispettive funzionalità.

Relativamente all'implementazione del sistema di controllo ed elaborazione dei dati

convertiti, il **Capitolo 3** propone una breve descrizione dell'FPGA (Field Programmable Gate Array) e della scheda commerciale adottata che include anche un modulo di memoria RAM (32MB) ed un controller per la programmazione e la comunicazione dati attraverso l'interfaccia USB. Il capitolo prosegue fornendo una panoramica del sistema digitale implementato in VHDL, vengono fornite indicazioni sul funzionamento della logica di controllo dei convertitori e presentato un primo rudimentale modulo di elaborazione, un amplificatore lock-in a singola fase digitale, progettato per testare il sistema nel suo complesso. Si conclude il capitolo presentando brevemente il software di controllo del sistema, dotato di interfaccia grafica e sviluppato in Visual Basic.

I primi risultati sperimentali, ottenuti attraverso la realizzazione di un primo prototipo, vengono proposti nel **Capitolo 4**. Si presentano le misure di caratterizzazione di ciascun canale analogico ed i primi risultati ottenuti dal primo modulo di elaborazione progettato che certificano il corretto funzionamento sia a livello hardware che software.

Capitolo 1

Introduzione

L'attuale stato dell'arte in diversi settori scientifici quali: il campo biologico, delle nanotecnologie ed in particolare microelettronico, permette di affrontare tutta una nuova serie di obiettivi scientifici con un approccio di tipo *multidisciplinare*, che le sole classiche tecniche di investigazione non sarebbero in grado di soddisfare. L'utilizzo di nuovi materiali e nuove tecniche di indagine affiancate a classiche tecniche di progettazione ingegneristica, aprono infatti il panorama della ricerca ad innovativi metodi di studio, grazie ai quali si sono raggiunti e si raggiungeranno significativi risultati in campi di ricerca applicata come il settore biochimico o biotecnologico.

É nel campo della biologia cellulare e molecolare che si inserisce in particolare questo progetto di tesi, più precisamente nell'indagine del comportamento anche di una singola cellula attraverso lo studio delle caratteristiche elettriche passive del campione in considerazione. Sin dai pionieristici esperimenti di elettrofisiologia realizzati alla fine del '700 da Luigi Galvani [Gal91], si è dimostrato come esista un legame di tipo diretto fra fenomeni biologici ed elettrici. I campioni cellulari per essere caratterizzati devono essere depositi in un ambiente liquido, una *soluzione fisiologica*, le caratteristiche elettriche passive che si desidera misurare si manifestano quindi sulla bio-interfaccia attraverso lo scambio di ioni del campione con l'ambiente. Le tecniche elettrochimiche utilizzate consistono quindi in test elettrici eseguiti su queste soluzioni elettrolitiche.

Ad oggi, tecniche di misura di corrente ed impedenza sono degli strumenti largamente utilizzati per le ricerche in campo biotecnologico. Queste metodologie presentano infatti diversi vantaggi rispetto alle alternative possibili, quali tecniche ottiche, magnetiche o basate sulla misura della massa. Le misure di massa ad esempio solamente desumere l'emergere di un comportamento medio nell'assemblamento di un gran numero di *"cellule*

singole”. Oltre ad offrire vantaggi in termini di prestazioni è anche importante sottolineare come lo sviluppo di queste tecniche possa portare ad un sostanziale contributo nell’abbattimento dei costi di ricerca. A tal proposito si prenda in considerazione come, l’utilizzo di *Marker* aggiuntivi come quelli a fluorescenza, necessari per lo sviluppo delle tecniche ottiche, comporti un incremento nei tempi e nella complessità della preparazione del campione con un conseguente aumento dei costi. L’utilizzo di tecniche elettriche, in associazione alla miniaturizzazione ed all’utilizzo ad esempio di sistemi microfluidici, consente inoltre una netta ottimizzazione nell’utilizzo di costosi reagenti chimici e dei preziosi campioni in liquido.

I vantaggi brevemente esposti, giustificano l’interesse per lo sviluppo e la progettazione di soluzioni circuitali e sistemi ad hoc, che consentano di eseguire misure elettriche su materiale biologico.

Il lavoro di tesi qui presentato, si inserisce dunque nell’ambito di un progetto che si propone di sviluppare un sistema dedicato a questo tipo di misure elettrochimiche, che sia portatile e che fornisca delle prestazioni tali da poter per prima cosa essere utilizzato come alternativa alle attuali soluzioni, e che consenta di superare determinati limiti presenti in queste ultime. Di seguito verranno presentate alcune caratteristiche di queste tecniche di misura, allo scopo di analizzare le specifiche del sistema e al fine di comprendere in seguito le scelte operate in fase di progettazione.

1.1 Il modello elettrico cellulare

Come descritto in precedenza, è possibile studiare il comportamento biologico di un campione cellulare attraverso l’investigazione delle proprietà elettriche passive del campione stesso; non si considereranno quindi le elettrogeniche, quali i neuroni, che sono in grado di produrre un segnale in tensione, direttamente misurabile con opportuni sistemi di lettura di tensione.

Al fine di poter studiare l’interazione delle cellule con un campo elettrico è necessario potersi riferire ad un modello al quale ricondursi in fase di progettazione e di analisi dei risultati; un modello piuttosto generico ma largamente accettato dalla comunità scientifica viene proposto in Fig. 1.1. Il modello chiamato a *Single-Shell* [PK87] parte dall’ipotesi di poter considerare la singola cellula come una sfera contenente citoplasma, delimitata da una membrana isolata. La membrana è di uno spessore pari a circa $4 - 5nm$, composta da un doppio strato di fosfolipidi anfipatici; lungo questo doppio strato di fosfolipidi sono poi

disposti canali ionici e recettori. Questo complesso sistema può essere descritto attraverso un modello a parametri concentrati: la membrana viene modellizzata come un contributo puramente capacitivo, in cui si considera un costante dielettrica relativa $\epsilon_r = 2 - 2.2$ con una capacità per unità d'area pari a $0.5 - 1\mu F/cm^2$; la serie di un'impedenza RC parallela descrive poi mediamente la conduttività e permittività del citoplasma interno alla membrana.

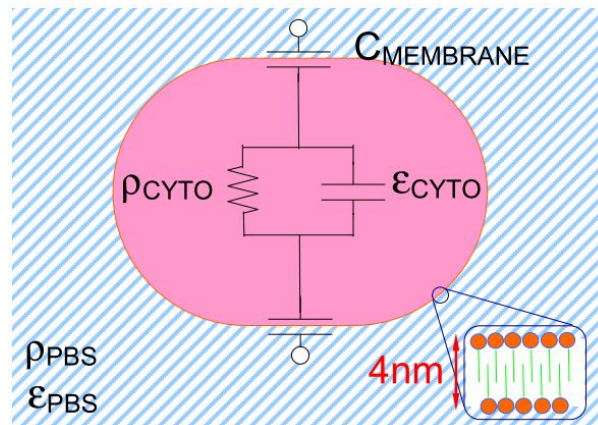


Figura 1.1: Modello *Single-Shell* di una cella sospesa in una soluzione di buffer.

A causa di una differente concentrazione ionica all'interno ed all'esterno della membrana, si manifesta a cavallo della superficie cellulare una differenza di potenziale, di una decina di mV . Questo potenziale è regolato dai canali ionici sparsi per la superficie della membrana che permettono, opportunamente stimolati, il passaggio delle specie ioniche da e verso il citoplasma interno [Sig03]. In base a questo modello, a bassa frequenza, le cellule si comportano come delle sfere isolate, flottanti rispetto al ambiente conduttivo in cui si trovano. A più alte frequenze, invece, la membrana capacitiva presenta un'impedenza che tende a ridursi, e le proprietà interne sono accessibili allo studio.

1.2 Misure elettrochimiche

L'elettrochimica è quella branca della chimica che studia i processi che coinvolgono lo scambio di carica tra specie diverse. In particolare, le reazioni all'interfaccia fra un elettrodo ed una soluzione conduttiva, sono i fenomeni maggiormente studiati in elettrochimica. Avere a disposizione una metodologia per descrivere teoricamente le interazioni appena descritte, consente di investigare le più disparate fenomenologie, dalla corrosione dei metalli alle numerose reazioni chimiche alla base del funzionamento cellulare degli organismi

viventi. Una peculiarità di estremo interesse dell'elettrochimica e che può essere sfruttata per realizzare delle analisi chimiche, a partire dalla misura delle proprietà elettriche del campione in esame e dalle variazioni di queste a seconda delle condizioni ambientali o delle reazioni che si instaurano. Particolare importanza assume quindi la caratterizzazione dell'interfaccia tra elettrodo di metallo e liquido, che costituisce il "punto di contatto" tra il circuito elettronico, che esegue le misure e l'ambiente biochimico in cui il campione deve essere studiato. Lo studio dell'interfaccia metallo-liquido esula dall'obiettivo specifico del progetto in esame, ma è particolarmente rilevante al fine di realizzare delle misure elettrochimiche corrette e per questo verrà brevemente trattato. Successivamente si introdurranno tre metodi di analisi elettrochimica allo scopo di motivare le specifiche di progetto.

1.2.1 Interfaccia fra metallo e liquido

Immergendo un elettrodo metallico in una soluzione elettrolitica, si manifesta un complesso insieme di fenomeni che possono essere distinti in due principali tipologie: i processi *faradici* e quelli *non-faradici*. Un processo faradico si riferisce ad un trasferimento effettivo di elettroni attraverso l'interfaccia metallo-soluzione; mediante una reazione di ossido-riduzione, a seconda del potenziale applicato all'elettrodo, il passaggio di elettroni dalla fase liquida a quella solida può risultare o meno favorito e macroscopicamente si assiste ad un flusso netto di carica elettrica attraverso l'interfaccia, quindi in sostanza ad una corrente elettrica dall'elettrodo al liquido o viceversa. Quando il potenziale dell'elettrodo è basso rispetto a quello del liquido, si verifica una riduzione delle molecole presenti in soluzione, con un passaggio di corrente elettrica dal liquido al metallo, mentre quando il potenziale dell'elettrodo è alto si osserva un flusso di corrente dal metallo al liquido (ossidazione della specie attiva in soluzione).

Per processi non faradici, invece, si intendono i flussi di corrente che si osservano a causa della modulazione dei profili di ioni in prossimità dell'interfaccia liquido-metallo. Questi processi non originano trasferimento netto di carica, sono invece assimilabili ad effetti di accumulo di carica di tipo capacitivo. Il principale processo non faradico è il fenomeno del *double layer* [BAJ01]. All'interfaccia tra una superficie metallica planare e una soluzione elettrolitica si forma uno strato di ioni di spessore di pochi nm, il cui comportamento può essere associabile ad una componente capacitiva il cui spessore dielettrico è molto piccolo. In termini quantitativi la suddetta componente capacitiva risulta essere caratterizzata da una variabilità notevole (può risultare anche del 100%) a causa della rugosità e delli

imperfezioni a livello atomico dell'interfaccia con il liquido, dipende ovviamente poi dalla natura della soluzione elettrolitica e dall'area esposta alla soluzione del contatto metallico. La condizione standard per studi effettuati sulle proprietà elettriche di campioni biologici è costituita da elettrodi d'oro immersi in PBS¹. In queste condizioni, si può stimare una capacità specifica di circa $0.1pF/\mu m^2$, tenendo sempre presente l'elevata variabilità del parametro.

È necessario sottolineare poi che sia processi faradici, che non faradici, possono verificarsi solamente nel caso in cui il circuito sia chiuso, ciò implica la necessità di avere un secondo elettrodo immerso nella soluzione, tale da consentire la circolazione delle cariche lungo il cammino conduttivo. L'elettrodo, di cui si vuole studiare l'interfaccia con il liqui-

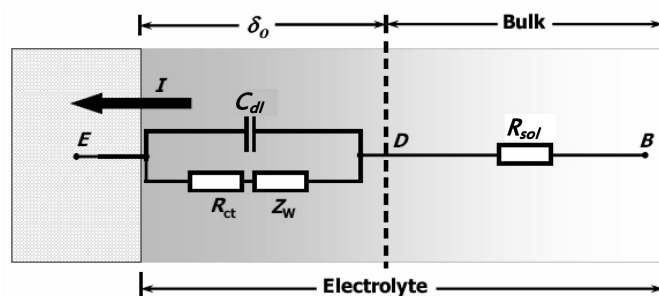


Figura 1.2: Modello equivalente di piccolo segnale dell'interfaccia elettrodo-liquido.

do viene chiamato elettrodo di *working* il cui modello può essere osservato in Fig.1.2; il secondo elettrodo ausiliario o elettrodo di *counter*, viene utilizzato come semplice elettrodo di servizio. Esso viene realizzato infatti di area molto maggiore del working allo scopo di massimizzare la componente capacitiva e agevolare lo scambio di cariche con la soluzione al fine di renderlo quanto più irrilevante nel sistema complessivo. L'inserimento di un secondo elettrodo permette di imporre la differenza di potenziale voluta all'interfaccia in esame. La tensione imposta al liquido non è però la stessa applicata all'elettrodo di counter, ma c'è una caduta che dipende dal tipo di metallo utilizzato e dalla corrente che fluisce in esso. In particolare, la tensione all'interfaccia tra counter e soluzione dipende non linearmente dalla corrente che la attraversa. Per questo motivo quando è necessario imporre una tensione controllata al liquido si utilizza un setup a tre elettrodi presentati in Fig.1.3. L'utilizzo del terzo elettrodo e di una retroazione permettono di imporre una tensione controllata svincolandosi dalla dipendenza non lineare tra tensione applicata e corrente. Infatti il terzo elettrodo detto *reference* non consente la conduzione corrente,

¹Phosphate buffered saline. È una soluzione salina che contiene cloruro di sodio, sodio fosfato e potassio fosfato. La sua concentrazione salina combacia con quella del corpo umano, per questo è molto utilizzata per la coltura di cellule in laboratorio.

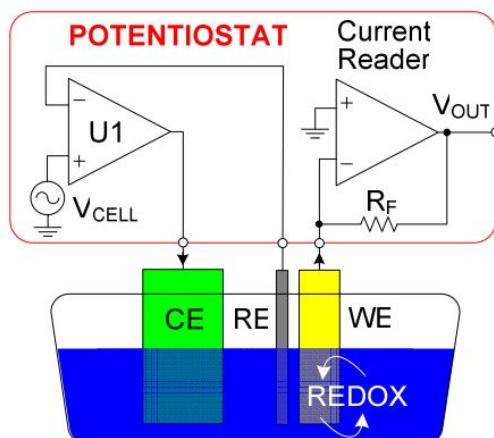


Figura 1.3: Schema base di un setup di misura a potenziostato con tre elettrodi.

perché connesso all'ingresso ad alta impedenza di un operazionale e grazie alla retroazione ad esso è applicata la tensione desiderata V_{ref} .

1.2.2 La voltammetria ciclica

La prima delle tecniche di investigazione che si vuole proporre è la *voltammetria ciclica*. Questo tipo di misura consiste nell'osservare le variazioni di corrente che attraversa il campione a seguito di una variazione, lineare nel tempo, della tensione applicata fra elettrodo di *working* e quello di *counter*. Scopo della voltammetria ciclica è quello di rendere possibile l'osservazione dei fenomeni *faradici* che caratterizzano il campione in esame, in particolare si desidera osservare un intero ciclo di ossidazione e riduzione della specie chimica attiva presente in soluzione. Come si è detto si è interessati a valutare le variazioni di corrente a fronte dell'applicazione di un segnale in tensione lineare nel tempo, si è quindi interessati ad imporre, al sistema elettrochimico, un segnale ad *onda triangolare* con ampiezza che partono da alcune centinaia di mV e possono arrivare anche a raggiungere l'ordine di alcuni V . Rilevanti per questo tipo di misura sono i parametri di tensione massima, positiva e negativa raggiunti e quello che viene chiamato *scan rate*, ossia la pendenza dell'onda di tensione la quale vede un range di valori ammissibili che parte da decine di mV/s e può raggiungere anche i MV/s . Valori elevati di scan rate, tipici delle voltammetrie veloci, possono essere raggiunti solamente da sistemi progettati ad hoc. Per poter misurare correttamente il potenziale caratteristico della reazione redox, è indispensabile l'utilizzo di un setup a tre elettrodi in modo da poter controllare adeguatamente la tensione all'interfaccia.

Dalle misure di corrente date da una voltammetria ciclica è possibile estrapolare un diagramma chiamato *voltammogramma*, il quale riporta sull'asse delle ascisse la tensione applicata e sull'asse delle ordinate la corrente misurata associata al corrispondente valore di tensione. La curva descritta risulta essere chiusa, per un sistema reversibile, in quanto si riferisce all'acquisizione di un periodo completo dell'onda di tensione triangolare applicata al campione. Esistono due forme tipiche di voltammogrammi che derivano dal profilo di diffusione degli ioni all'interfaccia tra elettrodo e soluzione; il profilo di diffusione degli ioni dipende dalla loro natura (coefficiente di diffusione), dalle dimensioni dell'elettrodo e dalla lunghezza di diffusione che è inversamente proporzionale alla radice dello scan rate². Se le dimensioni dell'elettrodo sono piccole rispetto alla lunghezza di diffusione degli ioni, si instaura un profilo di diffusione radiale e si osserva un voltammogramma di forma sigmoidale come si può vedere in Fig.1.4a. Questa situazione è tipica quando si utilizzano elettrodi micrometrici a bassi scan rate ($< 10V/s$). I parametri caratteristici di questi

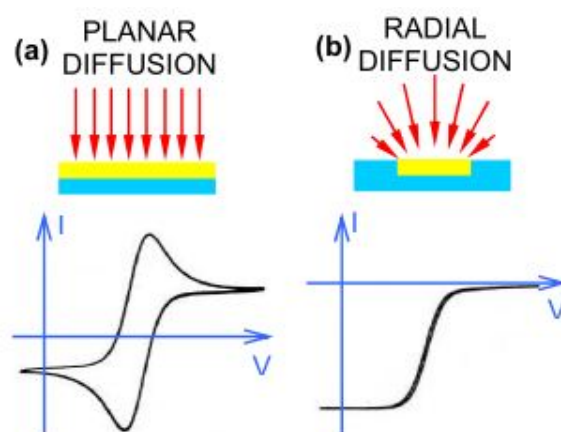


Figura 1.4: Tipico voltammogramma ottenuto con profili di diffusione **planare** (a) e **radiale** (b). Immagine presa da [Car09].

voltammogrammi sono i livelli di corrente misurati e la tensione alla quale si osserva il passaggio tra la situazione di ossidazione e di riduzione. Se le dimensioni dell'elettrodo sono grandi rispetto alla lunghezza di diffusione degli ioni, si osserva un profilo di diffusione planare, e si ottiene un voltammogramma simile a quello riportato in Fig. 1.4b. Questa situazione è tipica quando si utilizzano macroelettrodi o microelettrodi a grande scan rate.

I parametri caratteristici di questo voltammogramma sono l'ampiezza di corrente e la tensione relativa ai picchi di ossidazione e di riduzione. In condizioni di perfetta reversibilità

²La lunghezza di diffusione è proporzionale alla radice del tempo che gli ioni hanno a disposizione per diffondere, a sua volta inversamente proporzionale allo scan rate

della reazione chimica, l'ampiezza del picco di ossidazione è uguale a quella del picco di riduzione e la distanza tra i picchi è pari a $59mV$ [BAJ01]. La tensione relativa ai picchi contiene informazioni relative alla natura della specie chimica presente in soluzione, mentre la corrente misurata è proporzionale alla sua concentrazione. Utilizzando elettrodi di dimensione micrometrica e aumentando progressivamente lo scan rate, si può osservare il passaggio da un profilo di diffusione radiale ad uno planare. Il principale vantaggio della voltammetria ciclica è la sua selettività. Con questa tecnica, infatti, anche molecole chimicamente molto simili possono essere distinte semplicemente osservando i voltammogrammi ottenuti. Il suo principale svantaggio, invece, è costituito dal fatto che per eseguire una voltammetria occorre un certo tempo, fissato dallo scan rate e dal range di tensioni che si vogliono indagare. Le informazioni ottenute, nel caso di un sensore basato sulle misure di voltammetria ciclica, non sono raccolte in maniera continua nel tempo ma in istanti discreti.

1.2.3 L'amperometria

L'amperometria è una tecnica molto semplice e consiste nel misurare nel tempo la corrente che fluisce nell'elettrodo di working in condizioni di tensione applicata costante. Questa tecnica, molto usata nei sensori chimici, consente di monitorare alcuni cambiamenti avvenuti all'interfaccia elettrodo liquido, come la comparsa nella soluzione di particolari sostanze in grado di scambiare elettroni con il metallo degli elettrodi. La tensione imposta tra reference e working è scelta in maniera tale da favorire lo scambio di elettroni tra il metallo del working e la specie chimica sotto osservazione. Variando questa tensione, è possibile monitorare diverse sostanze. Come la voltammetria, anche l'amperometria è una tecnica adatta ad investigare i processi faradici dell'interfaccia solido liquido.

1.2.4 La spettroscopia di impedenza

La spettroscopia di impedenza [Mac87], [Mac87] è la principale tecnica di analisi dei processi non faradici. Questa tecnica consiste nell'applicare all'interfaccia elettrodo-liquido un segnale di tensione sinusoidale a frequenza fissata e nel misurare la corrente raccolta dall'elettrodo. La misura di impedenza viene realizzata sfruttando la cosiddetta *demodulazione lock-in a due fasi*, tale tecnica consente di risalire alle componenti reali ed immaginarie dell'impedenza dell'interfaccia elettrodo-soluzione a partire dal segnale di riferimento e dal segnale di corrente convertito in tensione dal potenziostato. Una breve

descrizione della tecnica di demodulazione lock-in verranno dati nel prossimo paragrafo 1.2.4.

In Fig.1.5 viene proposto uno schema semplificato di come dev'essere realizzato un setup di misura che consente di effettuare misure di misura di impedenza attraverso l'utilizzo di un demodulatore lock-in. Le due uscite del demodulatore offrono l'informazione

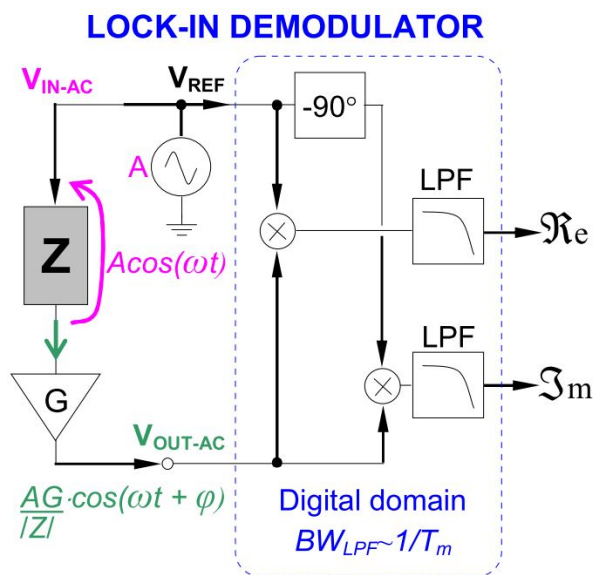


Figura 1.5: Misura d'impedenza realizzata tramite operazione di filtraggio Lock-In a due fasi. Immagine tratta da [Car09].

relativa alla parte reale (in fase) ed immaginaria (in quadratura) dell'impedenza che si sta misurando secondo le equazioni:

$$\begin{aligned} \Re_{output} \left(\frac{1}{Z} \right) &= \frac{1}{2} \frac{A^2 \cdot G}{|Z|} \cos(\varphi) \\ \Im_{output} \left(\frac{1}{Z} \right) &= \frac{1}{2} \frac{A^2 \cdot G}{|Z|} \sin(-\varphi) \end{aligned} \quad (1.1)$$

Da questa misura si possono quindi determinare i parametri elettrici caratteristici del campione ad una data frequenza. Effettuando uno scansione in frequenza si riesce a costruirne un adeguato modello impedenziale del campione come proposto in Fig.1.2. Attraverso la caratterizzazione dell'interfaccia elettrodo-soluzione è quindi possibile ripetere queste misure in presenza di un campione biologico e ricostruirne le caratteristiche elettriche passive.

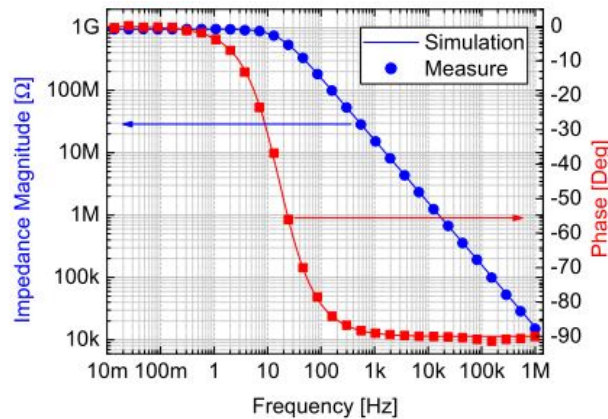


Figura 1.6: Esempio di spettroscopia di impedenza fatta su un campione *dummy*, realizzato con il parallelo di una resistenza da $1G\Omega$ e di un condensatore da $10pF$. Immagine tratta da [Car09].

L'amplificazione lock-in

L'amplificatore lock-in a singola fase Fig.1.7 è un sistema fondamentalmente composto da un moltiplicatore e da un filtro passa basso [Mea83]. Questo sistema è quello che più generalmente viene definito un sistema sensibile alla fase (*Phase Sensitive*) e viene generalmente impiegato in quelle misure in cui si è interessati alle variazioni di ampiezza e/o di fase di un segnali periodici. Per effettuare questa operazione l'amplificatore lock-in necessita di un segnale di *riferimento* con cui sincronizzare il segnale di interesse, attraverso l'operazione di moltiplicazione e filtraggio passa basso si ottiene un segnale a bassa frequenza la cui ampiezza è legata all'ampiezza dei segnali di ingresso ed allo sfasamento.

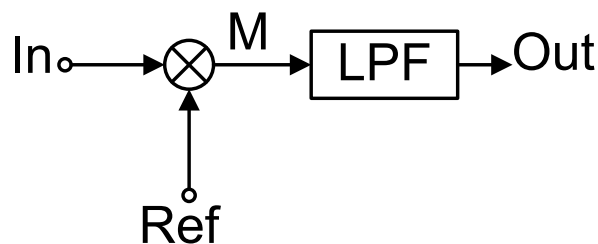


Figura 1.7: Schema base di un amplificatore lock-in.

Per semplificare la spiegazione si parte dall'ipotesi di avere in ingresso all'amplificatore due segnali sinusoidali, il riferimento *Ref* ed il segnale di ingresso *In*, 1.7 definiti come segue:

$$\begin{aligned} In &= A \cdot \cos(\omega_0 t + \varphi) \\ Ref &= B \cdot \cos(\omega_0 t) \end{aligned} \quad (1.2)$$

L'uscita M del moltiplicatore risulterà pari a:

$$M = [A \cdot \cos(\omega_0 t + \varphi)] \cdot [B \cdot \cos(\omega_0 t)] \quad (1.3)$$

Con l'applicazione delle proprietà del calcolo trigonometrico permettono di riscrivere l'uscita del moltiplicatore come:

$$\begin{aligned} M &= \frac{A \cdot B}{2} \cdot \cos((\omega_0 - \omega_0)t + \varphi) + \frac{A \cdot B}{2} \cdot \cos((\omega_0 + \omega_0)t) \\ &= \frac{A \cdot B}{2} \cos(\varphi) + \frac{A \cdot B}{2} \cdot \cos(2 \cdot \omega_0 t + \varphi) \end{aligned} \quad (1.4)$$

Interpretando questo risultato è possibile affermare che la moltiplicazione di due segnali isofrequenziali da come risultato una componente spettrale a frequenza nulla ed una a frequenza doppia rispetto a quella dei segnali di ingresso. L'ampiezza di entrambe queste componenti dipende dalle ampiezze dei segnali di ingresso ed in particolare quella a frequenza nulla poi è condizionata dallo sfasamento fra segnale di ingresso e segnale di riferimento φ .

Dalla Eq.1.4 si intuisce l'utilità del filtro passa basso, filtrando la componente ad alta frequenza in uscita dall'amplificatore lock-in si ottiene un segnale costante pari a $\frac{AB}{2} \cdot \cos(\varphi)$. Se ora si considera che il segnale di ingresso sia variabile nel tempo in modulo e fase e che la banda del filtro passa basso sia sufficientemente larga allora è possibile ottenere il seguente risultato:

$$A(t) \cdot \frac{B}{2} \cdot \cos(\varphi(t)) \quad (1.5)$$

A questo punto si intuisce come con il solo semplice amplificatore lock-in ad una fase non sia possibile recuperare entrambe le informazioni relative alle variazioni di modulo e di ampiezza, solitamente infatti una delle due viene ipotizzata costante in modo da poter determinare l'altra.

Se si è interessati a misurare variazioni, del segnale di ingresso rispetto a quello di riferimento, sia in termini di ampiezza che in termini di fase è necessario ricorrere al cosiddetto *Amplificatore lock-in a due fasi*, già considerato in Fig. 1.5. Se dal segnale Ref infatti si è in grado di ottenere sia un segnale di riferimento in fase che uno in quadratura, è possibile ottenere entrambe le informazioni:

$$\begin{aligned} V_I &= A(t) \cdot \frac{B}{2} \cdot \cos(\varphi(t)) \\ V_Q &= A(t) \cdot \frac{B}{2} \cdot \sin(\varphi(t)) \end{aligned} \quad (1.6)$$

Da cui è possibile ottenere le informazioni in ampiezza e fase:

$$\begin{aligned} AMP(t) &= \sqrt{V_I^2 + V_Q^2} \\ PHS(t) &= \tan^{-1} \left(\frac{V_I}{V_Q} \right) \end{aligned} \quad (1.7)$$

1.2.5 L'impedance time tracking

Utilizzando lo stesso metodo descritto per realizzare la spettroscopia, è possibile effettuare quello che viene chiamato *tracking di impedenza nel tempo*, per questo tipo di misura non si effettua una scansione in frequenza, si fissa invece la frequenza del segnale di tensione di ingresso, effettuando un monitoraggio nel tempo dell'impedenza estrapolata dall'elaborazione. Un esempio di una misura in tracking può essere osservata in Fig.1.8,

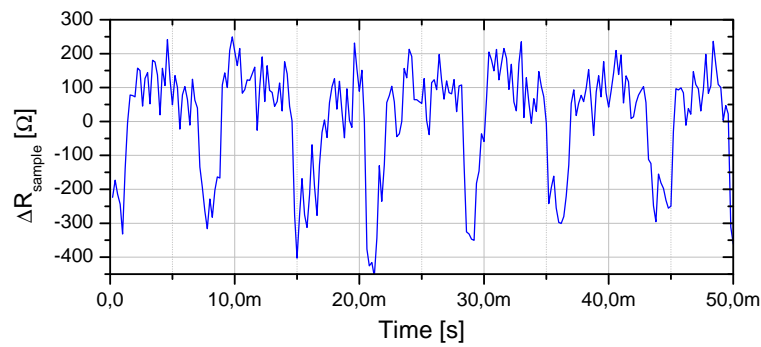


Figura 1.8: Esempio di Misura di test fatta su .

i dati riportati si riferiscono ad una misura di test in cui viene simulato il passaggio di campioni cellulari attraverso un canale microfluidico, la variazione di impedenza misurata indica il passaggio di una cellula attraverso il canale. Questa misura è stata realizzata utilizzando un modulatore di resistenza, la resistenza media è $47k\Omega$ e viene modulata di un fattore 0.1%, la risoluzione temporale è pari a $200\mu s$.

Alcune possibili applicazioni del tracking di impedenza sono il monitoraggio della crescita di una popolazione di cellule tramite la misura della capacità elettrica dell'interfaccia elettrodo-soluzione o il riconoscimento dell'avvenuto legame tra alcune particolari sostanze organiche e uno strato funzionalizzante posto sull'elettrodo.

1.3 Sviluppo di un sistema dedicato

La messa in opera di misure di questo tipo non può essere realizzata con strumentazione di tipo classico, è necessario quindi realizzare dei sistemi dedicati, al fine di raggiungere la massimizzazione delle prestazioni, anche in considerazione del fatto che diverse condizioni di misura o diversi campioni in esame possono richiedere diverse soluzioni in termini di setup di misura. In questo paragrafo si cercherà di introdurre a livello concettuale i principali moduli progettati per questo tipo di misure, presso il laboratorio di ricerca universitaria gestito dal Prof. Marco Sampietro presso la facoltà di ingegneria dell'informazione DEI del Politecnico di Milano.

È possibile riferirsi allo schema a blocchi di base presentato in Fig.1.9, per comprendere

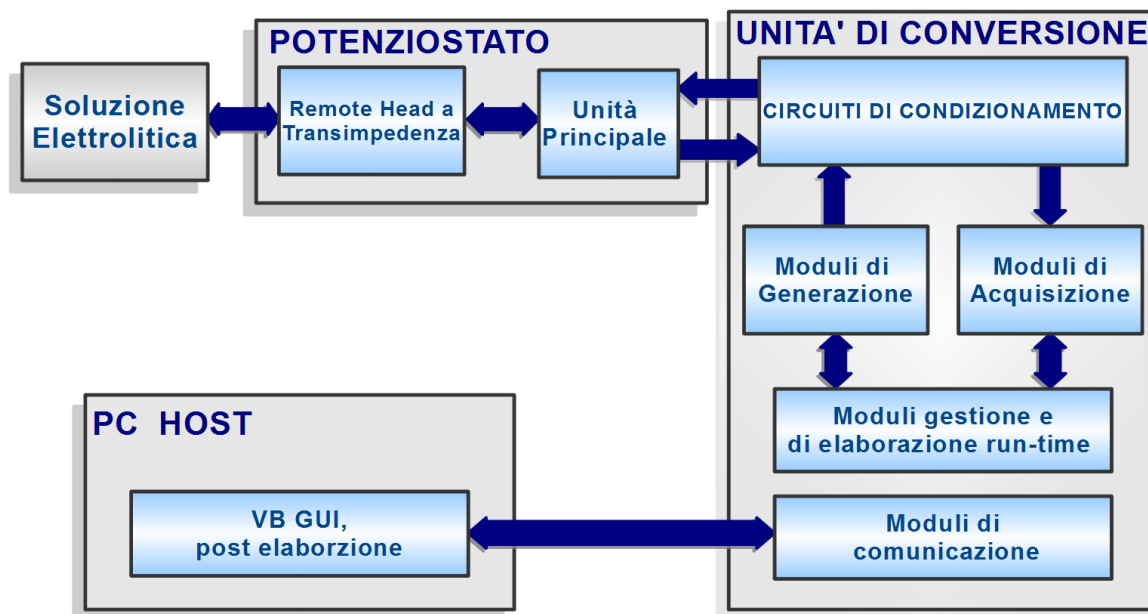


Figura 1.9: Schema a blocchi concettuale dello strumento.

l'organizzazione di base dell'architettura complessiva. A partire dal capitolo successivo invece, ci si concentrerà sul descrivere in maniera particolareggiata il design di alcuni di questi blocchi realizzati durante questo lavoro di tesi.

Come detto precedentemente, l'architettura complessiva è caratterizzata da una struttura modulare, tramite lo sviluppo di diverse soluzioni circuitali. Attraverso questa struttura è possibile configurare il setup di misura secondo le condizioni e le prestazioni richieste allo studio del campione in esame. I principali moduli sono descritti al seguito.

1.3.1 Il Potenzio stato

Il potenziostato è il cuore di questo tipo di misure, permette di effettuare le misure applicando all'elettrodo di *counter* una tensione ed allo stesso tempo effettuando la lettura della corrente corrispondente all'elettrodo di *working*. Tipicamente la misura elettrochimica viene realizzata attraverso la configurazione a *tre elettrodi*, come spiegato a p.11 Fig. 1.3.

Riferendosi allo schema proposto in Fig.1.9 si può suddividere il potenziostato sostanzialmente in due blocchi:

- **Remote Head:** questo modulo contiene i primi stadi di front-end, si interfaccia direttamente con il campione di misura ed uno dei suoi principali vantaggi è dato dalla possibilità di poter essere posizionato nel setup di misura il più vicino possibile al campione, minimizzando i contributi dei parassitismi dovuti al cablaggio, grazie alle sue ridotte dimensioni;
- **Main Unit:** l'unità principale include tutta l'elettronica analogica non posizionata a bordo della remote head. L'elettronica di controllo del potenziostato dialoga poi con l'unità di conversione, dalla quale riceve gli input per forzare la tensione sul campione ed a cui fornisce in output le tensioni proporzionali alla corrente misurata.

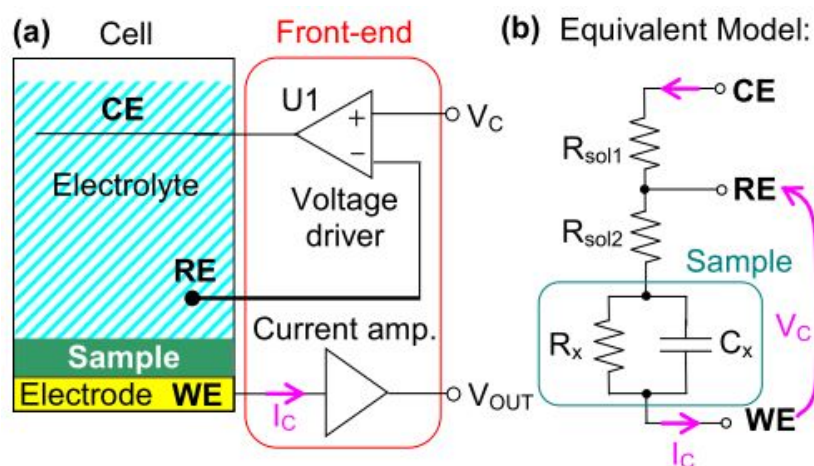


Figura 1.10: Configurazione del potenziostato per misure di cellule su nanoscala (a), modello elettrico semplificato del “sistema” cellula-liquido-elettrodi.

1.3.2 Unità di conversione, controllo ed elaborazione

Il blocco di conversione rappresenta tutto ciò che viene pilotato dall pc host e che controlla il potenziostato che, come si vedrà più avanti, può essere strutturato secondo diverse architetture; l'unità di conversione può essere di base suddivisa in alcuni blocchi logici:

- **Circuiti di condizionamento:** racchiude tutta l'elettronica analogica di condizionamento necessaria a generare i segnali di tensione con cui pilotare il potenziostato e quella necessaria a massimizzare le prestazioni dei convertitori analogico-digitale di lettura;
- **Generazione:** rappresenta l'insieme di moduli digitali che generano, i segnali digitali che, opportunamente convertiti serviranno da stimolo al campione;
- **Moduli di acquisizione:** rappresenta l'insieme di moduli digitali con cui è possibile controllare il front-end di acquisizione, effettuare settings in termini di adattamento di dinamica e di banda, nonché di acquisire i campioni convertiti in formato digitale dal front-end A/D;
- **Moduli di gestione ed elaborazione run-time:** in questo blocco si racchiude tutti quei blocchi incaricati di gestire la sincronizzazione dei moduli di generazione e di acquisizione; un altro aspetto importante è quello di elaborazione run-time delle informazioni³, proprietà di notevole interesse nel caso in cui si voglia effettuare spettroscopia o tracking di impedenza ad alta frequenza. Ad esempio, acquisendo campioni a frequenze elevate ed ad alta risoluzione (e.g. 80Msps, 14bit), ci si scontra con due problematiche, comunicare con l'Host una elevata mole di dati, e post-processare questa mole di dati, attraverso una pre-elaborazione run-time, si riesce a scaricare l'Host di una serie di facili ma ripetitivi calcoli riducendo fra l'altro il tempo di misura e quindi migliorando l'efficienza del sistema;
- **Moduli di comunicazione con l'host:** a seconda della struttura il passaggio di informazioni fra Host ed unità di conversione può essere differente. Nelle precedenti versioni si è utilizzata una scheda di conversione commerciale National Instruments la quale comunicava con l'elaboratore attraverso la PCI, in questo progetto si è

³Lo scopo di questo progetto è quello di realizzare una struttura che sia appunto in grado di effettuare parte dell'elaborazione run-time, configurazioni precedenti che verranno in seguito introdotte non lo consentono

utilizzata una FPGA commerciale e la comunicazione avviene attraverso protocollo USB.

1.3.3 PC-HOST

L'Host, attraverso una GUI sviluppata in Visual Basic, consente all'utente il controllo ad alto livello di tutta l'elettronica a valle e l'impostazione del tipo di misura. Al software è poi lasciato il compito dell'elaborazione finale dei dati e di fornire l'output desiderato dall'utente, che può presentarsi con l'aspetto di un output a monitor o come file di testo salvato in una repository su supporto di memoria.

1.4 Obiettivi di progetto: sviluppo dell'unità di conversione

Nei paragrafi precedenti si è parlato di architettura modulare e di sistemi dedicati, in questo paragrafo si cerca di introdurre brevemente l'evoluzione dell'unità di conversione. I primi setup di misura prevedevano l'utilizzo di una scheda di conversione commerciale della *National Instruments* NI6115.

L'idea alla base di questo progetto è quella di proporre un'alternativa all'utilizzo di una scheda di acquisizione commerciale, sviluppando l'elettronica e l'architettura, sulla base delle prestazioni attuali dei potenziostati utilizzati e sulle prospettive future di sviluppo. L'obiettivo è quello di realizzare un sistema portatile e configurabile, che non necessiti di particolari software per essere utilizzato e che consenta un'elevata flessibilità nel suo utilizzo. Nel cercare di raggiungere l'ottimizzazione di questi obiettivi si è scelto di utilizzare un'FPGA *Field Programmable Gate Array*, per lo sviluppo dell'unità di elaborazione e gestione del modulo di conversione.

Il più grande potenziale delle FPGA è quello di essere completamente configurabili, e di permettere di elaborare i dati in parallelo ad alta velocità. Con l'utilizzo dell'FPGA come unità di elaborazione e controllo del front-end è allora possibile sollevare il PC da una mole onerosa di calcoli, questo si tradurrà in una maggior efficienza e velocità nelle misure.

Una soluzione dedicata peraltro consente anche di realizzare un'architettura analogico-digitale ad hoc, la quale può essere implementata appositamente in considerazione delle condizioni specifiche per questa tipologia di misure, cosa che ovviamente non è possibile

utilizzando schede di acquisizione di tipo commerciali. Con il progetto di tesi di Mauro Lusso [Lus10] ad esempio, è stata sviluppata l'elettronica e gli algoritmi dedicati alla generazione dei segnali da applicare al campione, a tal fine sono stati scelti specifici convertitori DAC, DDS e stadi analogici tali da poter generare segnali sinusoidali ad alta risoluzione per la misura di impedenza fino all'ordine della decina di MHz , segnali arbitrari oppure segnali triangolari per voltammetria anche ultraveloce (caratterizzata da scan rate anche superiori a $1MV/s$). In questo lavoro di tesi si è invece sviluppato l'elettronica e gli

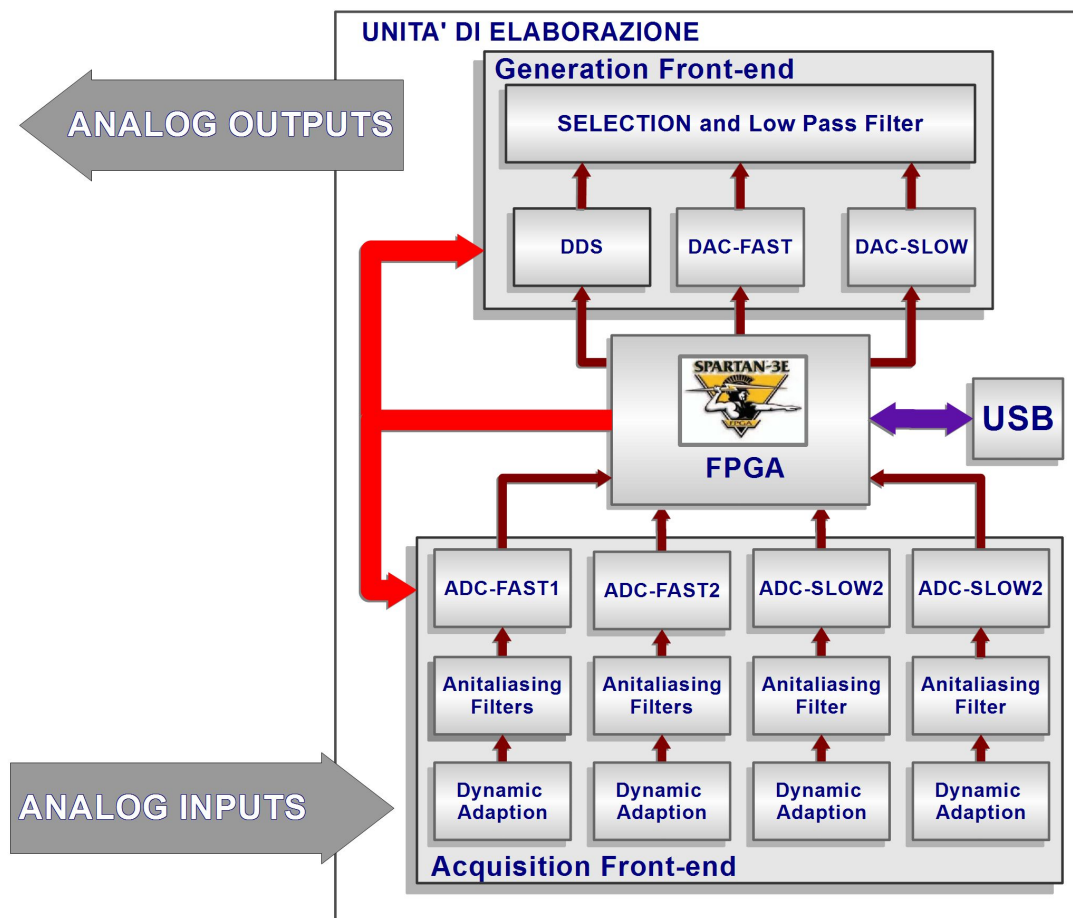


Figura 1.11: Organizzazione dei blocchi di conversione, interfacciamento dei front-end con l'unità di controllo ed elaborazione.

algoritmi dell'unità di elaborazione e conversione, progettata al fine di offrire al sistema di misura i canali di acquisizione ad alte prestazioni necessari, cercando di conciliare diverse esigenze quali l'ottimizzazione del front-end e la flessibilità del sistema stesso.

Capitolo 2

Circuiti di acquisizione A/D

Con il paragrafo 1.3.2 è stata introdotta la struttura complessiva dell'unità di conversione ed elaborazione, in questo capitolo si cercherà invece di entrare nel dettaglio dell'architettura, ponendo in particolare il focus sull'implementazione del front-end di acquisizione analogico-digitale, oggetto di questa tesi. Si cercherà in primo luogo, di introdurre le specifiche di progetto e di motivarne le principali soluzioni circuitali, confrontandole con le scheda di acquisizione *National Instruments* fino ad ora utilizzata nei setup di misura.

Nei seguenti paragrafi si dividerà lo studio del design della scheda secondo la tipologia dei canali: canali di acquisizione a banda larga (*veloci*) e canali a banda stretta (*lenti*). Nell'ultimo paragrafo si cercherà di fornire alcune indicazioni relative ai convertitori ADC utilizzati per l'acquisizione dei segnali.

2.1 Specifiche di sistema

Si introdurranno in questo paragrafo le specifiche relative allo sviluppo del front-end di acquisizione analogico-digitale facendo riferimento alla Fig.2.1, dove è riportato uno schema dell'architettura adottata per il condizionamento e l'acquisizione dei segnali di ingresso.

A tal proposito lo sviluppo di nuovi amplificatori a transimpedenza più performanti, si pone nella prospettiva di consentire misure sempre più spinte: nel caso in cui si parlo di voltammetria ciclica, il passaggio è quello di arrivare a realizzare quelle che vengono chiamate misure di voltammetria ciclica *ultraveloce*, in grado di raggiungere l'ordine dei $\approx 10MV/s$.

La differenziazione fra i vari canali è legata allo scopo specifico per cui ciascuno di questi è stato concepito, per quanto riguarda il sistema di acquisizione questo è il primo importante cambiamento, rispetto alla scheda di acquisizione *National Instruments*, utilizzata nei precedenti setup. La scheda di acquisizione *National Instruments NI6115* utilizzata per i setup di misura originali, è equipaggiata di quattro ADC ciascuno a 12 bit di risoluzione e frequenza di campionamento uguale e fino ad un massimo di $10MS/s$. Queste prestazioni se da un lato possono rivelarsi non sufficienti alle specifiche di banda per uno specifico tipo di misure, dall'altro lato, per la gestione di altri segnali può risultare eccessiva e comportare uno spreco di risorse per l'elaborazione digitale. Cercando di dare una spiegazione a quest'ultima affermazione si considerino le diverse tipologie di misure elettrochimiche che questa architettura deve riuscire ad offrire: per quanto riguarda la spettroscopia di impedenza o in più generale, il tracking di impedenza, l'utilizzo di un convertitore da $10MS/s$ risulta ovviamente non sufficiente ad effettuare misure di impedenza a frequenze dell'ordine della decina di MHz . Secondo ciò che afferma il teorema di Nyquist-Shannon ci si aspetta come *limite massimo*, fissata una frequenza di campionamento, che la banda di segnale correttamente campionata sia limitata a metà della frequenza di sampling:

$$f_{max} = \frac{f_s}{2} \quad (2.1)$$

Si è parlato di limite *massimo*, cerchiamo di motivare questa affermazione: il motivo per cui si sceglie sempre una frequenza di campionamento superiore al limite di Shannon è legato all'effetto di *aliasing* e relativo all'implementazione del filtraggio antialiasing. Per evitare l'effetto di *aliasing* si deve sempre utilizzare uno stadio di filtraggio che abbatta, in modulo, le componenti spettrali fuori della banda di segnale, cosa possibile con un filtraggio di tipo reale solo se la banda di segnale si presenta sufficientemente piccola rispetto alla frequenza di campionamento $BW < \frac{f_s}{2}$.

L'utilizzo della scheda di acquisizione N.I., fino ad ora utilizzata nei set-up di misura, non è chiaramente in grado di rispettare questi limiti di banda, tali da consentire un corretto campionamento di segnali con banda di una decina MHz , posta come obiettivo per le misure di spettroscopia e tracking di impedenza veloce.

Considerando queste problematiche, si è cercato di trovare un trade-off che garantiscesse una corretta acquisizione dei campioni senza richiedere una frequenza di sampling inutilmente eccessiva: da una ricerca sull'offerta di mercato attuale in termini di convertitori, tale scelta è ricaduta su di un convertitore prodotto da *Texas Instruments* ADS5542

[Ins07]. Gli ADC ADS5542, sono convertitori progettati secondo un'architettura di tipo pipe-line, che garantisce allo stesso tempo un'elevata frequenza di sampling ed un'ottima risoluzione. Sono in grado di raggiungere gli $80MS/s$ (1 campione ogni $12,5ns$) con una risoluzione pari a 14 bit ¹.

Utilizzando questo tipo di convertitori il teorema del campionamento di Shannon 2.1 può essere rispettato, con un segnale a 10MHz si hanno 8 campioni a periodo ed è possibile, con questi presupposti, realizzare un filtro antialiasing, trovando un buon compromesso fra attenuazione fuori banda e sfasamento introdotto ad alta frequenza in banda, come discusso nel paragrafo 2.2.2. Gli ADC ADS5542, sono stati quindi scelti i convertitori che nella rappresentazione di Fig.1.11, vengono identificati come *FAST*. Relativamente alle misure di voltammetria ciclica standard, la problematica si è spostata non verso particolari prestazioni in termini di banda, bensì può invece essere di interesse ottenere una maggiore risoluzione sul campione acquisito. Nel caso in cui si parli di voltammetrie standard, lo scan-rate considerato è generalmente va dall'ordine dei $10mV/s$ a quello dei $10V/s$. Questo sottolinea un'altra distinzione del progetto dalla scheda NI6115: con lo sviluppo di una struttura dedicata si cerca di differenziare e la specifiche dei canali di acquisizione, in questo modo si vuole ottenere una struttura in grado di poter soddisfare appieno le diverse esigenze di ciascun tipo di misura. Per quanto riguarda i canali cosiddetti *lenti*, la scelta è ricaduta su un convertitore prodotto da *Analog Devices* di tipo SAR (Successive Approximation Register), a 18 bit di risoluzione e frequenza di campionamento massima pari a $100KS/s$, l'AD7678 [Dev09].

Attraverso la scelta di convertitori di tipo diverso è quindi possibile impostare correttamente tutte le diverse tipologie di misure elettrochimiche, cercando di sfruttare al meglio le prestazioni offerte da questa scheda di acquisizione.

Si è detto nel primo capitolo come, per realizzare spettroscopia di impedenza, sia richiesto l'utilizzo dell'operazione di amplificazione lock-in, questo giustifica la presenza dei due canali di acquisizione veloci da $80MS/s$: uno dei due canali chiamato *REF*, sarà incaricato di campionare il segnale di riferimento, ossia il segnale in tensione applicato alla soluzione attraverso il potenziostato; l'altro canale sarà invece dedicato al campionamento del segnale di tensione proporzionale alla corrente letta dal potenziostato e sarà chiamato *IN-FAST*.

Dei canali lenti, uno sarà dedicato al campionamento di segnali di uscita dal potenziostato,

¹Per eventuali sviluppi futuri, è stato scelto fra l'altro un convertitore di una famiglia che offre ampie alternative in termini di frequenza di campionamento, per esempio l'ADS5541 e ADS5500 possono convertire rispettivamente a $105MS/s$ e $125MS/s$

questo canale viene chiamato *IN-SLOW* ed ha una limitazione in banda di alcuni *kHz*. L'altro canale viene invece definito *AUX* ed è progettato al fine di consentire l'acquisizione di un ulteriore segnale generico che diverse misure possono richiedere. Il canale ausiliario viene progettato per garantire la possibilità di utilizzare il convertitore relativo al massimo delle prestazioni in termini di banda, pagando in maniera relativamente poco incidente, in rumorosità del canale. Questa scelta è motivata dal mantenimento una buona flessibilità del canale stesso.

Un esempio di utilizzo del canale può essere proposto tenendo in considerazione l'elevata sensibilità alle variazioni di temperatura delle cellule, può essere interessante allora proporre una misura sul campione in cui la temperatura sia sempre monitorata per mappare le variazioni nelle caratteristiche del campione al variare della temperatura.

Un'altra considerazione per quanto riguarda l'architettura analogica in esame è legata all'ottimizzazione della risoluzione e quindi alla capacità di sfruttare tutta la dinamica durante l'acquisizione di un campione. A tal proposito si considerino come parametri di confronto il tracking di impedenza e la voltammetria ciclica. Per quanto riguarda il primo dei due si parla in genere di misure di piccolo segnale, l'ampiezza del segnale di tensione da campionare potrebbe anche essere inferiore alle centinaia di *mV*. Per quanto riguarda la voltammetria ciclica invece si parla di misure di grande segnale, in alcuni casi si può rendere necessaria una dinamica del segnale ben superiore al *Volt*. Altrettanto importante è sottolineare che i campioni sotto esame possono essere molto differenti, è possibile ottenere da questi misure di corrente altrettanto differenti in ampiezza. È elementare capire da questa osservazione, come dalla prossima, la necessità di massimizzare la dinamica per la misura l'utilizzo di stadi di condizionamento della dinamica selezionabili.

Il secondo punto saliente, riguardo alla massimizzazione della dinamica, riguarda la già citata modularità del sistema complessivo. Esistono diverse soluzioni modulari anche per il *potenziostato*, sono state implementate sia a componenti discreti che completamente integrate in tecnologia CMOS. Queste diverse soluzioni sono alimentate con range di tensione completamente differenti, da $\pm 12V$ a $\pm 1.55V$, analogamente saranno diverse le dinamiche dei segnali di uscita di questi blocchi, da cui di nuovo è imperativo rendere il modulo di acquisizione configurabile in termini di dinamica di tensione di ingresso. A tal scopo si è scelto di discretizzare la dinamica di ampiezza in tre range principali: $\pm 10V$, $\pm 2V$ e $\pm 500mV$.

Per evitare un'eccessiva complessità del sistema si è sviluppata l'elettronica di controllo della dinamica per i soli canali veloci, in considerazione del fatto che gli ADC lenti garantiscono comunque un'elevata risoluzione e che, nello specifico le misure di impedenza, che

essendo misure di piccolo segnale saranno maggiormente degradate da eventuali perdite di risoluzione, sfrutteranno sempre i canali veloci.

Considerando poi la possibilità di voler effettuare misure di impedenza a “bassa frequenza” o di voltammetria ciclica standard, si è deciso di rendere disponibile all’utente due possibili filtraggi antialiasing selezionabili. In questo modo in pratica è possibile ridurre il throughput di dati in ingresso all’ADC, in questo modo infatti non si avrebbe più un sample rate pari a $80MS/s$, sovracampionamento poco utile in queste condizioni, ma molto più basso, questo alleggerirebbe i moduli di elaborazione di una mole di calcoli non necessaria e ne trarrebbe benefici anche il sistema di trasferimento dati attraverso l’USB, il quale si dimostra critico nelle elaborazioni ad alta velocità. Le opzioni di filtraggio consentono di selezionare due bande rispettivamente pari a $10MHz$, e $10kHz$.

Per quanto riguarda le specifiche di rumore, si è preso come riferimento il potenziostato, fra quelli sviluppati, caratterizzato dalla minor densità spettrale di rumore in uscita; lo stadio è un transimpedenza da $1k\Omega$, con un guadagno G pari a 10, il rumore di uscita è circa $40nV/\sqrt{Hz}$. Sulla base delle tre condizioni di dinamica di ingresso ed ipotizzata una frequenza di taglio del filtro pari a $20MHz$, sono stati calcolati tre differenti contributi di rumore all’ingresso dell’ADC dovuti al solo potenziostato: per la dinamica $\pm 10V$ risultano $22\mu V_{rms}$, mentre per le dinamiche $\pm 2V$ e $\pm 0.5V$ risultano rispettivamente $224\mu V_{rms}$ e $448\mu V_{rms}$. Tenendo presente questi valori e considerando le caratteristiche di rumore del convertitore scelto che riportate in tensione di ingresso all’ADC corrispondono a $154\mu V_{rms}$, si intuisce come con dinamica massima il rumore complessivo sia dominato dal convertitore mentre negli altri due casi la componente dominante risulta dovuta al potenziostato. Come obiettivo per la progettazione dello stadio allora si è imposto quello di rendere il contributo di rumore introdotto dall’elettronica analogica di in ingresso inferiore a quello dell’ADC. La richiesta di flessibilità a diverse configurazioni di misura, nonché la modularità stessa del sistema rende la definizione delle specifiche di sistema piuttosto complessa; in Tab.2.1 sono stati riassunti i vincoli scelti per gestire la progettazione dell’architettura di condizionamento analogico.

2.2 Architettura dei canali veloci

Nel seguente paragrafo vengono presentate le soluzioni circuitali relative alla progettazione dei canali di acquisizione veloci. Unica differenza di rilievo fra i due canali *FAST1* e *FAST2* è legata alla possibilità di selezionare a che ingresso connettere il canale *FAST1*: è

ADC FAST1, REF: 14 bit		
Sample Rate	Tempo di conversione	
80MS/s	12.5ns	
Dinamica	Risoluzione	
±10V	610μV	
±2V	122μV	
±0,5V	30,5μV	
Signal Bandwidth	Filtro antialiasing	Filtraggio
10MHz	20MHz	Butterworth 4°ordine
10kHz	40kHz	Butterworth 3°ordine
ADC AUX: 18 bit		
Sample Rate	Tempo di conversione	
100kS/s	200ns	
Dinamica	Risoluzione	
±10V	610μV	
Signal Bandwidth	Frequenza di taglio	Filtraggio
1kHz	4kHz	Butterworth 5°ordine
ADC AUX: 18 bit		
Sample Rate	Tempo di conversione	
100kS/s	200ns	
Dinamica	Risoluzione	
±10V	610μV	
Signal Bandwidth	Filtro antialiasing	Filtraggio
10kHz	40kHz	Butterworth 5°ordine

Tabella 2.1: Tabella riassuntiva delle specifiche di progetto.

possibile infatti scegliere attraverso l'utilizzo di un deviatore di fra connettere il BNC *IN-FAST* oppure quello *IN-SLOW*. Il canale *FAST2* a differenza del precedente è connesso stabilmente al BNC *REF*. Attraverso questa ulteriore configurabilità è quindi possibile in prospettiva effettuare misure di spettroscopia di impedenza a bassissima frequenza (inferiori ai 100Hz), adattandosi ai potenziostati sviluppati in precedenza MANCA RIFERIMENTO che prevedono due segnali di output di rilievo, V_{OUT-DC} e V_{OUT-AC} , il primo verrà di base collegato al BNC di connessione *IN-SLOW*, mentre il secondo verrà connesso al BNC *IN-FAST*.

L'ingresso V_{OUT-DC} viene tipicamente utilizzato per monitorare le componenti in DC e le bassissime frequenze. Nell'ottica di voler rendere la misura automatizzata, attraverso il deviatore pilotato dall'unità di controllo, è quindi possibile commutare da un ingresso

all'altro durante una scansione in frequenza, come è possibile vedere in Fig.2.2, senza rendere necessaria un'operazione all'utente di scollegamento/collegamento di connettori BNC, consentendo fra l'altro di continuare a monitorare le componenti in DC grazie al convertitore SLOW1. Per evitare spiegazioni ridondanti, l'analisi che seguirà si riferirà

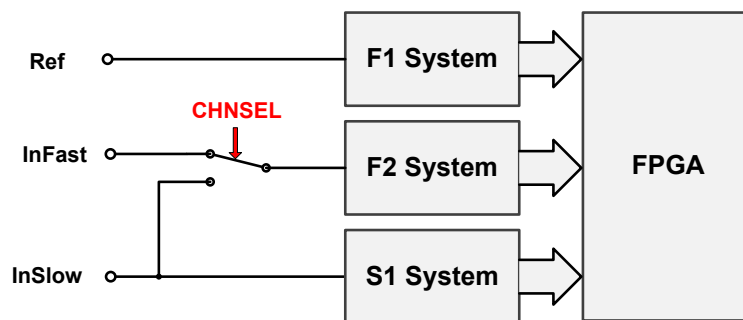


Figura 2.2: In figura viene rappresentato in maniera semplificata la funzionalità del deviatore di selezione del canale controllato digitalmente.

al solo canale chiamato *FAST-1*, tutte le considerazioni fatte per questo canale devono essere considerate valide anche per il canale *FAST-2*.

Prima di iniziare a descrivere le soluzioni adottate si facciano alcune considerazioni. Come si vede in Tab.2.1, si desidera un canale con dinamica di ingresso selezionabili pari a: $\pm 10V$, $\pm 2V$ e $\pm 0.5V$, allo stesso tempo ed in modo indipendente, si vuole poter limitare la banda a $10MHz$, oppure a $10kHz$. Per lo studio dell'architettura del canale di acquisizione

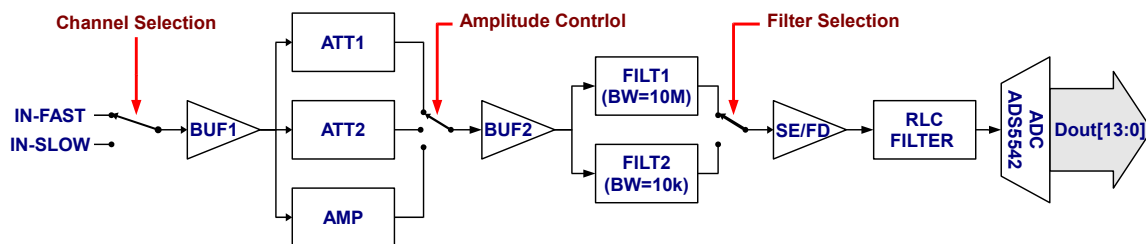


Figura 2.3: Schema a blocchi concettuale del canale di acquisizione veloce.

è possibile fare riferimento allo schema a blocchi di principio Fig.2.3; in questa figura possono essere individuate le principali funzioni del canale: adattamento della dinamica (ATT1, ATT2, AMP), selezione del filtraggio (FILT1, FILT2, RLC_FILTER), vari stadi di buffer e di conversione del modo da *single ended* a *fully differential* (SE/FD).

Utilizzare per questo canale di acquisizione il convertitore ADS5542, prodotto da *Texas Instruments*, fissa alcuni aspetti fondamentali nell'architettura: la circuiteria analogica

dell'ADS5542 è alimentata a $3,3V$ e l'ingresso analogico è di tipo differenziale, per poter sfruttare al meglio la dinamica di ingresso sarà necessario convertire il segnale di ingresso da *single ended* (SE) a *fully differential* (FD), il range di segnale differenziale come descritto nella documentazione tecnica [Ins07] risulta pari a $2,3V_{peaktopeak}$. Quindi a prescindere dalla configurazione selezionata, si massimizza la dinamica se si riesce a sfruttare tutto il range di tensioni ammissibili dallo stadio di ingresso analogico del convertitore. Questa considerazione detta il trasferimento in banda che si deve imporre fra ingresso del canale ed ingresso del convertitore nei tre specifici casi:

$(\pm 10V \Rightarrow \pm 1.15V)$	0.115
$(\pm 2V \Rightarrow \pm 1.15V)$	0.575
$(\pm 0.5V \Rightarrow \pm 1.15V)$	2.3

Tabella 2.2: Trasferimenti in banda.

2.2.1 Condizionamento della dinamica

Il progetto del blocco di condizionamento della dinamica si è rivelato piuttosto complesso e frutto di una serie di compromessi fra diverse esigenze quali la massimizzazione della banda per il rispetto delle specifiche, l'ottimizzazioni dello stadio relativamente al rumore complessivo, le prestazioni dinamiche, ecc; per conferire alla struttura proprietà di “*configurabilità*”, si sono utilizzati in questo senso, interruttori e deviatori, integrati o a relè, di tipo SPST (Single Pole Single Throw), SPDT (Single Pole Double Throw) o anche DPDT (Double Pole Double Throw), che permettono di realizzare diverse topologie a seconda della commutazione degli switch.

Ad un primo approccio, la soluzione più intuitiva per progettare uno stadio configurabile sembrerebbe sicuramente quella di utilizzare un'unica cella amplificante, la quale venga opportunamente configurata, attraverso l'uso degli switch, allo scopo di ottenere i diversi trasferimenti richiesti dalle specifiche. In Fig.2.4a, viene riportato un semplice esempio di come questa soluzione possa essere implementata.

A seconda della configurazione di di SW_A , SW_B , SW_C , e SW_D , si possono ottenere le tre dinamiche di interesse, questa configurazione è di base una cella invertente e come viene elencato in tabella è possibile ottenere i trasferimenti calcolati in Tab.2.2 grazie alle seguenti configurazioni:

L'idea, per quanto semplice, consente di ottenere buoni risultati solo fino a che la ban-

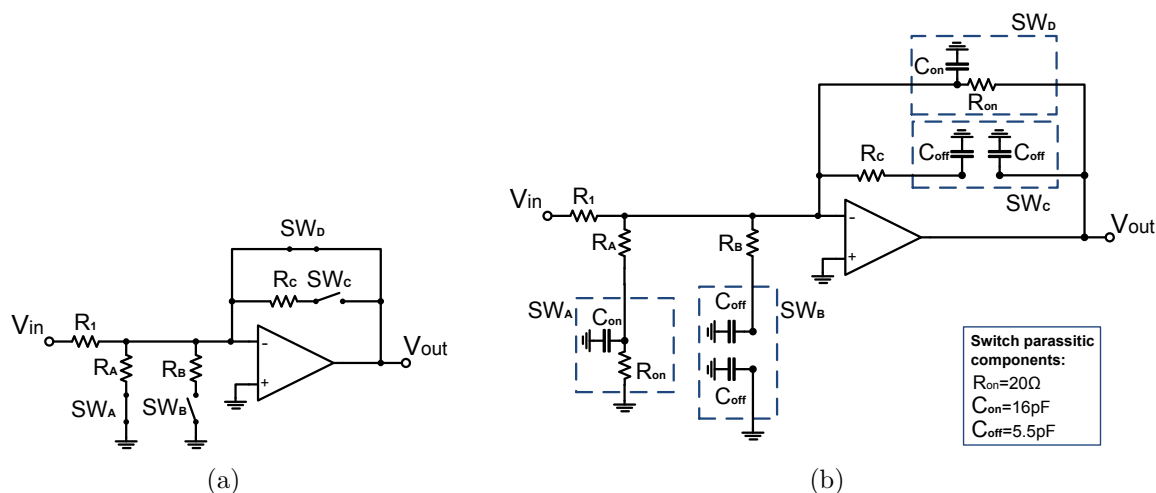


Figura 2.4: Confronto tra il circuito a singola cella (a) ideale ed il suo corrispettivo (b) reale, in cui agli switch vengono sostituiti i rispettivi equivalenti a passivi.

Dinamica di ingresso	Trasferimento	SW_A	SW_B	SW_C	SW_D
$\pm 10V$	$0.115 \Rightarrow \frac{R_2}{R_1 + R_2} \cdot (-1)$	ON	OFF	OFF	ON
$\pm 2V$	$0.575 \Rightarrow \frac{R_3}{R_1 + R_3} \cdot (-1)$	OFF	ON	OFF	ON
$\pm 0.5V$	$2.3 \Rightarrow -\frac{R_4}{R_1}$	OFF	OFF	ON	OFF

Tabella 2.3: Combinazioni degli switch per ottenere il trasferimento voluto.

da di segnale non diventa eccessivamente ampia. In questo caso la banda di decine di MHz impone di dover tener conto dei parassitismi degli switch come indicato in Fig.2.4b. Quello che succede in questo caso è che i parassitismi capacitivi degli switch introducono singolarità nel guadagno d'anello dell'operazionale, andando a peggiorare il margine di fase (φ_m) dello stadio e quindi rendendo più delicata l'operazione di garanzia della stabilità dell'anello e di fatto introducendo poli nel trasferimento indesiderati. In figura Fig.2.5b è possibile vedere il diagramma di Bode della simulazione di questo schema² con la cella configurata per la dinamica $\pm 0.5V$. Anche se i componenti vengono opportunamente dimensionati, il circuito non è in grado di soddisfare le specifiche, si può vedere

²La simulazione in questione analizza il trasferimento utilizzando i modelli dell'operazionale *OPA842* e degli switch della serie *ts12a4516*, utilizzati poi nell'architettura completa. Hanno in questo caso comunque il solo scopo di proporre un esempio della problematica.

come la banda d'anello chiuso è limitata a meno di $30MHz$, e come il margine di fase φ_m corrispondente è di soli 41° .

All'idea di cercare di ottenere la banda più elevata possibile ottimizzando il dimensionamento delle resistenze si può rispondere con alcune considerazioni: se da un lato si può cercare di ridurre il valore assoluto delle resistenze per aumentare la frequenza delle singolarità indesiderate, dall'altro si paga in due modi: rendendo il guadagno sensibile al valore di resistenza dello switch ed in secondo luogo, andando a forzare il buffer che pilota la cella a fornire correnti elevate, aspetto che può diventare concreto nella condizione di segnale di ingresso a dinamica $\pm 10V$.

Le scelte progettuali conseguenti sono state prese a seguito di alcune osservazioni: prima di tutto si è considerato che questo strumento prevede un'alimentazione da rete elettrica e non a batteria, questo consente di non dover considerare la minimizzazione della dissipazione di potenza un parametro dominante; si è poi considerato che, nonostante i suoi parassitismi, si sarebbero potuti utilizzare comunque degli switch, se pilotato attraverso uno stadio a bassa impedenza: il contributo capacitivo parassita vedendo una bassa impedenza introduce delle singolarità ad alta frequenza, che si assestino oltre la banda di segnale (e.g. qualche GHz).

La soluzione adottata allora è stata in pratica quella di avere tre stadi di condizionamento paralleli connessi a valle delle loro uscite ad una serie di switch che si comportano in pratica da MUX analogico. Il nodo di uscita di questo MUX analogico viene poi letto in tensione da un buffer a guadagno unitario come da Fig.2.6.

Attraverso la corretta codifica dei segnali digitali di comando ATT1, ATT2 e AMP è possibile, comandando l'unità di controllo via Host, selezionare la dinamica desiderata per effettuare la misura. Da notare in Fig.2.6 lo sdoppiamento degli switch ATT2 e AMP, necessario ad evitare che in configurazioni diverse gli operazionali vadano in condizione di saturazione delle uscite. Considerate le osservazioni fatte in precedenza, sono stati scelti in maniera specifica degli switch i cui parassitismi consentissero il raggiungimento delle specifiche in termini di banda, la scelta è ricaduta sugli switch stand-alone ts12a4516, switch a parassitismi minimi con dinamica analogica massima pari a $6V$ e gli ADG1221, switch ad alta dinamica, superiore ai $10V$.

Le resistenze da 22Ω sono state utilizzate per disaccoppiare i parassitismi degli switch dall'anello di retroazione, questo permette di garantire la stabilità dei rispettivi stadi. La resistenza da $18k\Omega$ posta al morsetto di ingresso dello stadio amplificante ha lo scopo di evitare la saturazione dell'amplificatore a seguito delle correnti di bias, quando il corrispondente switch è on configurazione OFF.

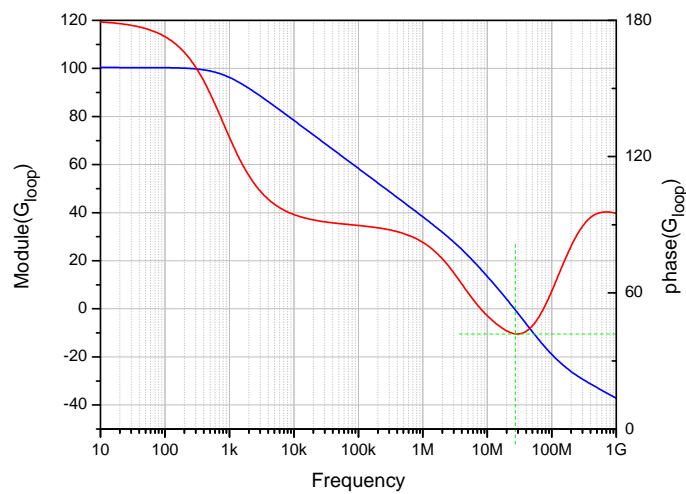
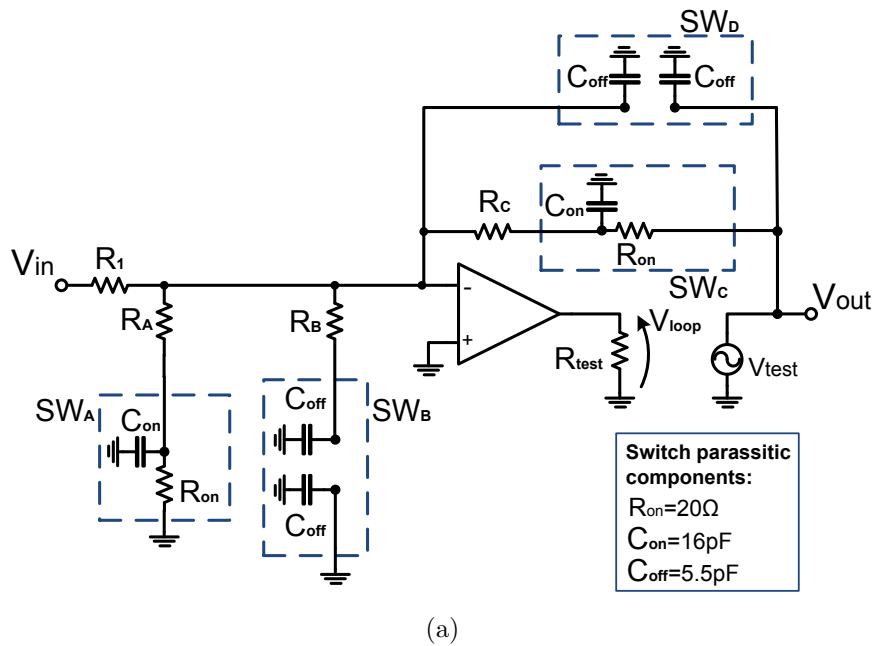


Figura 2.5: Cella configurata per dinamica di ingresso *Dinamica* $\pm 0.5V$; circuito equivalente per il calcolo del guadagno d'anello (a) e diagramma di Bode associato (b).

Un'accenno rapido va dato al buffer di ingresso, introdotto in modo che l'ingresso del canale (l'uscita di un potenziostato) veda come carico di uscita un'alta impedenza o tutt'alpiù un carico adattato da una 50Ω introdotta esternamente. Si deve poi tenere in conto che questo buffer deve pilotare gli stadi a valle e garantire anche le massime prestazioni dinamiche nel caso pessimo: considerando il segnale di ingresso sinusoidale a

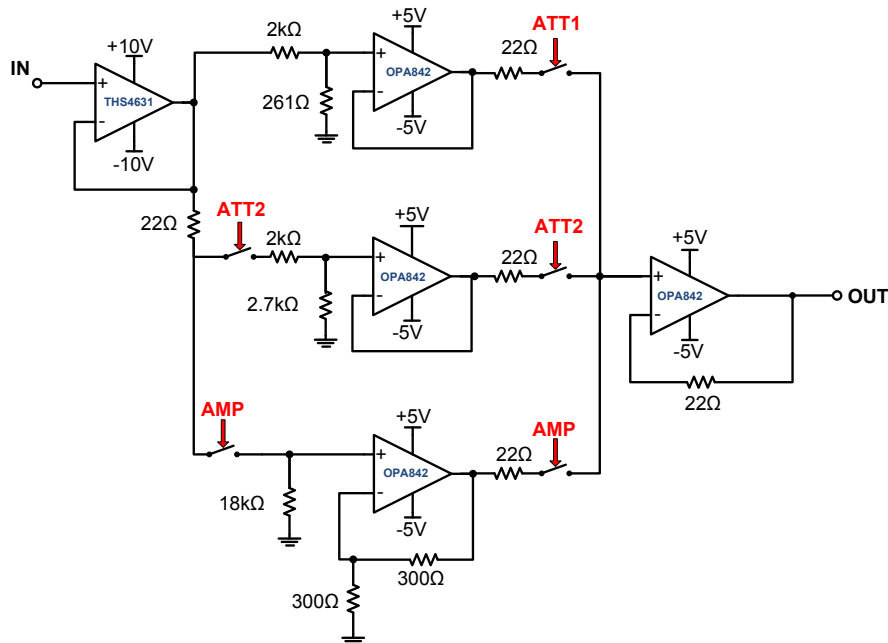


Figura 2.6: Schematico realivo all'adattamento di dinamica del canale veloce.

frequenza $10MHz$ e di ampiezza $10V$ di picco, il segnale in uscita dal buffer non deve subire effetti di distorsione da parte dell'amplificatore operazionale utilizzato come buffer. Le condizioni pessime considerate richiedono uno slew rate minimo pari a:

$$SR > \left. \frac{dV_{out}}{dt} \right|_{max} \cong \omega \cdot V_{max} = 628V/\mu s \quad (2.2)$$

Questo vincolo ha fatto cadere la scelta del buffer di ingresso sull'operazionale *THS4631*, la cui alimentazione duale può raggiungere i $\pm 15V$ ed il cui *SLEW RATE* da datasheet risulta pari a $1000V/\mu s$, oltre a garantire stabilità a guadagno unitario e banda di $325MHz$ in configurazione a buffer non invertente, più che sufficiente a rispettare le specifiche. Per quanto riguarda il resto della catena di condizionamento analogico il problema dello slew rate non risulta rilevante, tutti gli stadi successivi al buffer forniscono un segnale di uscita con dinamica $\pm 1.15V$ come da specifica, considerando la stessa equazione utilizzata per il buffer Eq.2.2, si ottiene uno slew rate massimo pari a: $72,25V/\mu s$ da confrontare con i $300V/\mu s$, indicati dalla documentazione tecnica del *THS4631*. Questo parametro è stato calcolato come nel caso precedente considerando un segnale sinusoidale a frequenza $10MHz$ ed l'ampiezza massima che a valle dell'adattamento di dinamica è sempre pari a $\pm 1.15V$ come già detto.

2.2.2 Filtri antialiasing

È stato fin qui trattato l'aspetto relativo all'adattamento della dinamica, ora si procederà considerando che a valle del secondo buffer il segnale si presenta sempre con una dinamica adattata a quella imposta come vincolo dall'ADC. In accordo con quanto riportato nel paragrafo iniziale, un altro aspetto saliente nella realizzazione del front-end analogico è quello di poter selezionare la banda di filtraggio.

Si parta cercando di giustificare la scelta del filtro ad alta frequenza: si è detto che la necessità di limitare in banda le componenti spettrali del segnale in ingresso è principalmente dovuta alla necessità di evitare o minimizzare l'effetto di *aliasing*. L'*aliasing* si può sinteticamente descrivere come un fenomeno del campionamento, per il quale eventuali componenti del segnale di ingresso, a frequenza maggiore di quella dettata dal limite di Shannon, vengono interpretate come segnali a bassa frequenza, questo effetto nella maggior parte dei casi è un effetto indesiderato.

Attraverso il filtraggio anti-aliasing è possibile attenuare tutte le componenti spettrali che non siano comprese entro la banda di segnale, in questa maniera le componenti fuori banda, *shiftate* a bassa frequenza, saranno attenuate rispetto a quelle in banda campionate correttamente, riducendo l'effetto di disturbi e rumori ad alta frequenza.

Si è specificato come con il teorema di Shannon, scelto uno specifico *sample rate*, si possa determinare un limite massimo di segnale campionabile correttamente; con un altro punto di vista si può affermare che, fissata una banda di segnale, dal teorema di Shannon viene definita la *minima* frequenza di campionamento necessaria a ricostruire il segnale in tutte le sue componenti spettrali.

Il problema del filtro antialiasing si concretizza con l'impossibilità di implementare un filtraggio ideale, come quello di Fig.2.7a, a causa del fatto che si richiede una pendenza infinita del trasferimento in zona di transizione.

Campionando il segnale ad una frequenza più elevata rispetto a quella definita dal limite di Shannon, le richieste in termini di banda di transizione si rilassano, ed è possibile implementare un filtro reale; come si vede in Fig.2.7b non si ha una banda di segnale perfettamente piatta ma si accetta un'attenuazione al limite di 3dB, rispetto a quella imposta a basse frequenze.

Esistono poi diverse soluzioni per implementare un filtro antialiasing, riferendosi alla Fig.2.8 è possibile notare come però ci sia sempre un compromesso nel cercare di sintetizzare un filtro.

In base ai vincoli sulla banda di transizione ed alla architettura di filtraggio scelta,

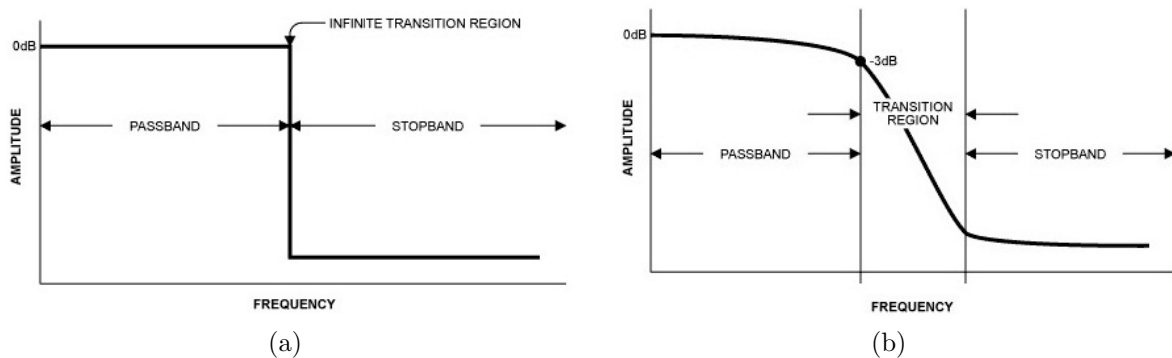


Figura 2.7: In (a) si può vedere che caratteristiche dovrebbe avere un filtro antialiasing; in (b) viene invece posto l'attenzione sulle caratteristiche salienti di un filtro antialiasing reale.

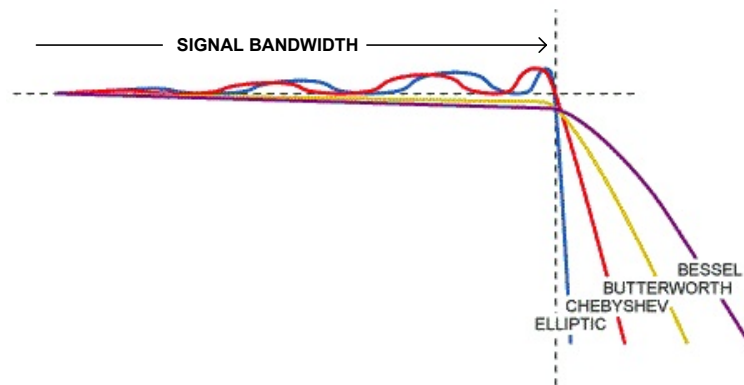


Figura 2.8: Qui vengono presentati i quattro principali tipi di filtri utilizzati nel filtraggio antialiasing.

possono essere esaltate caratteristiche diverse, dalla Fig.2.8 si riesce ad intuire come le diverse soluzioni forniscano risultati diversi: filtri come quelli di Chebyshev o quelli Ellittici, offrono grandi prestazioni in termini di pendenza del trasferimento nella regione di transizione ma sono caratterizzati da un *ripple* nella risposta in frequenza in banda; Filtri come quelli di Bessel o di Butterworth offrono invece una maggior piatezza della risposta in banda, a scapito dell'estensione della zona di transizione.

Per la realizzazione del filtro antialiasing in questo progetto è stata scelta di sintetizzare uno stadio di filtraggio di *Butterworth*. Tale topologia di filtri consente di ottenere una regione di transizione relativamente *morbida* tra banda passante e stop-band, la peculiarità principale di tali filtri è quella di avere un trasferimento di tipo monotono e, conseguentemente, priva di ripple, nonché quella di offrire nel range di frequenze della banda passante, il cosiddetto *trasferimento a massima piatezza*.

I filtri di Butterworth vengono descritti da polinomi descritti dalla funzione di trasferimento, Eq.2.3, attraverso la seguente espressione:

$$H(s) = \frac{H_0}{B_n(s)} \quad (2.3)$$

dove H_0 identifica il trasferimento in banda passante, mentre $B_n(s)$ descrive il già citato polinomio di Butterworth. Il filtro di Butterworth è caratterizzato da un numero di poli pari al termine n che ne identifica l'ordine, questi poli sono disposti su un arco di circonferenza nel semipiano sinistro di Gauss e sono posizionati in modo tale da risultare equidistanti fra loro. Il polinomio di Butterworth quindi viene identificato dalla moltiplicazione di un eventuale polo reale e da un certo numero di coppie di poli complessi coniugati, come riassunto in Tab.2.4 fino all'ottavo ordine:

n	Polinomi di Butterworth $B_n(s)$
1	$(s + 1)$
2	$(s^2 + 1.414s + 1)$
3	$(s + 1) \cdot (s^2 + s + 1)$
4	$(s^2 + 0.765s + 1) \cdot (s^2 + 1.848s + 1)$
5	$(s + 1) \cdot (s^2 + 0.618s + 1) \cdot (s^2 + 1.618s + 1)$
6	$(s^2 + 0.518s + 1) \cdot (s^2 + 1.414s + 1) \cdot (s^2 + 1.932s + 1)$
7	$(s + 1) \cdot (s^2 + 0.445s + 1) \cdot (s^2 + 1.247s + 1) \cdot (s^2 + 1.802s + 1)$
8	$(s^2 + 0.390s + 1) \cdot (s^2 + 1.111s + 1) \cdot (s^2 + 1.663s + 1) \cdot (s^2 + 1.962s + 1)$

Tabella 2.4:

Questa struttura polinomiale consente di realizzare un filtro di Butterworth attraverso la cascata di celle attive. Nella tabella appena descritta sono presenti i polinomi di Butterworth in forma *normalizzata*, in cui cioè la pulsazione di cut-off è $1rad/s$.

Il fattore di qualità Q delle celle del second'ordine, indipendente dal cut-off, è dato dall'inverso del coefficienti di primo ordine riportato nel polinomio normalizzato. Fissato l'ordine del filtro n e fissata la pulsazione di cut-off, è possibile dimensionare correttamente il filtro sostituendo ad s l'espressione $\frac{s}{\omega_0}$ nel polinomio di butterworth corrispondente all'ordine del filtro che si vuole realizzare.

Per implementare il filtraggio di Butterworth ad alta frequenza, è necessario determinare l'ordine del filtro, fissare la frequenza di cut-off ed esplicitare i fattori di qualità dei rispettivi polinomi del second'ordine: campionando a 80MHz, si è imposto un limite ragionevole per il quale un contributo in banda dovuto al fenomeno di aliasing, a seguito del campionamento, risultasse inferiore ad un valore ragionevole pari a $1/100$ rispetto al

segnale in banda. In questo modo è stato calcolato che il filtro antialiasing garantisca una attenuazione minima pari a $40dB$ a partire da una frequenza $70MHz$.

Cercando di minimizzare l'attenuazione in banda di segnale e lo sfasamento del segnale in dvuto al filtro, si è scelta un frequenza di cut-off superiore a quella di banda di segnale, considerando il trade-off ordine del filtro e quindi fra numero di celle attive necessarie, larghezza della banda di transizione e sfasamento introdotto dal filtro, sono stati quindi definiti i parametri che descrivono la cosiddetta "maschera del filtro":

- attenuazione massima in banda inferiore a $0.1dB$ (2% del trasferimento in banda);
- banda di segnale limitata a $10MHz$;
- attenuazione di $40dB$ in regione di transizione;
- frequenza massima della regione di transizione a $70MHz$

Da queste condizioni è stata scelta l'implementazione di un filtro di Butterworth del 4° ordine, sintetizzato utilizzando una cella attiva del secondo ordine in configurazione Multiple Feedback ed un filtro risonante RLC in ingresso al convertitore che andremo poi a descrivere nel dettaglio.

In Tab.2.5 sono riassunti i parametri teorici di un filtro del Filtro di Butterworth così dimensionato:

Attenuazione in banda	max $0.1dB$
Banda di segnale	$10MHz$
Frequenza di cut-off	$20MHz$
Attenuazione alla frequenza di cut-off	$-3dB$
Frequenza massima della regione di transizione	$70MHz$
Attenuazione alla frequenza massima di transizione	$< -40dB$
fattore di qualità prima cella	$Q_1 = 541.2 * 10^{-3}$
fattore di qualità seconda cella	$Q_2 = 1.3066 * 10^{-3}$
Attenuazione a fine banda di transizione (@70Mhz)	$-43.5dB$
Attenuazione in banda (@10MHz)	$0.04dB$
Sfasamento in banda (@10MHz)	78°

Tabella 2.5: Parametri teorici per l'implementazione del filtro.

Si è detto che un vantaggio nell'implementazione di un filtro di tipo polinomiale è quella di poter sintetizzare il filtro come cascata di filtri attivi. In questo caso per quanto riguarda la seconda cella di filtraggio si sfrutta la possibilità di porre in ingresso al convertitore un filtro passivo risonante RLC, in considerazione del fatto che solitamente si tende comunque a porre in ingresso al convertitore un filtro passivo utile a minimizzare il rumore a larga banda in ingresso al convertitore.

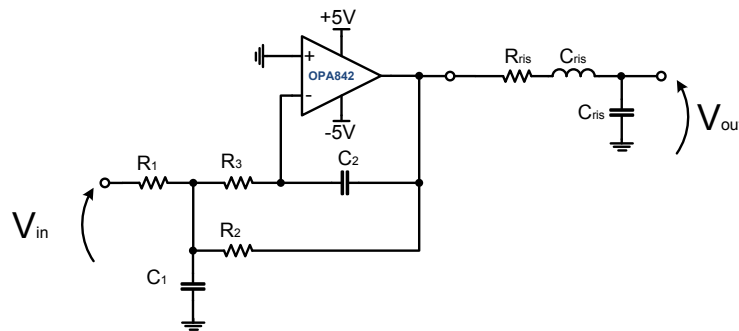


Figura 2.9: Filtro butterworth del 4° ordine composto della cascata di una cella attiva del 2° ordine e di un filtro risonante RLC.

Nella la Fig.2.9 è riportato lo schema del filtro di Butterworth scelto. La struttura in realizzata differisce leggermente da quella che si sta presentando, a causa della presenza del buffer con il quale si effettua il passaggio del segnale da *single ended* a *fully differential*. Al fine della comprensione si tralascia per ora questo aspetto, che per altro in termini concettuali non ha particolare influenza sul dimensionamento della cella di filtraggio stessa. Come si vede in Fig.2.9, il filtro utilizza un'architettura a singola cella invertente, per sintetizzare una prima coppia di poli complessi coniugati. Il dimensionamento della cella attiva, una volta definiti i parametri del filtro si basa sulle seguenti equazioni:

$$\left\{ \begin{array}{l} A_0 = -1 \quad \Rightarrow R_2 = R_1 \\ \omega_0 = \frac{1}{\sqrt{C_1 \cdot C_2 \cdot R_1 \cdot R_3}} \\ Q \cdot \omega_0 = \frac{1}{C_2 \cdot \left[R_3 \cdot \left(1 + \frac{R_2}{R_1} \right) + R_2 \right]} = \frac{1}{C_2 \cdot (2 \cdot R_3 + R_1)} \end{array} \right. \quad (2.4)$$

Per quanto concerne la cella risonante RLC, è possibile dimensionarne i componenti

imponendo le seguenti equazioni:

$$\begin{cases} \omega_0 = \frac{1}{\sqrt{C_{ris} \cdot L_{ris}}} \\ Q = \frac{\omega_0 \cdot L_{ris}}{R_{ris}} \end{cases} \quad (2.5)$$

Imponendo queste equazioni è possibile dimensionare la cella, i relativi valori dei componenti passivi sono presentati in Tab.2.6, risultato di un'ottimizzazione relativa alla minimizzazione del rumore ed atta ad evitare problemi di distorsione dovute alle limitazioni di corrente degli amplificatori. Un'osservazione in tal senso: nel dimensionamento della capacità relativa al filtro RLC è stato tenuto in conto anche il contributo capacitivo ($4pF$) dell'ingresso del convertitore stesso.

R_1	R_2	R_3	C_1	C_2	R_{ris}	L_{ris}	C_{ris}
243Ω	243Ω	374Ω	$47pF$	$22pF$	$36\Omega \cdot 2$	$390nH \cdot 2$	$78pF(+4pF)$

Tabella 2.6: Parametri salienti per l'implementazione del filtro.

A questo punto si hanno in pratica tutti gli elementi per andare a descrivere in maniera completa la parte finale del canale di acquisizione, composto dalle celle di filtraggio e dal buffer incaricato della conversione del segnale da SE a FD. Grazie alla Fig.2.10, si può ora avere la panoramica completa del canale di acquisizione a partire dal blocco di condizionamento della dinamica fino all'ingresso dell'ADC. Il filtro a larga banda non è stato

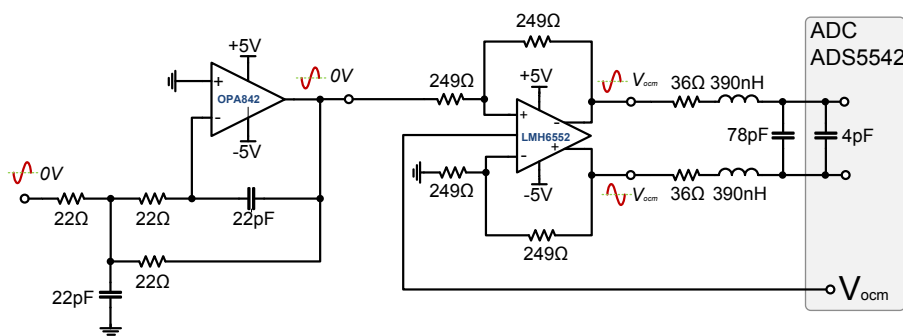


Figura 2.10: Schema della configurazione circuitale del filtro di Butterworth a banda larga.

implementato utilizzando direttamente l'amplificatore fully differential LMH6552 a causa del fatto che la sua architettura è di tipo *Current Feedback*, questo tipo di amplificatore consente di avere una banda larga e garantisce una pendenza del trasferimento in banda inferiore a $0.1dB$ ad una frequenza di $450MHz$. È stata scelta questo tipo di amplificatore

a causa del fatto che le alternative a proposte sul mercato, o non erano in grado di garantire le stesse prestazioni sufficienti in banda, oppure utilizzavano una tipologia di packaging non installabile manualmente sulla scheda. La necessità di implementare anche una cella di filtraggio di Butterworth a bassa frequenza, come richiesto dalle specifiche, implica la necessità di avere una terza cella ed un selezionatore, si è reputato quindi più conveniente utilizzare la cella come semplice convertitore da single-ended a fully-differential, non ritenendo di particolare interesse per lo sviluppo del sistema, cercare di implementare un filtro complesso utilizzando un amplificatore current feedback fully differential.

Ora rimane da dimensionare la cella di filtraggio a bassa frequenza, questa operazione è stata svolta seguendo criteri analoghi a quelli stabiliti per realizzare il filtro antialiasing a banda larga. Considerando quanto detto in precedenza, si cercherà di implementare il filtro utilizzando un solo stadio amplificante, la sua posizione all'interno del canale di acquisizione sarà analoga a quanto rappresentato in Fig.2.12, cioè in parallelo alla prima cella del second'ordine del filtro antialiasing selezionabile e selezionabile attraverso il comando di *Filter Selection*. Da quest'ultima osservazione e considerando una banda di segnale pari a $10kHz$ con attenuazione massima in banda inferiore a $0.1dB$, è stato implementato ancora una volta un filtro di Butterworth del terz'ordine, con frequenza di taglio pari a $40kHz$. La soluzione circuitale, il cui polinomio del second'ordine è stato dimensionato con un fattore di qualità $Q = 1$, in accordo con la Tab.2.4, viene proposta in Fig.2.11. La configurazione, opportunamente dimensionata seguendo i criteri

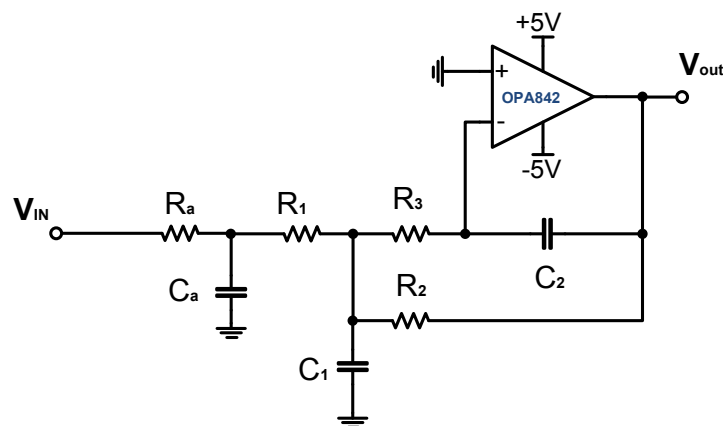


Figura 2.11: Schema della configurazione circuitale del filtro a banda ridotta (a $10kHz$).

di dimensionamento esposti in precedenza, fornisce come desiderato lo stadio di filtraggio antialiasing a tre poli desiderato; tenendo presente poi il limite massimo di contributo in banda per effetto di aliasing pari ad un fattore $1/100$ rispetto a quelli in banda, permette

di ridurre la frequenza di sample sino ad un limite minimo di $200kS/s$. Con il filtraggio realizzato infatti si ottiene un'attenuazione superiore a $40dB$ già a $190kHz$. In Tab.2.7 è riassunto il dimensionamento della cella implementata per questo filtraggio:

R_A	R_{1d}	R_2	R_3	C_A	C_1	C_2
191Ω	191Ω	382Ω	442Ω	$40.3nF$	$33pF$	3.3Ω

Tabella 2.7: Parametri salienti per l'implementazione del filtro.

Una volta capito come sono progettati e dimensionati gli elementi che compongono la catena di acquisizione, si può cercare di riesaminare lo schema a blocchi concettuale di Fig.1.9, cercando di associarlo ai singoli elementi circuitali, per aiutare questa analisi si propone in Fig.2.12, una rappresentazione completa della catena di acquisizione veloce.

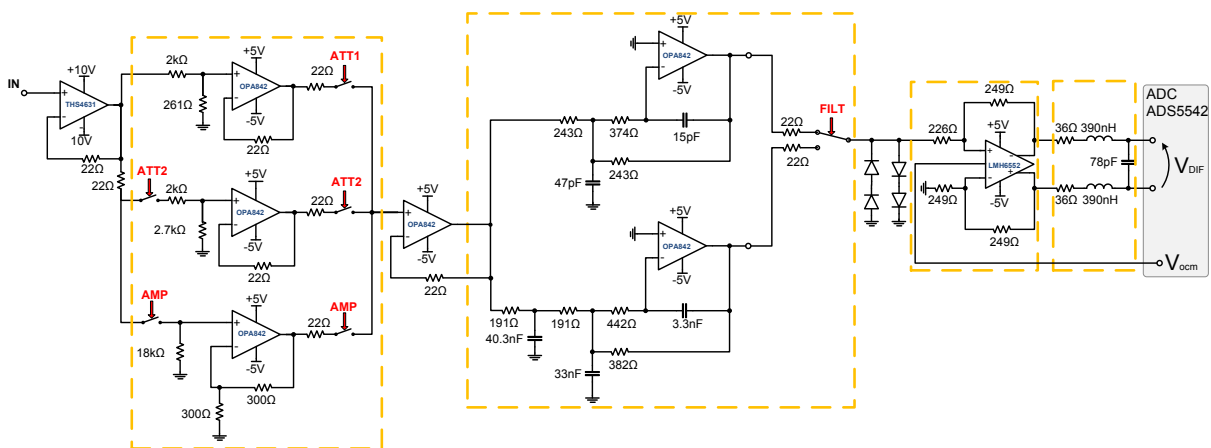


Figura 2.12: Configurazione completa del canale di acquisizione veloce.

In figura sono contornati in i blocchi principali, il blocco di adattamento delle dinamica con i suoi switch di configurazione, il blocco di selezione del filtro, blocco di conversione SE/FD ed il filtro risonante RLC.

Un'altra osservazione, trascurata fin ad ora perché finalizzata per garantire l'affidabilità del sistema e non alla funzionalità del sistema, è legata al circuito di protezione del convertitore ADC, necessario ad evitare che il blocco di conversione SE/FD alimentato a $\pm 5V$, fornisca in condizioni di lavoro anomale, tensioni eccessive al convertitore ADC, alimentato tra 0 e $3.3V$ compromettendone l'integrità. Le prime fasi sperimentali hanno dimostrato come in fase di configurazione dell'FPGA, a causa dell'aggiornamento delle condizioni operative dei driver connessi ai PAD di input/output della stessa, non è possibile mantenere una il controllo delle tensioni digitali di controllo degli switch. Durante

l'upload del firmware infatti, la configurazione dei singoli I/O BLOCK viene aggiornata, in questa fase da misure sperimentali è stato verificato che i PAD vengono mandati in un primo momento in una configurazione ad alta impedenza, dopodiché possono avere alcune rapide commutazioni non deterministiche, per poi stabilizzarsi secondo le condizioni imposte dal firmware stesso. Questo comportamento può innescare l'elettronica a valle, sia questa data dal circuito di comando dei relè che dagli switch integrati utilizzati; In queste condizioni è possibile che uno degli amplificatori finisca in zona di saturazione, in questa condizione si forzerebbe allora in ingresso all'ADC una tensione fuori range, andando a danneggiare irrimediabilmente il dispositivo.

È importante sottolineare anche che la necessità di implementare un circuito di protezione, non è dettata solamente dall'indeterminazione temporanea dovuta all'aggiornamento del bitstream di programmazione dell'FPGA, più semplicemente una tensione di ingresso di quella permessa dalla configurazione selezionata porterebbe in saturazione gli amplificatori di ingresso, questo ancora una volta forzerebbe una tensione di uscita dello stadio fully differential a valori fuori dal massimo range di tensione ammesso dall'ADC danneggiandolo. La documentazione tecnica relativa al convertitore ADS5542, riporta fra gli "absolute maximum rating", una tensione analogica in ingresso riferita a massa pari a $-0,3V$ minimo ed una tensione massima pari a $AV_{dd} + 0.3V = 3.6V$, in altre parole entro questo intervallo è garantito dal produttore che l'ADC non si danneggi.

Partendo dalla considerazione che l'ADC lavora correttamente, la tensione di modo comune è imposta a $V_{cm} = 1.55V$ dal convertitore stesso forzando il modo comune di uscita dell'amplificatore fully differential LMH6552; l'altro assunto è che il segnale differenziale è caratterizzato da una dinamica massima pari a $2.3V_{pp}$. Si può verificare che la tensione, misurata fra un singolo ingresso differenziale dell'ADC e massa, non può superare i: $1.55V \pm \frac{2.3V_{pp}/2}{2} = 1.55V \pm 575mV$; nel caso in cui il segnale differenziale sfrutti tutta la dinamica la tensione al singolo ingresso oscillerà fra $2.125V$ e $975mV$.

La soluzione proposta in Fig.2.12 sfrutta la sovrapposizione di due coppie di diodi posti in contro-fase: a seconda della polarità del segnale di ingresso una coppia di diodi tenderà ad accendersi mentre l'altra sarà polarizzata inversamente.

Attraverso questa soluzione, è possibile mantenere contenuto l'assorbimento di corrente aggiuntivo causato dalla polarizzazione dei diodi in dinamica: in condizioni di massima dinamica sul singolo diodo cadono all'incirca $575mV$ e l'assorbimento di corrente è limitato ad alcuni mA . Risulta invece del tutto trascurabile quello dei diodi in polarizzazione inversa. Per quanto riguarda i parassitismi capacitivi, l'accurata selezione dei diodi ha garantito una componente aggiuntiva assolutamente trascurabile dell'ordine degli $0.5pF$

3.

Per quanto riguarda invece il funzionamento in protezione, il buffer che precede i diodi di protezione è in grado di erogare una corrente massima pari a $\pm 100mA$, i diodi utilizzati garantiscono per una corrente pari a quella massima una caduta di tensione differenziale inferiore ad $\pm 2V$. Riportato ad un ingresso del ADC questo comporta che la tensione di ingresso può al massimo raggiungere un valore pari a $2.55V$, ed uno minimo pari a $0.55V$, valori che rispettano ampiamente i limiti imposti dai massimi valori ammissibili definiti per l'ingresso analogico dell'ADS5542.

Le simulazioni circuitali su transitorio confermano questa analisi; la Fig:2.13 presenta il risultato di una simulazione in cui il canale è stato configurato per gestire una dinamica $\pm 0.5V$, e si confrontino due condizioni: la prima figura presenta il caso in cui il segnale di ingresso di ampiezza $0.5V$ viene correttamente trasferito al convertitore, Fig:2.13a; nel secondo caso Fig:2.13b, viene invece fornito all'ingresso un segnale con ampiezza superiore alla dinamica ammessa, come previsto il circuito di protezione effettua un *clamping* in tensione. Rispetto al limite dettato dagli *absolute maximum rating* del produttore, il

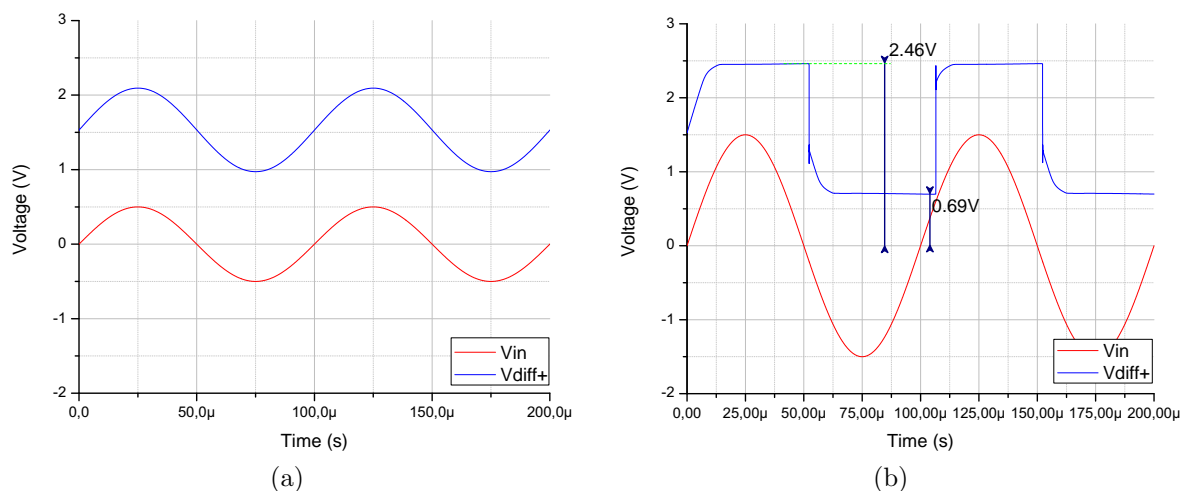


Figura 2.13: Simulazione del funzionamento del circuito di protezione dei convertitori ADC.

circuito di protezione sviluppato è ampiamente conservativo, la tensione al singolo pin di ingresso dell'ADC in caso di protezione si assestano a $2.46V$ e $0.69V$; in fase di testing del sistema, la validità della soluzione è stata verificata e l'affidabilità del sistema è quindi garantita. In figura è possibile notare comunque un leggero peaking di tensione al nodo

³I diodi selezionati per realizzare il circuito di protezione della serie BAV70, prodotti da Philips, sono progettati per applicazioni ad alta frequenza, anche per componenti spettrali dell'ordine di decine di MHz le simulazioni confermano il loro corretto funzionamento.

di ingresso dell'ADC in commutazione, dovuto alla risonanza del filtro RLC. In fase di testing è stato confermato che questi picchi non superano mai i limiti dettati dall'absolute maximum rating ($-3V : +3.3V$) e che pertanto non sono in grado di danneggiare il convertitore.

Ricapitolando, attraverso l'utilizzo degli switch in ingresso si evitano dissipazioni inutili e che le uscite degli amplificatori vadano in saturazione se la dinamica di ingresso è superiore a quella che sono in grado di gestire; il circuito di protezione a diodi invece consente di garantire l'integrità del convertitore in condizioni errata selezione dell'adattamento di dinamica e di riconfigurazione dell'FPGA.

2.2.3 Simulazioni del canale veloce

Vengono qui riportati i principali risultati ottenuti delle simulazioni relative alla progettazione del canale di acquisizione veloce nelle sue diverse configurazioni. Le simulazioni qui riportate riproducono rispettivamente in Fig.2.14a e in Fig.2.14b il diagramma di Bode relativo all'andamento in frequenza del modulo del trasferimento fra il segnale in ingresso ed il segnale differenziale in uscita dal canale di condizionamento.

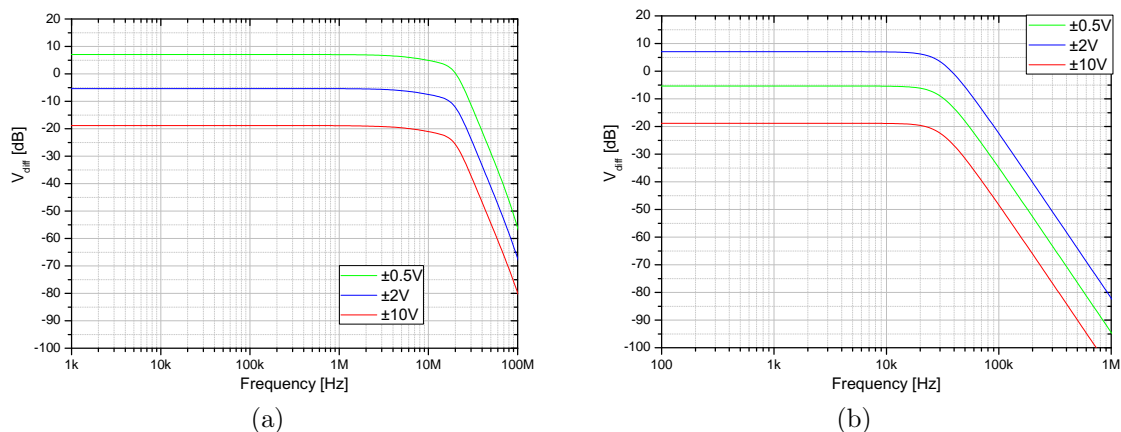


Figura 2.14: In figura vengono proposti i diagrammi di Bode del modulo del trasferimento del canale veloce calcolate in tutte le configurazioni di dinamica, in (a) lo stadio è limitato a $10MHz$ di banda di segnale mentre in (b) la configurazione selezionata limita la banda a $10kHz$.

Da questa figura è possibile confermare i calcoli teorici esposti nel paragrafo 2.2.2, è possibile però vedere dalla Fig.2.14a come alla frequenza limite in banda di segnale si abbia un'attenuazione di circa $2dB$, questa attenuazione è stata associata al buffer di

ingresso, il quale è stato scelto tentando di ottimizzare le contrastanti esigenze di elevata dinamica di ingresso, basso rumore e banda elevata.

Anche in termini di fase il buffer è risultato piuttosto limitante, in quanto contribuisce allo sfasamento del segnale di ingresso in maniera maggiore rispetto a quanto stimato inizialmente: al limite di banda non si ottengono 78° di sfasamento bensì un valore pari a circa 110° . Nel realizzare un nuovo prototipo potrà quindi essere rilevante la ricerca di un buffer di ingresso che offra prestazioni migliori in banda.

Considerando che questo canale verrà sfruttato ad alta frequenza prevalentemente per le misure di impedenza, gli aspetti riportati non sono eccessivamente limitanti, attraverso un'operazione di calibrazione sarà infatti possibile creare una mappatura dell'andamento di modulo e fase del canale, grazie al quale si potrà effettuare l'operazione di correzione. Anche questo aspetto sarà oggetto di sviluppi futuri, ciò non toglie che in previsione di una rivisitazione del progetto sarà possibile migliorare i difetti riscontrati nella prima versione del prototipo.

Per quanto riguarda le simulazioni relative al rumore viene qui proposta la Fig.2.15, per questa simulazione lo stadio di condizionamento è stato configurato per offrire banda di segnale a $10MHz$ e dinamica pari a $\pm 0.5V$. Si è scelta questa configurazione perché caratterizzata da una densità spettrale di rumore complessivamente più alta rispetto alle altre configurazioni di dinamica, questo proprio a causa dell'adattamento di dinamica: con una dinamica di ingresso $\pm 0.5V$ il trasferimento ingresso/uscita differenziale è di fatto un'amplificazione in scala lineare di un fattore 2.3, questo comporta che tutte le componenti di rumore dovute al primo buffer ed allo stadio amplificante abbiano un peso maggiore rispetto ai due casi alternativi di dinamica $\pm 10V$ e $\pm 2V$.

Un aspetto piuttosto critico, nel progettare questo canale, è stato quello di ottimizzare il dimensionamento al fine di rendere il contributo del rumore dell'elettronica di condizionamento meno rilevante possibile.

Considerando la documentazione tecnica relativa al convertitore, viene riportato il dato di rumore RMS complessivo, dovuto al convertitore, come pari a $1.1LSB$, riportando questa termine in tensione di ingresso dell'ADC si determina un valore pari a $154\mu V_{rms}$. Dall'integrazione del rumore ottenuto dalle simulazioni si ottiene un valore RMS pari a $120\mu V_{rms}$, questo è stato a seguito di ottimizzazioni successive il miglior risultato a cui si è giunti ad oggi. Andando a determinare il risultato complessivo del rumore in ingresso all'ADC, si ottiene un termine di rumore RMS pari a $\sqrt{(154\mu V_{rms})^2 + (120\mu V_{rms})^2} = 195\mu V_{rms}$. Questo risultato può essere a sua volta riportato in termini di LSB e risulta $1.4LSB$, pari in pratica ad un aumento percentuale del rumore RMS del 27%. Anche in questo caso lo

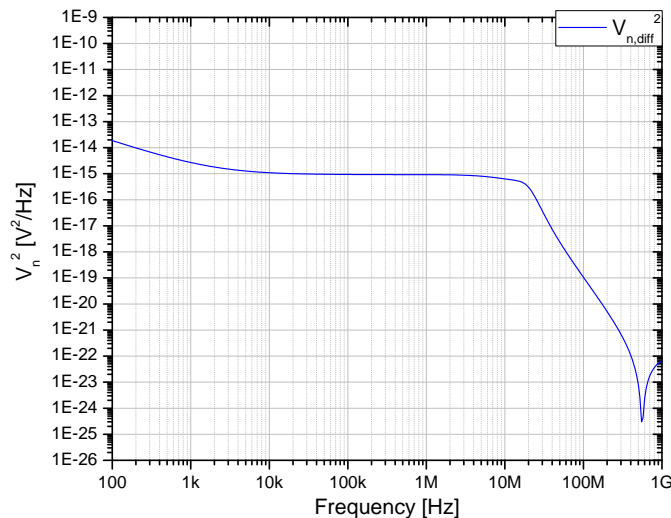


Figura 2.15: Figura rappresentante la simulazione della densità spettrale del rumore in uscita dal canale veloce nella configurazione di dinamica di ingresso $\pm 0.5V$.

sviluppo di soluzioni future, in particolare per quanto concerne questo canale possono essere concentrate verso il raggiungimento di un inferiore impatto del rumore dell'elettronica analogica.

Sulla questione relativa al rumore poi si consideri che, nel caso di misure di impedenza, il metodo di amplificazione lock-in ed in particolare l'operazione di media aumenta, a seconda del numero di operazioni di somma effettuate, il numero di bit di risoluzione complessive. Questi aspetti non vengono trattati al seguito ma vogliono solo puntualizzare che la questione relativa al rumore non è banale risulta importante, sarà quindi necessario studiarla in futuro con maggior dettaglio.

2.3 Architettura dei canali lenti

La progettazione della catena di acquisizione riguardante i cosiddetti *canali lenti* SLOW-1 e AUX, si è rivelata concettualmente simile a quella dei *canali veloci*; in alcuni casi ci si potrà quindi riferire alla trattazione fatta nel relativo paragrafo.

Per cominciare a descrivere i passaggi di progettazione del canale si può fare riferimento alla Fig.2.16 in cui vengono proposti due schemi a blocchi, che sottolinea le varie operazioni di condizionamento svolte sul segnale di ingresso. La differenza tra i due canali *lenti* è la frequenza di taglio del blocco di filtraggio: il canale *SLOW* è limitato in banda, la banda di segnale dettata dalle specifiche risulta pari a $1kHz$ ed il filtro antialiasing sarà caratterizzato da una frequenza di taglio pari a $4kHz$; è stato spiegato infatti che

i segnali da campionare con questo canale hanno componenti spettrali a bassa frequenza (al limite dell'ordine del kHz). Per quanto concerne invece il canale di acquisizione *AUX*, lo sviluppo del front-end è tale lasciare all'utente la possibilità di sfruttare tutta la velocità dell'ADC (sample rate massimo pari a $100kS/s$), grazie al filtraggio del 5°ordine si filtra la banda di segnale con una frequenza di taglio pari a $40kHz$ con uno sfasamento massimo a $10kHz$ di circa 40° . Oltre al filtraggio, su entrambi i canali sono presenti: un

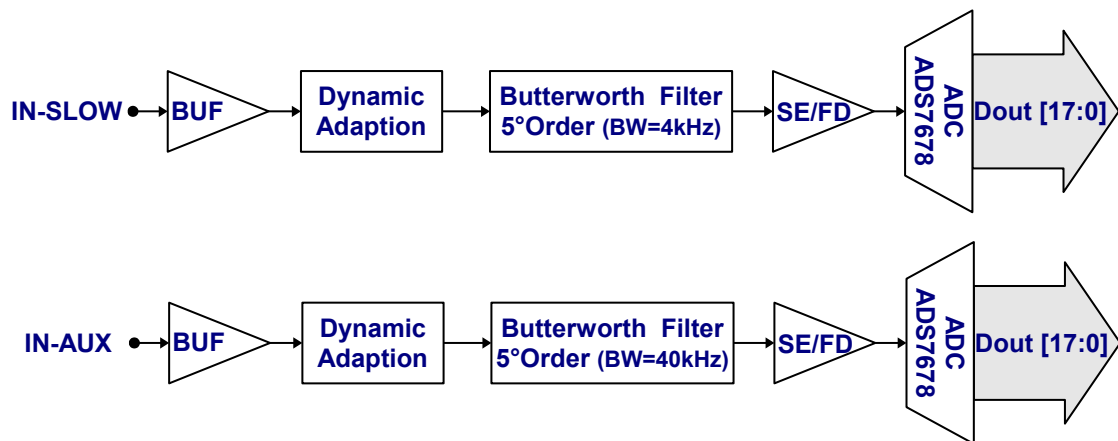


Figura 2.16: Schema a blocchi dei canali di acquisizione lenta, vengono riportati entrambi i canali *SLOW* e *AUX*, questi differiscono per la sola frequenza di cut-off del filtro.

amplificatore utilizzato in fase buffering del segnale in ingresso, uno stadio di adattamento della dinamica dall'ingresso a $\pm 10V$ a quelle che sono le specifiche del convertitore $\pm 5V$ su segnale differenziale; in ultimo si avrà un circuito per la conversione del modo da *single ended* a *fully differential*.

Si comincerà ora a studiare la soluzione circuitale, per far ciò si riferisca alla Fig.2.17a per il dimensionamento del canale *SLOW* ed alla Fig.2.17b per il dimensionamento del canale *AUX*; come si può vedere a livello topologico le due soluzioni sono identiche, non si rende quindi necessario appesantire le trattazioni con spiegazioni ridondanti: analogamente a quanto fatto con la progettazione dei canali *veloci*, si prenderà in considerazione un solo canale ritenendo uguali le condizioni concettuali utilizzate per la progettazione ed il dimensionamento.

Preso come riferimento la struttura del canale *SLOW*, di Fig.2.17a, le prestazioni di questo canale sono meno spinte rispetto a quelle del canale di ingresso veloce e la scelta degli amplificatori single ended AD8610, consente di soddisfare facilmente tutte le spe-

cifiche: ha un GBWP pari a 25MHz più che sufficiente considerando che non sono di interesse frequenze superiori alla decina di kHz , può essere alimentato dualmente fino a $\pm 13\text{V}$, in questo caso si utilizza un'alimentazione duale a $\pm 10\text{V}$, non sarà quindi possibile sfruttarne la dinamica completamente. I parametri di offset poi risultano contenuti, quello di tensione è dell'ordine del centinaio di μV mentre quelli di corrente sono inferiori al centinaio di pA . Lo slew rate di questo tipo di amplificatori è, nel caso pessimo, $40\text{V}/\mu\text{s}$. Utilizzando l'equazione Eq.2.2 è possibile determinare la massima frequenza che può raggiungere un segnale di uscita a piena dinamica senza subire distorsioni: in questo caso si ottiene una frequenza massima pari a $f_{max} = 636\text{kHz}$, che supera abbondantemente la banda di interesse.

Una volta discusso brevemente il buffer, si passa alla realizzazione dello stadio di filtraggio del 5° ordine per ottenere una banda di transizione più stretta evitando di incidere eccessivamente sullo sfasamento del segnale alla frequenza di segnale limite. Facendo riferimento alla Tab.2.4 relativa ai polinomi di Butterworth, è possibile dimensionare lo

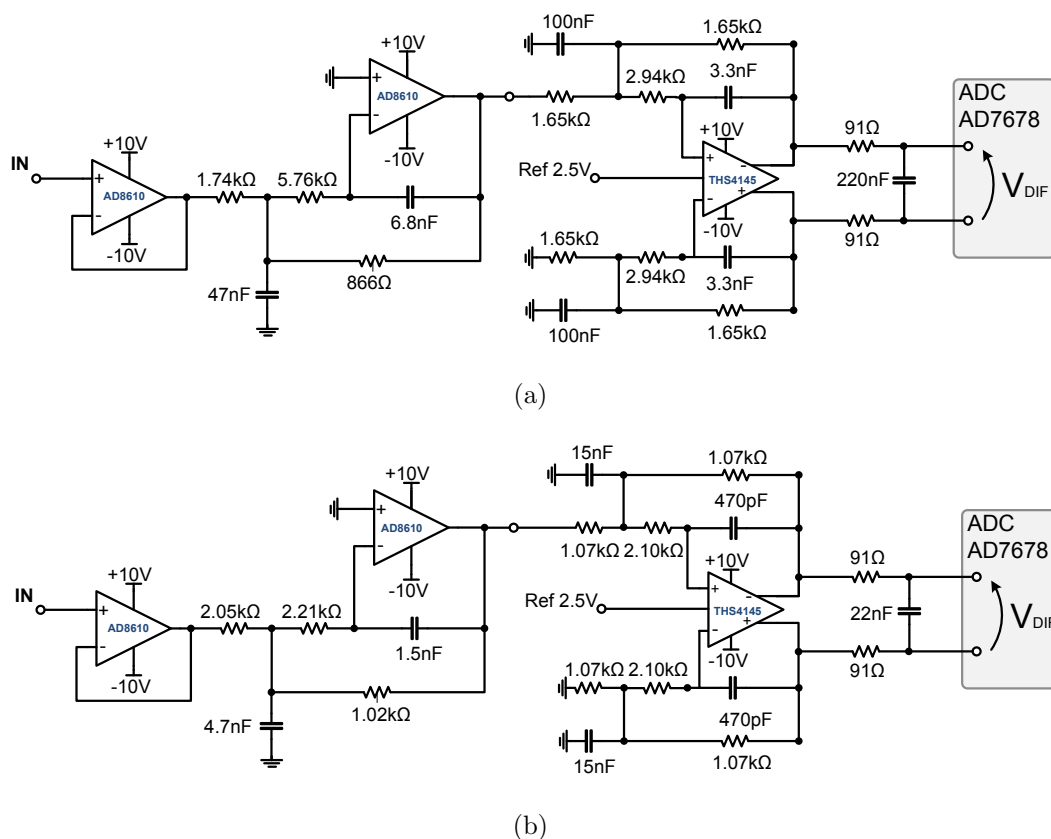


Figura 2.17: In figura (a) viene riportato lo schema completo del front-end di acquisizione del canale *SLOW*; in figura (b) invece si presenta la soluzione circuitale completa per il canale di acquisizione *FAST*.

stadio di filtraggio utilizzando il polinomio normalizzato del 5° ordine qui riportato:

$$(s + 1) \cdot (s^2 + 0.618s + 1) \cdot (s^2 + 1.618s + 1) \quad (2.6)$$

Per implementare questo filtro si è utilizzata la cascata di tre celle: due attive ed una passiva. Come è possibile vedere in Fig.2.17a, per implementare il polo reale a frequenza ω_0 , è stato sfruttata la classica configurazione del filtro del prim'ordine RC in ingresso al convertitore.

Per quanto riguarda l'implementazione dei quattro poli complessi coniugati rimanenti, è necessario scegliere la topologia delle due celle attive. Una volta scelte le topologie, fissata la frequenza di taglio f_0 e noti i fattori di qualità dei due polinomi del second'ordine di Butterworth $Q_1 = \frac{1}{0.618}$ e $Q_2 = \frac{1}{1.618}$, è possibile impostare il dimensionamento.

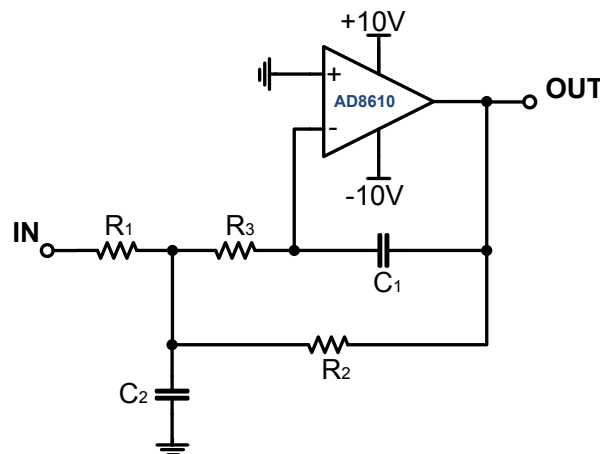


Figura 2.18: Cella attiva a due poli single ended.

Si parta dalla prima cella riportata in Fig.2.9 a p.40, che utilizza la stessa topologia delle celle attive del canale di acquisizione veloce. Con questa cella si vuole imporre il fattore di attenuazione necessario ad adattare la dinamica di ingresso a quella del convertitore. Riprendendo le equazioni proposte precedentemente (Eq.2.4) ed imponendo le condizioni specifiche è possibile dimensionare la cella:

$$\begin{cases} |A_0| = 1/2 \\ \omega_0 = 2\pi \cdot f_0 \quad (4\text{kHz o } 40\text{kHz}) \\ Q_1 = 0.618 \end{cases} \Rightarrow \begin{cases} A_0 = -\frac{R_2}{R_1} \\ \omega_0 = \frac{1}{\sqrt{C_1 \cdot C_2 \cdot R_1 \cdot R_3}} \\ Q \cdot \omega_0 = \frac{1}{C_1 \cdot \left[R_3 \cdot \left(1 + \frac{R_2}{R_1} \right) + R_2 \right]} \end{cases} \quad (2.7)$$

Di seguito vengono riportate le tabelle di dimensionamento relativi alla cella single ended del secondo ordine Tab. 2.8 per il canale *SLOW* e Tab. 2.9 per il canale *AUX*.

f_0	Q_1	R_1	R_2	R_3	C_1	C_2
$4kHz$	1.618	$1.74k\Omega$	866Ω	$5.76k\Omega$	$6.8nF$	$47nF$

Tabella 2.8

f_0	Q_1	R_1	R_2	R_3	C_1	C_2
$40kHz$	1.618	$2.05k\Omega$	$1.02k\Omega$	$2.21k\Omega$	$1.5nF$	$4.7nF$

Tabella 2.9

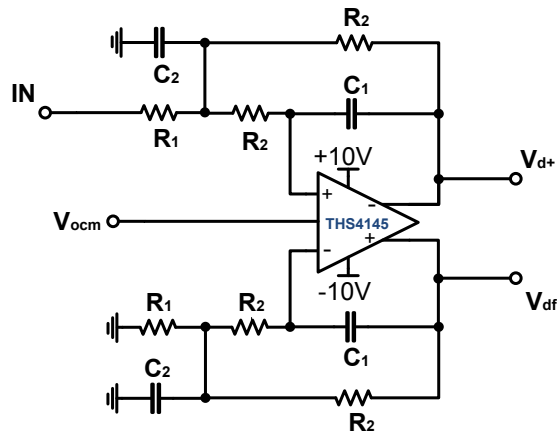


Figura 2.19: Cella attiva a due poli single ended.

La seconda cella, oltre ad implementare la seconda coppia di poli complessi coniugati del filtro antialiasing, realizza la conversione da modo *single ended* a *fully differential*; il dimensionamento viene realizzato utilizzando le Eq.2.7 sostituendo ai vincoli imposti per la prima cella, quelli riportati nelle Eq.2.8 riferiti alla seconda cella.

$$\begin{cases} |A_0| = 1 \\ \omega_0 = 2\pi \cdot f_0 \quad (4kHz \text{ o } 40kHz) \\ Q_2 = 1.618 \end{cases} \quad (2.8)$$

in questo caso il guadagno è unitario in quanto la dinamica è già stata adattata dalla prima cella attiva. Rispettivamente in Tab.2.10 ed in Tab.2.11, sono riportati i dimensionamenti relativi alla cella di filtraggio attiva fully differential del canale *SLOW* e di quello *AUX*.

f_0	Q_2	R_1	R_2	R_3	C_1	C_2
$4kHz$	0.618	$1.65k\Omega$	$1.65k\Omega$	$2.94k\Omega$	$3.3nF$	$100nF$

Tabella 2.10

f_0	Q_2	R_1	R_2	R_3	C_1	C_2
$40kHz$	0.618	$1.07k\Omega$	$1.07k\Omega$	$2.10k\Omega$	$470pF$	$15nF$

Tabella 2.11

A differenza del convertitore ADS5542, utilizzato nel canale veloce, il convertitore AD7678 scelto per realizzare i canali di acquisizione lenti, non fornisce tramite un pin di uscita una tensione con cui forzare il modo comune in ingresso all'ADC stesso; in questo caso allora si è utilizzato un riferimento in tensione da $2.5V$ (*ref3225*) da applicare all'apposito pin di ingresso all'amplificatore fully differential THS4151, come mostrato in Fig.2.20.

Il segnale di ingresso, a dinamica massima $\pm 10V$ single ended subisce quindi dalla prima cella un'attenuazione di un fattore due, lo stadio fully differential invece converte il segnale single ended qui ottenuto con dinamica $\pm 5V$ in uno fully differential con stessa dinamica e modo comune fissato a $2.5V$.

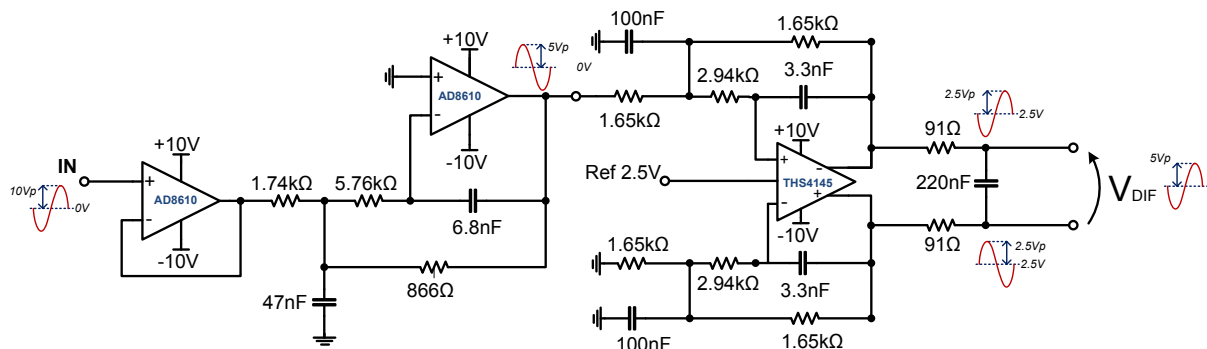


Figura 2.20: Rappresentazione del canale analogico SLOW completo.

2.3.1 Simulazioni del canale lento

In questo paragrafo si riportano alcune simulazioni relative alla realizzazione del canale. In primo luogo si vuole confermare la bontà della progettazione del filtro, in Fig 2.21 viene riportato il grafico relativo al diagramma di Bode dei due canali: è possibile identificare

chiaramente il trasferimento del canale *SLOW* con banda limitata a $4kHz$, e quello del canale *AUX* con banda limitata a $40kHz$.

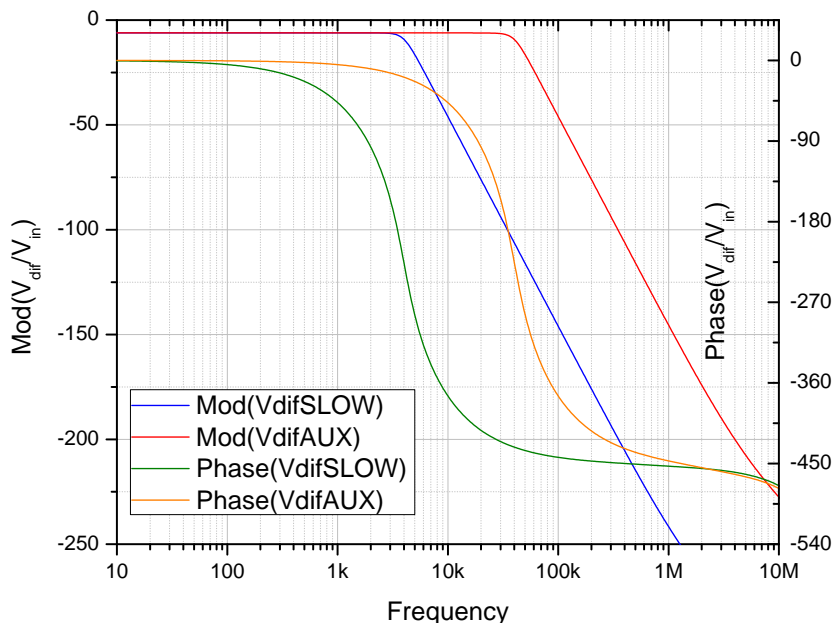


Figura 2.21: Diagramma di Bode relativo al modulo del trasferimento ingresso/uscita differenziale dei canale *SLOW* e *AUX*.

Dalla figura risulta possibile verificare una pendenza pari a $-100dB/dec$ e che lo sfasamento alla frequenza di cut-off risulta in accordo con il calcolo teorico pari a circa 220° , caratteristici di un filtraggio del 5° ordine di Butterworth di questo tipo. Come previsto lo sfasamento complessivo introdotto dalla catena alla frequenza massima ammessa di segnale (rispettivamente $1kHz$ e $10kHz$) è circa pari a 45° .

Prendendo in considerazione i parametri specificati nel datasheet del convertitore AD7678, si consideri che l'LSB del convertitore riportato al suo ingresso differenziale risulta paria:

$$LSB = \frac{10V_{pp}}{2^{18}} = 38.16\mu V \quad (2.9)$$

La documentazione tecnica poi definisce il rapporto segnale rumore SNR, considerando un segnale a piena dinamica ($A_{in} = 5V$), questo parametro risulta pari a $98dB$. Dalla definizione di SNR è quindi possibile determinare il rumore integrato inteso come valore rms che esprime l'integrazione di tutte le componenti spettrali di rumore $S_n(f)$ dovute al solo ADC:

$$SNR = \frac{A_{in}/\sqrt{2}}{\sqrt{\int_{-\infty}^{+\infty} S_n(f) df}} \quad (2.10)$$

Da questa relazione risulta che il contributo di rumore rms del convertitore risulta pari a: $44.5\mu V_{rms}$, che ipotizzato bianco equivale ad una densità spettrale di rumore pari a $112nV/\sqrt{Hz}$. In Fig 2.22 viene presentato il risultato della simulazione del rumore dovuto al front-end analogico in ingresso all'adc, come si può vedere si ha un peaking della curva in corrispondenza delle frequenze di cut-off rispettivamente dei due filtri, questo picco è dovuto al fatto che le componenti di rumore dominanti, relativi alla cella fully differential, vedono un trasferimento equivalente a quello di Butterworth, con soli tre poli, vengono infatti esclusi i due poli complessi coniugati a parte reali dominante, introdotti dalla prima cella; si è quindi in presenza di una risonanza a frequenza ω_0 che domina il trasferimento di questi contributi.

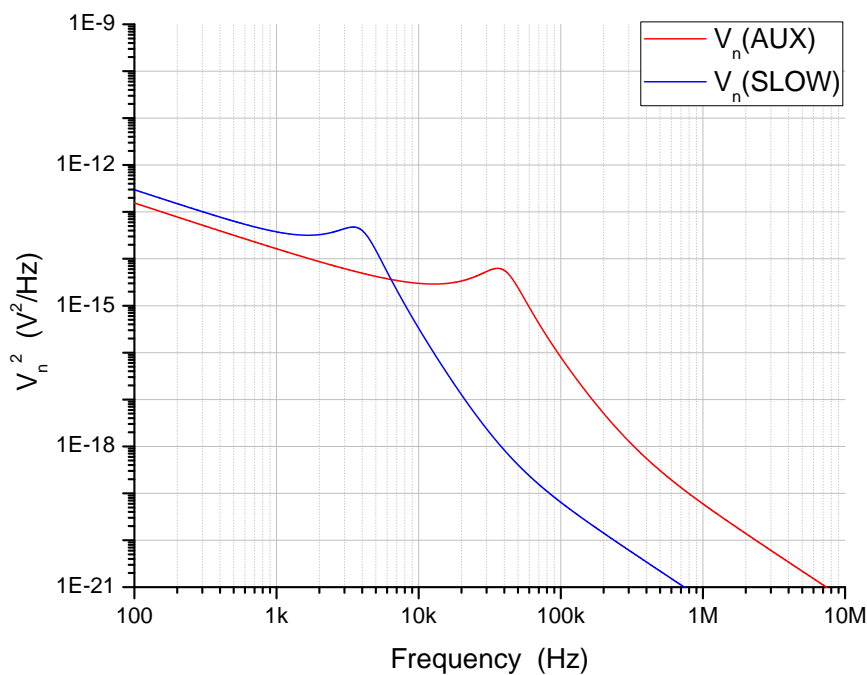


Figura 2.22: Densità spettrale di rumore in ingresso al convertitore ADC dei canali SLOW e AUX.

Le simulazioni di rumore per i due canali danno un contributo complessivo pari a rispettivamente: di poco superiore a $20\mu V_{rms}$ per il canale *SLOW* e di poco inferiore a questo valore per il canale *AUX*, in particolare valgono $20.8\mu V_{rms}$ e $19.7\mu V_{rms}$. Confrontando i risultati ottenuti dalle simulazioni, con il rumore *RMS* calcolato dalle specifiche è possibile rendersi conto che il front-end analogico non incide in maniera rilevante sul SNR compless-

sivo. È possibile calcolare il rumore RMS complessivo considerando che i rispettivi contributi si sommano quadraticamente, otteniamo quindi $V_{nTot} = \sqrt{(V_{nADC}^2 + V_n^2)} = 48\mu V_{rms}$, il peso relativo del rumore dell'elettronica analogica, incide quindi circa per l' 8% sul rumore complessivo; considerando il rumore complessivo integrato da tutto il front-end, questo risulta equivalente a $1.3bit$.

2.4 Convertitori A/D

Partendo dai due canali di acquisizione veloci, si considerino le caratteristiche relative alla sezione digitale dell'ADC: facendo riferimento alla Fig. 2.23, per prima cosa bisogna tenere in considerazione che la tecnologia digitale utilizzata è di tipo CMOS, alimentata $3.3V$, questo garantisce la possibilità connettere in modo diretto convertitore ed FPGA. Il trasferimento dati è di tipo parallelo, si rende quindi necessario un numero di linee di collegamento pari a 14 a convertitore per i soli dati. Relativamente all'interfaccia di uscita dell'ADC è poi presente un clock di uscita $CLOCKOUT$, generato dal clock in ingresso sincrono con il vettore dati ed un bit di *Over Range* OVR, utilizzabile per determinare eventuali acquisizioni di segnali fuori dinamica che possano inficiare la qualità della misura.

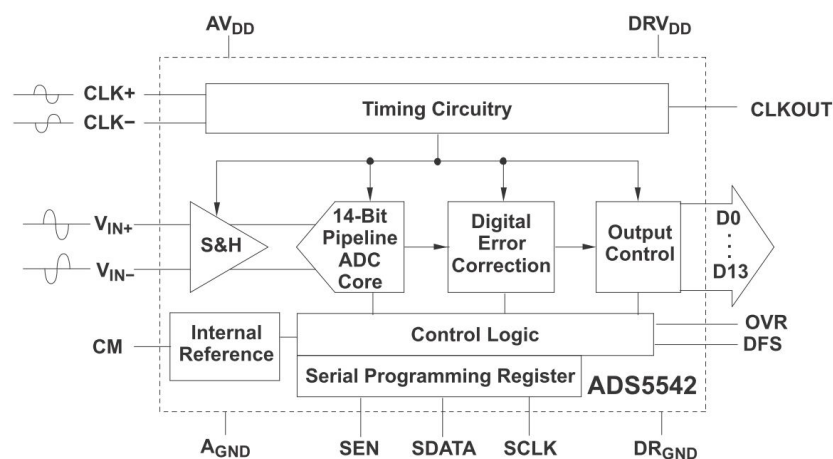


Figura 2.23: Diagramma a blocchi funzionale del ADC ADS5542.

Sempre facendo riferimento alla Fig.2.23, in merito all'interfaccia digitale è possibile notare in ingresso all'adc un clock differenziale, che da specifiche può essere anche di tipo single ended senza subire particolari perdite in termini di prestazione ed una serie di ingressi con cui configurare la logica di controllo del convertitore. Attraverso il pin DFS è possibile configurare due diversi tipi di formato dei dati in uscita (straight offset binary oppure complemento a due), e due differenti polarità di clock (in cui il latching dei dati

può essere sul fronte di salita del segnale di clock oppure su quello di discesa).

Il convertitore è dotato inoltre di un'interfaccia seriale di tipo three-wire, l'interfaccia è composto dai pin SEN, SDATA e SCLK; attraverso questa interfaccia è possibile programmare il convertitore, è possibile impostare le sue normali condizioni di funzionamento, Normal Mode (campionamento alla frequenza di clock in ingresso) o Power-Down (condizione di risparmio energetico a basso consumo). Oltre a questa opzione, non particolarmente rilevante, sono interessanti i rimanenti settings del convertitore: attraverso opportune parole da 16 bit è infatti possibile configurare dei registri interni al convertitore che pongono l'ADC in modalità di test. Esistono tre modalità di funzionamento:

- Tutti i pin di dati forzati a '0';
- Tutti i pin di dati forzati a '1';
- Ogni pin di output viene commutato fronte di clock.

Queste tre condizioni di funzionamento per quanto banali consentono di verificare il funzionamento del convertitore, è possibile verificare che tutte le uscite possano essere forzate a '0' o a '1', è possibile verificare che clock e dati di uscita siano sincroni e che l'interfaccia di lettura dei dati operi correttamente.

Un pin, non riportato in Fig.2.23, è l'*Output Enable* o OE, se disattivato dall'utente basso manda i pin di uscita in configurazione alta impedenza, se attivo ($OE = '1'$) invece abilita le uscite alla commutazione.

Una volta effettuato il debugging del front-end, grazie ad un opportuno controllo del clock di input e di OE non è necessario utilizzare l'interfaccia seriale, questo rende più semplice il controllo dell'ADC. Dalla documentazione tecnica riguardante il convertitore, emerge che disabilitare il clock di ingresso forza automaticamente l'ADC in condizioni di power-down; riattivando il clock di input e superando la frequenza di $2MHz$ l'ADC viene riattivato, in questo caso può risultare conveniente utilizzare OE per abilitare le uscite. È necessario poi tenere presente che, per garantire di avere clock di uscita e dati correttamente sincronizzati è necessario aspettare un tempo pari a 1000 cicli di clock.

Per quanto riguarda i convertitori lenti in Fig.2.24 viene riportato il diagramma funzionale del convertitore, degne di nota sono le osservazioni relative all'alimentazione: il convertitore funziona con un'alimentazione pari a $5V$, sia per quanto riguarda l'elettronica relativa all'ingresso analogico, sia per l'elettronica puramente digitale di gestione e controllo del sistema. Per quanto riguarda i driver che pilotano le linee digitali di uscita

è invece possibile fornire un'alimentazione esterna, questo consente di evitare di utilizzare traslatori di livello in considerazione del fatto che l'FPGA lavora con alimentazione pari a $3.3V$. Questo non succede invece per quanto riguarda le linee digitali di ingresso che richiedono invece un adattatore di livello che converta i segnali digitali con dinamica $0 - 3.3V$ in uscita dall'FPGA in segnali $0 - 5V$, compatibili con l'alimentazione digitale dell convertitore.

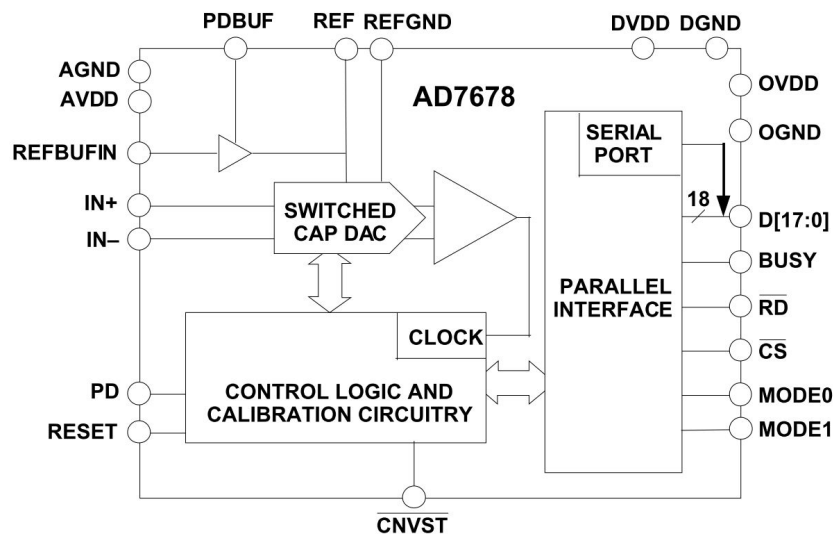


Figura 2.24: Diagramma a blocchi funzionale del ADC AD7678.

L'AD7678 è dotato poi di interfaccia dati configurabile, è possibile scegliere fra diverse tipologie di trasmissioni dati, principalmente si può considerare una trasmissione di tipo puramente parallelo oppure una seriale, al limite a tre fili. Questo aspetto inciderà sul numero di PAD necessari a connettere l'FPGA con il front-end, in previsione di fondere in un unico strumento i sistemi di generazione e acquisizione è infatti necessaria una minimizzazione delle connessioni verso l'FPGA da parte dei due sistemi; considerando poi che la frequenza di throughput massima dell'ADC è pari a $100kS/s$, e che è stato scelto un clock a $5MHz$ per gestire i canali lenti, si capisce che la trasmissione di questi dati via interfaccia seriale non comporta problemi nella gestione dei campioni in ingresso.

Un'altra nota piuttosto rilevante per quanto riguarda i canali *lenti* è che a differenza di quelli veloci non sono caratterizzati da un clock di ingresso per la conversione, dotato di un proprio clock interno per la conversione, l'AD7678 necessita di un solo comando di *Start Of Conversion*, Attraverso questo comando quindi verranno implementati dei moduli di controllo tali che l'utente abbia la possibilità di modulare la frequenza di campionamento a piacimento fino ad un massimo di $100kS/s$.

Capitolo 3

Architettura digitale

Assunto che nel capitolo precedente sono stati introdotti i principali aspetti relativi alla progettazione del front-end di acquisizione: stadi di condizionamento, filtraggio anti-aliasing e convertitori analogico-digitali; in questo capitolo si vogliono descrivere le scelte progettuali fatte per la realizzazione del sistema di controllo ed elaborazione digitale, della realizzazione del firmware e della programmazione di un'interfaccia grafica che consenta la configurazione del sistema e l'acquisizione da parte dell'host dei campioni di misura. Si cercherà di motivare la scelta di realizzare la logica di controllo utilizzando una FPGA; si procederà poi con l'introdurre i concetti relativi al sistema di comunicazione con l'Host attraverso l'USB interface.

Gli ultimi paragrafi saranno incentrati sulla realizzazione degli specifici sistemi di controllo, si affronterà una breve descrizione degli algoritmi, implementati in codice VHDL per la realizzazione del firmware e l'implementazione del software, realizzato con il linguaggio di programmazione Visual Basic.

3.1 Field Programmable Gate Array

Ipotizzando di avere un front-end A/D correttamente realizzato, il passo successivo è legato alla progettazione del sistema digitale: questo dev'essere in grado di configurare la sezione analogica, di comandare correttamente i convertitori attraverso un protocollo di comunicazione e di acquisire in maniera corretta i campioni convertiti in formato digitale. Non meno importante l'implementazione dell'architettura digitale, prevede una pre-elaborazione dei campioni, che consenta di sollevare almeno in parte il computer dall'onere di processamento dei dati.

Per la realizzazione della logica di controllo e di processamento ad alta velocità, si è scelto di utilizzare una FPGA, *Field Programmable Gate Array*. Le FPGA sono sicuramente fra i dispositivi logici programmabili più utilizzati e consistono essenzialmente in un insieme di blocchi di logiche programmabili, connesse attraverso una complessa rete interconnessioni configurabili [A.03], [PK87]. La possibilità di mettere in comunicazione questi blocchi di logica digitale con il mondo esterno, attraverso una numerosa serie di porte di *input/output* (IOB), anch'esse configurabili, l'integrazione nel dispositivo di sistemi digitali specifici quali DCM (Digital Clock Manager), moltiplicatori o anche, a seconda delle tecnologia, di processori di tipo RISC, nonché la possibilità di correggere eventuali errori o modificare l'implementazione del sistema digitale attraverso una riconfigurazione dell'FPGA ha reso questa soluzione vincente in molti settori di mercato in cui è rilevante l'ottimizzazione dei parametri *Time To Market* e di *Customization* del prodotto.

Un aspetto fondamentale relativo all'utilizzo dell'FPGA, è legata all'intrinseca concorrenzialità dei diversi processi. A differenza della gestione di un sistema digitale e del processamento di dati attraverso un processore e quindi di un software, che intrinsecamente funziona in maniera seriale, i diversi processi implementati su di una FPGA lavorano in maniera completamente parallela; ciò permette ad esempio di acquisire contemporaneamente campioni da quattro ADC diversi, ma anche di elaborare questi dati in tempo reale (*run time*), si perde in pratica l'intrinseca serialità di un "programma" in favore del parallelismo. La progettazione del sistema digitale viene realizzata attraverso uno specifico linguaggio, il VHDL *VHSIC Hardware Description Language*, dove VHSIC è l'acronimo di *Very High Speed Integrated Circuit* [Ska96]; questo è un "linguaggio di descrizione", ossia un linguaggio attraverso il quale è possibile descrivere il comportamento del sistema digitale non in termini circuitali, ma in termini di funzionalità di alto livello.

Una volta realizzato il codice VHDL del sistema digitale, questo dev'essere sintetizzato e mappato, farne il routing, in altre parole si fa ricorso ad un pacchetto software (ISE) in grado "tradurre" il codice nell'insieme di blocchi logici digitali e di realizzarne, attraverso la conoscenza specifica del tipo di FPGA utilizzata e di un'euristica apposita, la topologia intesa come configurazioni delle CBL (Configurable Block Logic) e dei blocchi di rout. Il vantaggio nell'utilizzare un'FPGA sta nella sua peculiare caratteristica di configurabilità e concorrenzialità. Per quanto riguarda la configurabilità, attraverso l'upload di diversi bitstream diverso è infatti possibile implementare sistemi digitali completamente differenti; nel caso specifico considerando la diversa natura delle tipologie di misure che questa architettura deve supportare, attraverso la realizzazione di specifici moduli di elaborazione è infatti possibile ottenere un "sistema dedicato" ad ogni tipo di misura.

Il naturale parallelismo dei processi realizzati tramite FPGA invece consente invece di ge-

stire contemporaneamente diverse operazioni, permettendo il controllo di molteplici canali di acquisizione in maniera indipendente.

3.2 Opal Kelly XEM3010

Per far fronte a diverse esigenze, quali la riduzione del tempo di progettazione, la necessità di avere a disposizione della memoria RAM e non ultimo, la possibilità di comunicare in maniera semplice con un Host attraverso un'interfaccia standard quale l'USB, si è scelto di utilizzare il modello commerciale: *XEM3010* [Inc06], prodotta dalla Opal Kelly Inc Fig.3.1 è una scheda di sviluppo che integra una FPGA *Xilinx Spartan-3* con diverse periferiche utili.

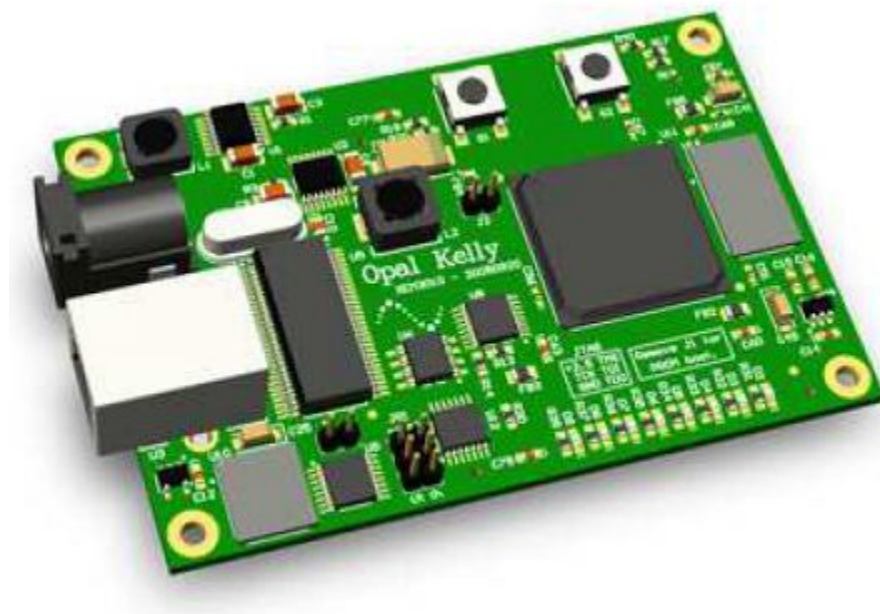


Figura 3.1: Rappresentazione 3D della XEM3010, dimensioni 7.5cm x 5cm.

La scheda è corredata da un insieme di periferiche on-board fra cui: un sistema di comunicazione USB-2.0, una memoria da 32MB SDRAM, una PROM di configurazione, un sistema di alimentazione switching ad alta efficienza, un dispositivo integrato di generazione di segnali di clock ed infine due connettori a 80pin per collegare l'FPGA al mondo esterno; in Fig.3.2 viene riassunta graficamente l'architettura della XEM3010.

Sulla scheda è presente un microcontrollore USB (CY7C68013A) di Cypress, questo microcontrollore è connesso all'FPGA attraverso un bus a 24 pin, chiamato Host Interfa-
ce. La presenza di un microcontrollore di questo tipo rende la scheda una periferica

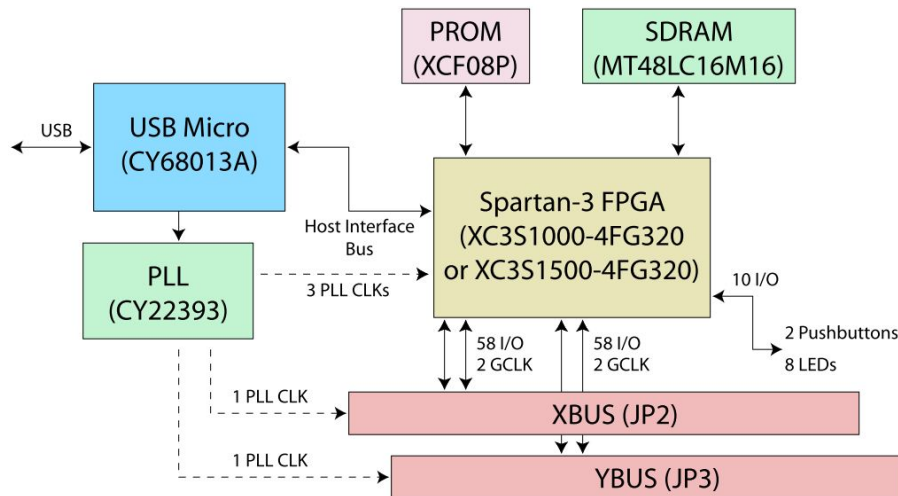


Figura 3.2: Schema a blocchi dell'architettura interna della XEM3010.

USB direttamente riconoscibile dal PC, richiede solamente l'installazione di un driver, semplificando le procedure di setup. Affinché sussista un canale di comunicazione fra la scheda ed il PC, normalmente viene utilizzato il *Front Panel*, una piattaforma software dell'Opal Kelly che contiene librerie DLL (Dynamic Link Library), specifiche per gestire la comunicazione dell'FPGA con il PC.

Queste proprietà sono rilevanti considerando che il setup usato fino ad ora risulta piuttosto complesso, semplificando le operazioni di installazione si forniscono i mezzi per aumentare l'efficienza nei tempi di misura. Oltre a questo aspetto è importante sottolineare che, utilizzando l'Opal Kelly, il progettista non è sobbarcato dell'onere di realizzare un sistema di comunicazione ad-hoc, fra FPGA e Host, grazie alla comunicazione attraverso l'USB ha a disposizione un sistema standard comune di trasmissione dati. L'Opal Kelly inoltre offre la possibilità di effettuare l'upload del bitstream, attraverso la comunicazione USB, questo è una proprietà notevole considerando che i diversi bitstream generati possono essere selezionati attraverso la GUI e caricati istantaneamente.

Questi aspetti quindi permettono ad esempio di realizzare con lo stesso setup tutte le diverse misure, gestendo il tutto via software. La memoria SDRAM è la MT48LC16M16A2BG-75:D di Micron [Inc99], da 32MB, organizzata in parole da 16 bit; la memoria è connessa esclusivamente all'FPGA ed il suo massimo clock rate è di 133MHz. La XEM3010 è equipaggiata poi di un generatore di clock (CY22393 di Cypress) con tre PLL indipendenti, il segnale di timing sorgente viene fornito dal microcontrollore dell'USB ed ha frequenza pari a 48MHz. I PLL possono essere configurati per ottenere fino a cinque segnali di clock diversi, con frequenza massima pari a 150MHz; tre clock sono disponibili in ingresso ai

clock buffer dell'FPGA, i due rimanenti sono a disposizione dell'utente attraverso i connettori di espansione. Il primo clock in ingresso all'FPGA è anche il clock fornito alla memoria SDRAM.

I connettori di espansione ad alta densità, 80 pin ciascuno, collocati sul lato inferiore della XEM3010 consentono un montaggio compatto della scheda. Alcuni pin possono essere utilizzati per avere accesso alle alimentazioni (5V, 3.3V, 1.2V), ai pin di massa della scheda ed ai segnali di clock generati dai PLL. I 116 pin di rimanenti sono connessi alle porte di ingresso/uscita dell'FPGA.

3.2.1 Comunicazione con l'Host

Il Front Panel [Inc05] è una piattaforma software utilizzabile per programmare e controllare l'FPGA in modo semplice e flessibile, permettendo di ridurre i tempi di sviluppo. Il compito principale del Front Panel è quello di trasferire dati da PC a FPGA, e viceversa; questo avviene attraverso i cosiddetti “*endpoint*”: gli endpoints sono un insieme di connessioni terminali, interne al sistema digitale sintetizzato sull'FPGA, che permettono il trasferimento di dati da o verso il PC Host. Front Panel gestisce gli endpoints per mezzo di un bus, l'Host Interface, che gestisce la comunicazione effettiva fra FPGA ed il microcontrollore USB. Tutti gli endpoints condividono quindi un bus comune, per accedere al singolo endpoint indipendentemente dagli altri ad ognuno è associato un indirizzo univoco.

Gli endpoints sono definiti come vettori di *16bit* ma possono essere di diverso tipo. La prima distinzione ovvia è data dalla direzione di comunicazione, possono infatti essere endpoints di input *IN* o di output *OUT*; la comunicazione viene sempre vista lato FPGA, ciò comporta che un endpoint di input abbia direzione “da PC ad FPGA”, mentre un endpoint di out preveda un flusso di dati “da FPGA verso PC”. Sono poi distinte le differenti tipologie di endpoints secondo la modalità di comunicazione, si distinguono rispettivamente: i *Wire*, i *Trigger* e i *Pipe* [Inc05].

I *Wire* costituiscono una connessione asincrona fra PC e FPGA, vengono utilizzati per definire segnali di stato fra i due. L'aggiornamento dei *Wire* avviene a seguito di un comando del PC, che ricopre sempre il ruolo di *Master* nella comunicazione con la scheda; il tempo minimo che può intercorrere fra due aggiornamenti consecutivi è di circa *25ms*. È importante sottolineare che a seguito di un evento di aggiornamento, tutti i *Wire* vengono letti o scritti contemporaneamente da parte del PC.

Gli endpoints di *Trigger* realizzano una connessione di tipo sincrono tra il PC e l'FPGA; in altre parole un evento di trigger viene sincronizzato con un segnale di sincronismo, un clock di riferimento, che può essere utilizzato per comunicare con dei processi sincroni implementati sull'FPGA e sincronizzati con lo stesso clock dell'endpoint di Trigger associato. Un Trigger-In può essere ad esempio utilizzato per generare un segnale di start o stop per una macchina a stati. Il bit selezionato per generare l'evento di trigger viene attivato per un solo ciclo del clock associato all'endpoint.

Ad un evento di trigger quindi un solo uno dei 16 bit a disposizione di un endpoint di trigger, può essere attivato e rimane attivo per un solo ciclo del clock con cui l'endpoint viene sincronizzato.

L'ultimo tipo di endpoint è il *Pipe*: questo tipo di endpoint è stato implementato per garantire all'utente di avere un metodo con cui trasmettere un numero molto elevato di dati ad alta velocità; anche in questo caso la comunicazione è di tipo sincrono. L'utilizzo degli endpoints di tipo Pipe può quindi essere sfruttato per implementare la comunicazione fra PC-Host e memoria, metodo sfruttato nel progetto del front-end di generazione di segnali [Lus10] per memorizzare i campioni relativi a forme d'onda arbitrarie da generare, con cui viene pilotato un DAC. Se si considera l'acquisizione ovviamente la direzione di trasmissione dei dati è opposta, si cercherà quindi di implementare una comunicazione dalla RAM, in cui verranno immagazzinati i campioni eventualmente preprocessati verso il Pc-Host. In figura Fig.3.3, viene riportato uno schema a blocchi che rappresenta la tipica configurazione degli endpoints collegati all'Host Interface: utilizzando gli endpoint di WireIn il sistema può essere configurato, attraverso i Trigger di input e di Output è possibile fornire alle macchine a stati i comandi di *start* e leggere i segnali di *done*. Tramite i WireOut si possono passare al PC informazioni di stato o comunicare dati a bassa frequenza; Gli endpoint di PipeIn e/o di PipeOut invece possono essere utilizzati per caricare o leggere dati ad esempio dalla Ram integrata sull'Opalkelly. Ricapitolando, esistono sei tipologie di endpoints: *Wire-In*, *Wire-Out*, *Trigger-In*, *Trigger-Out*, *Pipe-In* e *Pipe-Out*, per ogni tipologia di endpoint possono esserne definiti 32 differenti caratterizzati da un indirizzo a *8bit* univoco, da utilizzare per definire la comunicazione. Per ogni tipologia di endpoint possono quindi essere definiti alcuni parametri fondamentali. I *Wire* sono caratterizzati, come detto, da un vettore dati pari a *16bit* e da un vettore indirizzo pari a *8bit*. I *Trigger* avranno anch'essi un vettore da *8bit* di indirizzamento ed un vettore dati pari a *16bit* di cui però un solo bit alla volta può essere asserito alto, in sincronismo con il clock di riferimento associato. Per i *Pipe* invece il dato viene trasmesso sempre attraverso un vettore da *16bit* di dati, e specificato attraverso *8bit* di indirizzamento ed un

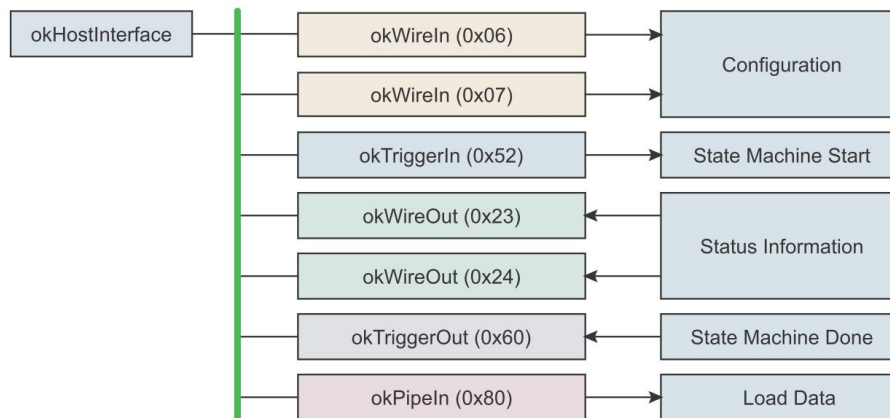


Figura 3.3: Alcune configurazioni possibili degli endpoints.

segnale di enable per controllare le operazioni di lettura o scrittura ¹.

I Pipe sono sincronizzati con il clock da $48MHz$ utilizzato dal microcontrollore per gestire la comunicazione USB, nel caso in cui questo clock non sia quello di sistema è necessario sempre servirsi di una FIFO in grado di interfacciare il sistema ed il pipe sincronizzandone il flusso dati. La FIFO dev'essere caratterizzata da due clock differenti per le operazioni di lettura e di scrittura e profonda abbastanza da scongiurare il completo riempimento durante gli intervalli temporali in cui l'accesso al PC non è abilitato (dell'ordine delle centinaia di *ms*).

3.3 Panoramica dell'unità di controllo e di elaborazione

L'unità di controllo ed elaborazione è stata progettata per costituire una struttura flessibile, in grado di essere adattata a diverse tipologie e condizioni di misura; tutto questo è possibile attraverso la sua struttura modulare: se da un lato i blocchi di comunicazione con i convertitori, la RAM e l'Host sono determinati, dall'altro si ha la possibilità di implementare diverse configurazioni di elaborazione. L'idea di base del sistema di controllo, acquisizione ed elaborazione, è fornita dalla Fig.3.4, dove viene riportata l'architettura progettata. Si consideri prima di tutto in come sia evidente un blocco chiamato "*PROCESSING BLOCKS*", questo blocco, non identifica una particolare configurazione digitale,

¹Le operazioni di controllo della comunicazione di tipo Pipe sono tutte a carico del computer. Nel caso in cui si voglia svolgere un'operazione di lettura di parole definito dall'FPGA si rende quindi necessaria la comunicazione delle numero di parole che devono essere lette dal PC, attraverso un Wire aumentando il tempo complessivo dell'operazione di lettura.

racchiude in sé le proprietà di flessibilità del sistema. Un qualsiasi tipo di elaborazione, sotto l'ipotesi che rispetti i vincoli legati alle prestazioni dello strumento sviluppato, può essere realizzata mediante la progettazione di uno specifico blocco di elaborazione. Il progettista quindi non deve occuparsi della gestione di più “*basso livello*” delle singole periferiche, ma si può concentrare sull'implementazione del blocco di elaborazione specifico. Eventualmente modificando la GUI (interfaccia utente) ad alto livello², e aggiungendo o modificando gli endpoints relativi al comando del blocco stesso. Verrà riportato in questo capitolo un esempio di come sia possibile implementare un blocco di elaborazione in maniera piuttosto semplice, utilizzato anche per proporre un primo set di misure sperimentali.

In alcuni casi, come ad esempio quello relativo all'acquisizione di singoli campioni asincroni dal canale *AUX*, potrebbe non essere richiesta un'elaborazione run-time dei dati, si assiste in queste condizioni ad un semplice trasferimento del campione digitale dall'FPGA al PC-Host.

Si cercherà da ora di utilizzare uno schema logico down-top, di risalire cioè la catena di acquisizione dai convertitori verso il PC: si partirà con l'introduzione dei moduli di interfacciamento e controllo dei convertitori, procedendo a salire verso blocchi a più alto livello come la struttura dei diversi endpoints di comunicazione dei dati all'PC.

Sono stati sviluppati due diversi moduli di interfacciamento dei convertitori con il sistema di controllo: *ADC_FAST_CONTROLLER* e *ADS_SLOW_CONTROLLER*; le due differenti tipologie di convertitori infatti si interfacciano in maniera diversa con l'unità incaricata di controllarle. Per ora questi moduli verranno considerati delle *black box*, che verranno spiegate con maggior dettaglio nei paragrafi successivi, limitandosi a fornire alcune informazioni utili a comprendere l'architettura nel suo insieme.

A prescindere dal tipo di convertitore, i relativi moduli di controllo garantiscono la possibilità di effettuare acquisizioni di un singolo campione asincrono, attraverso un opportuno segnale di start proveniente dall'PC, oppure di garantire l'acquisizione continua di campioni alla frequenza di sample relativa all'ADC considerato. Al PC è garantito il controllo della configurazione del blocco di acquisizione, attraverso alcuni bit forniti all'FPGA, per selezionare le due modalità di funzionamento che lo sviluppatore e successivamente l'utente potranno utilizzare per una specifica misura.

Come si può notare in Fig.3.4 sussistono delle differenze sostanziali fra i due *controller* supportate dalle osservazioni fatte relativamente ai convertitori nel paragrafo 2.4. I

²Le modifiche della GUI non è un'operazione di particolare difficoltà grazie all'implementazione del programma in Visual Basic, un ambiente di programmazione semplice e dotato di molti tools di debugging.

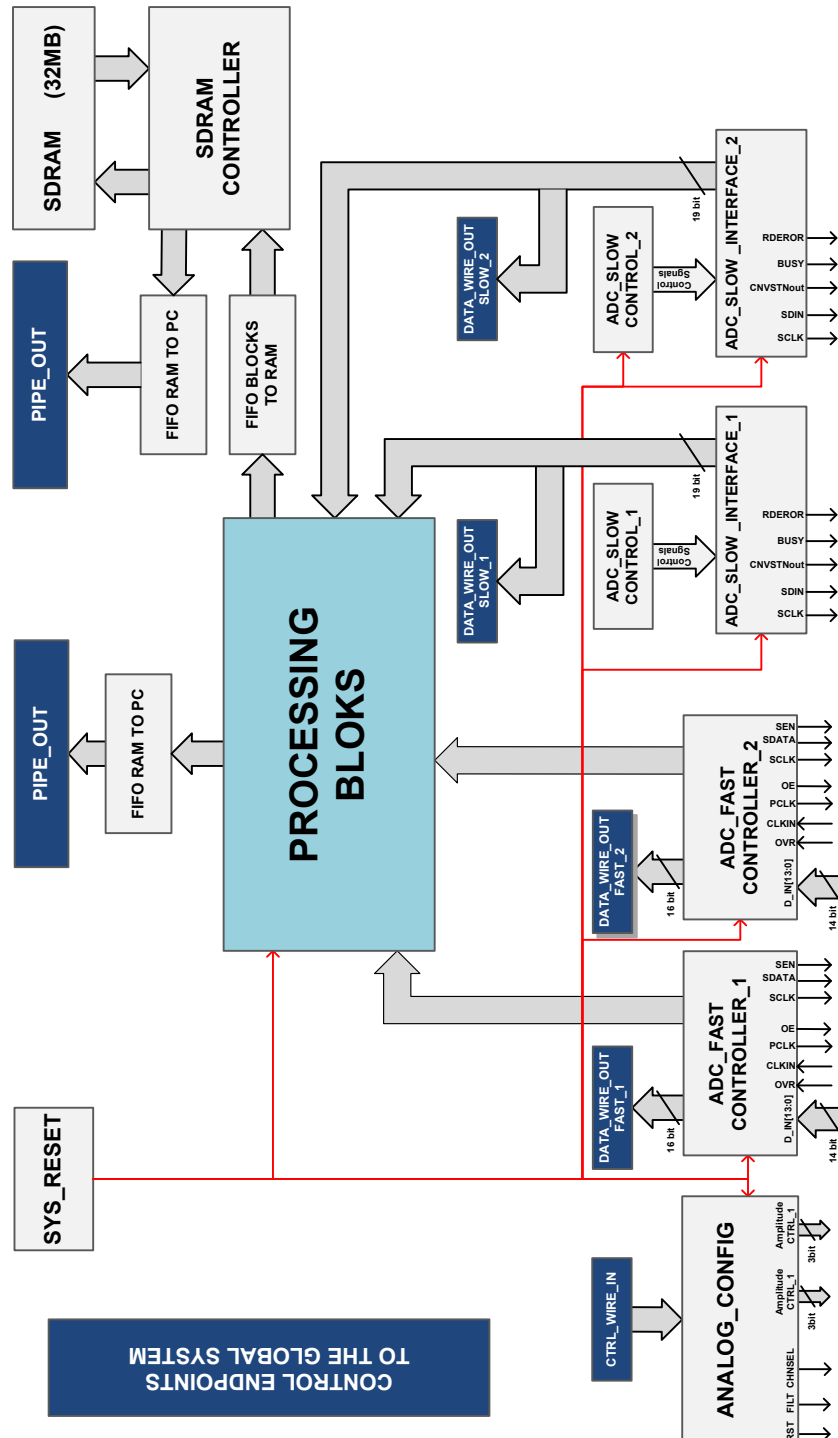


Figura 3.4: Configurazione modulare del sistema digitale di controllo e di elaborazione.

convertitori *veloci* sono dotati di un interfaccia dati di tipo parallelo a 14bit , necessaria a garantire l'elevato sample-rate del convertitore. Il *controller* ha quindi un ingresso dati a 14bit , il vettore dati in uscita dal controller presenta invece una larghezza pari a 16 bit; questo si può spiegare facilmente: per prima cosa è stato aggiunto al vettore dati il bit di *Over Range* OVR, utilizzabile per tenere traccia di eventuali errori nell'acquisizione. Il secondo bit aggiuntivo invece viene definito di *FLAG*, può essere considerato un bit di servizio, l'utilizzo tipico prevede la negazione del suo stato logico ad ogni acquisizione avvenuta, tramite questa informazione la GUI può verificare l'effettiva acquisizione di un nuovo campione nel caso di acquisizione di un singolo campione o nel caso di acquisizione continua, scongiurare la perdita di campioni.

La necessità nell'utilizzare un bit di flag sta nel fatto che se si vuole inviare il risultato di una acquisizione asincrona all'Host, la natura della comunicazione fra Host ed Opal Kelly e di tipo MASTER/SLAVE, l'Opal Kelly viene vista in sostanza come una periferica che, tramite un'operazione di polling viene interrogata. Attraverso il controllo dei bit di flag, il SW è in grado verificare quando un nuovo campione è disponibile all'apposito WireOut. I convertitori *lenti* sono invece caratterizzati da un'interfaccia dati di tipo seriale, questa consente una efficace riduzione del numero di pin di connessione al sistema di controllo ed elaborazione. Il *controller* in questo caso fra le varie operazioni dovrà occuparsi della conversione del dato da una trasmissione di tipo seriale ad una di tipo parallelo. Anche in questo caso viene aggiunto un bit di *FLAG*, utilizzato per le stesse ragioni riportate precedentemente per i convertitori veloci.

Una volta acquisito il campione digitale, questo può essere mandato direttamente all'Host, nel caso di acquisizione di singolo campione, oppure al blocco contenente tutti i moduli di elaborazione che il progettista svilupperà per una particolare misura. La prima modalità può essere utilizzata nel caso in cui sia interessati a fare debugging o calibrazione, nonché può rivelarsi utile in condizioni per cui la richiesta di frequenza di acquisizione sia molto lenta, un esempio può essere quello relativo al monitoraggio della temperatura, già citato precedentemente, da parte del canale di AUX.

Nell'eventualità di dover sostenere un'acquisizione continua, si può rendere necessaria un'operazione di immagazzinamento del dato in una RAM, per far ciò si utilizza una FIFO che interfacci il blocco di elaborazione al RAM-CONTROLLER incaricato di gestire le operazioni di lettura e di scrittura della SDRAM da 64MB integrata sull'OpalKelly XEM3010. Il controller della RAM è poi connesso ad una FIFO necessaria ad sincronizzare i dati di uscita da questo con l'endpoint di PipeOut introdotto nel paragrafo 3.2.1, necessario a comunicare grandi moli di dati tramite USB.

In figura vengono poi indicati i blocchi relativi al reset di sistema (SYS_RESET), questo blocco rappresenta l'insieme di segnali forniti da appositi endpoints, utilizzati per resettare i singoli moduli di controllo dei convertitori. Questo si rivela di particolare utilità quando si richiede ad un modulo di controllo di passare ad esempio da una configurazione di acquisizione continua ad una modalità di campionamento singolo asincrono. In questo caso si passa sempre attraverso un'operazione di reset del controller, consentendo di mantenere il controllo del sistema e del contenuto delle variabili di controllo, che nel passaggio da una configurazione all'altra potrebbero causare malfunzionamenti del sistema.

Un blocco viene poi dedicato all'interfacciamento dei comandi di configurazione della parte analogica front-end con la GUI, operazione che avviene attraverso una serie di comandi digitali forniti da alcuni endpoints di tipo WireIn.

3.3.1 Logica di controllo dei convertitori

Nel paragrafo precedente si sono accennate alcune caratteristiche relative ai moduli chiamati "controller" necessari ad interfacciare l'FPGA con i convertitori ed a fornire al progettista una metodologia ben definita con cui poter comandare correttamente le operazioni di acquisizione. In questo paragrafo si procede descrivendo in maniera più dettagliata questi moduli.

Controller FAST:

In Fig.3.4 è stato racchiusa in un unico blocco, ADC_FAST_CONTROLLER, tutta l'elettronica digitale attraverso il quale è possibile interfacciare l'FPGA con il convertitore ADS5542, descritta dal relativo codice VHDL. Questo sottosistema fornisce gli strumenti per gestire, in maniera semplice dalla GUI, il campionamento dei segnali analogici in ingresso. Il modulo in questione può essere visto come un blocco, in cui vengono racchiusi tutti gli elementi necessari a pilotare la periferica.

In Fig.3.5 viene riportata la struttura di questo modulo, si può notare come questo sia composto da alcuni sotto-blocchi:

- un modulo di gestione dell'acquisizione di singoli campioni asincroni;
- un modulo di gestione dell'acquisizione di campioni continui;
- un modulo di gestione delle modalità di test;
- un modulo di controllo dell'interfaccia seriale ed una Look Up Table per la programmazione dell'ADC;

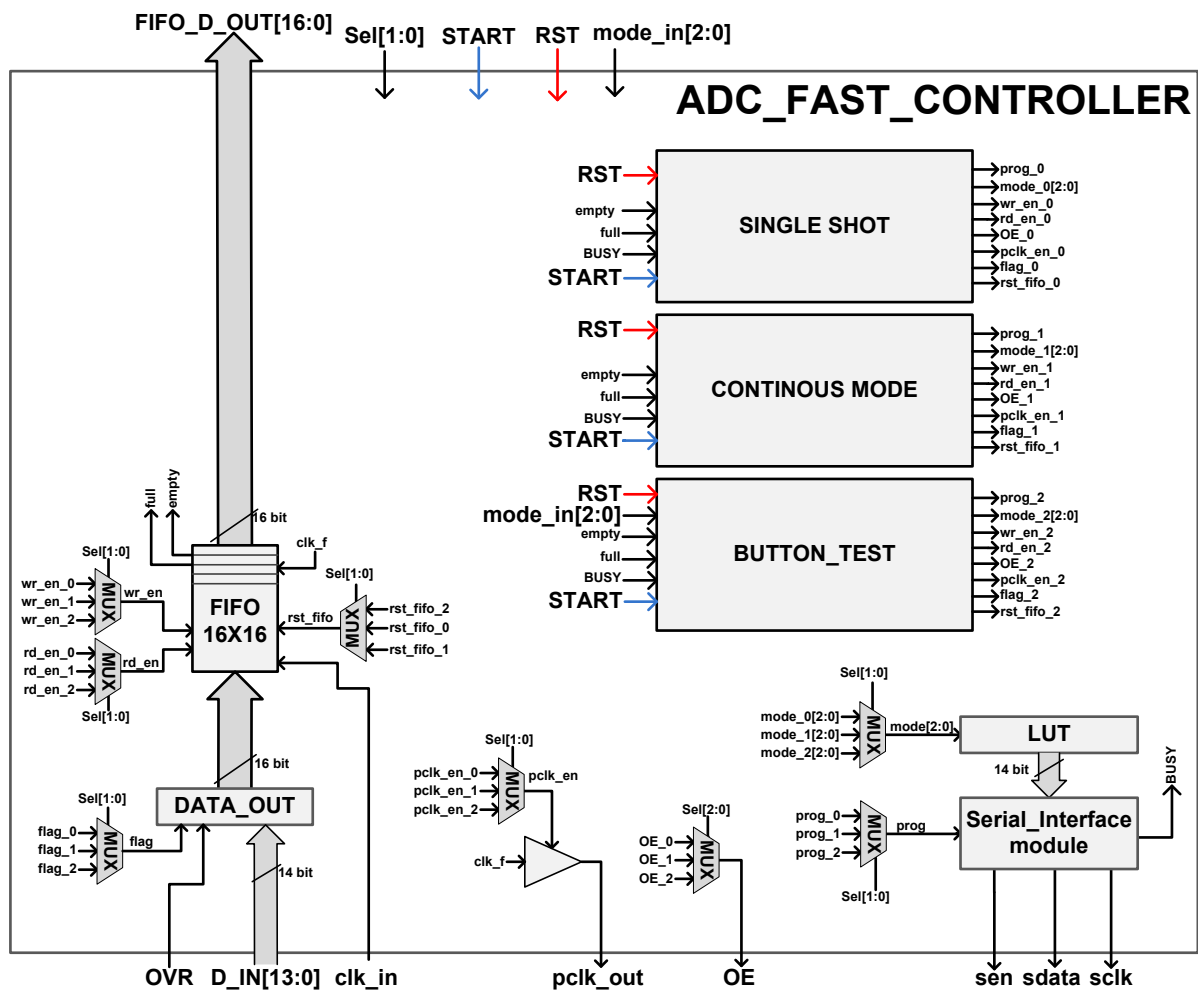


Figura 3.5: Configurazione modulare del sistema digitale di controllo e di elaborazione.

- una FIFO 16x16 caratterizzata da un input clock ed un output clock;
- una serie di MUX per selezionare la modalità di funzionamento;
- un *buffer* per controllare il clock in uscita.

La FIFO 16x16, ha la funzione di sincronizzare il flusso di dati in ingresso con il clock interno del sistema; come specificato dalla documentazione tecnica del convertitore ADS5542 [Ins07], i dati relativi al campione, sono sincroni con un clock di uscita (CLKOUT), generato dal convertitore a partire dal clock di ingresso. In altre parole il clock di uscita è isofrequenziale con il clock di sistema (clk_f), ed è solo sfasato temporalmente di un tempo pari in media a $8ns$ imposti dal convertitore. La FIFO riceve quindi i dati sincronizzati con il clock di uscita dell'ADC, in modo da garantire il corretto immagazzinamento dei dati, mentre l'uscita della FIFO è controllata dal clock di sistema in modo da avere da qui in avanti un flusso di dati sincronizzato con il resto del sistema.

La FIFO presenta poi un comando di reset e due comandi di management dell'unità: un comando di abilitazione dell'operazione di lettura *rd_en* ed uno di abilitazione delle operazioni di scrittura *wr_en*. Altri segnali utili al controllo sono: il segnale di *empty* e quello di *full* della FIFO; attraverso i segnali di *empty* e di *full* si possono controllare eventuali malfunzionamenti del sistema digitale, avendo due clock isofrequenziali per le operazioni di scrittura e di lettura, solo in condizioni di errato funzionamento la FIFO può essere completamente riempita o svuotata durante l'acquisizione di molti campioni. Il modulo relativo alla gestione dell'interfaccia seriale, è stato utilizzato in fase di debugging, in condizioni normali di funzionamento non è necessario utilizzare questa interfaccia poichè tramite il controllo dei pin di output enable e del clock di ingresso è infatti possibile controllare completamente l'ADC. L'interfaccia seriale può comunque rivelarsi utile anche nella prospettiva di creare un algoritmo di diagnostica del sistema. Il suo funzionamento può essere riassunto brevemente in questo modo: all'attivazione del segnale di programmazione dell'interfaccia seriale "prog", viene letta la parola di tre bit "mode" con cui andare a selezionare una fra le parole memorizzate nella LUT (Look Up Table) associata; all'attivazione del segnale "SEN" (Serial ENable), la parola selezionata viene messa in un registro a scorrimento ed inviata bit per bit tramite il segnale SDATA. Dopo 16 cicli di clock il registro interno dell'ADC è stato configurato e SEN può essere disabilitato. Una nota relativamente al clock di uscita dell'interfaccia seriale. questo viene abilitato solo in fase di programmazione per evitare che lo switching di un clock non necessario aggiunga disturbi inutili alla misura. Per convenienza è stato utilizzato per la comunicazione seriale un clock da $5MHz$, sfruttando quello generato per il controllo dei convertitori. La macchina a stati implementata lavora quindi a $5MHz$, mentre il resto del sistema lavora a $80MHz$; particolare attenzione deve essere quindi prestata alla comunicazione di questo modulo con con quelli di controllo.

Prima di affrontare la spiegazione dei singoli blocchi di controllo, si cerca di sottolineare come l'elenco riporti la presenza di una serie di MUX. La loro presenza viene in effetti giustificata dall'esistenza stessa dei diversi moduli di controllo perché attraverso un selezionatore (SEL), fornito dalla GUI tramite un endpoint di tipo WireIn, è possibile selezionare il modulo di controllo utile, i MUX consentono al solo modulo selezionato di accedere alle varie linee di comando delle periferiche, controllando il resto del sistema (FIFO, buffer del clock, OE, ecc.).

BUTTON TEST: Si consideri ora il modulo di debugging, BUTTON-TEST, per una migliore comprensione viene riportata la Fig.3.6, che rappresenta la macchina a stati che

descrive essenzialmente il funzionamento del modulo; la macchina è sincrona e sensibile ai fronti di salita del segnale di clock clk_f .

In grassetto sono evidenziati gli eventi che portano ad una commutazione di stato mentre in blu sono indicati i segnali di uscita salienti o le operazioni svolte a seguito di una commutazione. Per chiarezza è utile indicare che la macchina a stati è sensibile al segnale di reset in maniera *asincrona*, ciò vuol dire che in corrispondenza di un evento di reset la commutazione della macchina allo stato di reset è immediata, per tutti gli altri stadi invece i cambiamenti di stato si sviluppano solo in corrispondenza di fronti di salita del clock di sistema ($clkf$).

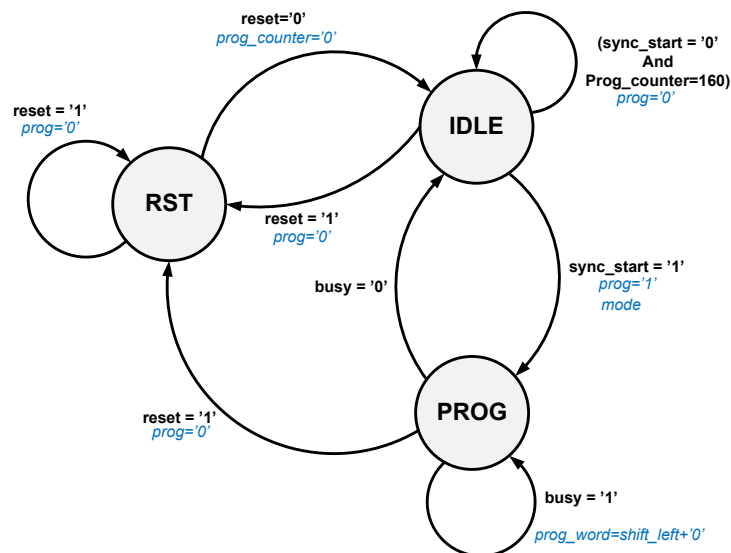


Figura 3.6: Macchina a stati semplificata del modulo di controllo BUTTON_TEST.

Partendo da una condizione di reset RST, al primo fronte di clock la macchina a stati passa allo stato IDLE; in questa condizione si è in attesa di un evento di start, dopo un evento di reset è comunque necessario aspettare un certo intervallo di tempo prima di poter configurare l'ADC, per questo motivo la macchina a stati è sensibile al clock solo dopo aver aspettato 160 cicli di clock (corrispondenti a $2\mu s$), necessari a garantire che l'ADC sia uscito correttamente dalla condizione di reset. Giunto un segnale di START al modulo dallo stato IDLE si passa a quello di programmazione inviando all'interfaccia seriale il segnale di trigger di programmazione *prog* e la codifica relativa alla modalità in cui si vuole programmare il registro *MODE*, l'interfaccia seriale fornisce in feedback al controller un segnale di *BUSY* che indichi a questo che la programmazione è in opera. Terminata la programmazione il segnale di *BUSY* viene disattivato, la macchina a stati torna quindi nella condizione di attesa abbassando il segnale di programmazione *prog*.

Questo modulo non prevede un'interazione con moduli di elaborazione per cui i segnali di enable della FIFO non vengono controllati come non viene controllato il clock di ingresso del convertitore. Tutti i segnali non di interesse verranno quindi posti ad un livello logico adatto a determinare il corretto funzionamento del sistema in fase di debugging.

SINGLE SHOT: Permette di acquisire un campione a seguito di un comando da parte dell'Host, precedente è stato definito come acquisizione di un campione asincrono. Il termine asincrono sta ad indicare che il comando di acquisizione arriva dalla GUI attraverso l'interfaccia USB, non è presente quindi un segnale di timing che ne determini la frequenza di sample. L'uso di un software gestito dal PC e di conseguenza attraverso i protocolli di comunicazione dell'interfaccia USB, non permettono di definire strettamente una frequenza di acquisizione. La GUI è stata per ora realizzata per consentire all'utente di ottenere un solo campione attraverso l'operazione di click su un pulsante apposito; come si vedrà in seguito sarà allora possibile implementare ad esempio una semplice operazione di calibrazione, attraverso il campionamento di un solo campione in condizione di ingressi cortocircuitati verso massa.

Come nel caso del modulo di debugging, anche in questo caso è possibile riferirsi ad uno schema che descriva in maniera semplificata la macchina a stati del blocco di controllo. Per prima cosa si vuole mettere in evidenza che la macchina a stati è stata realizzata in modo tale da renderla sensibile in maniera asincrona dal segnale di reset³, indipendentemente dalle condizioni istantanee e dal clock sarà quindi possibile forzare la macchina a stati a tornare allo stato di reset.

Nell'ipotesi di iniziare l'analisi della macchina a stati a seguito di un impulso di reset, si parte dallo stato di reset RST, entrati in questo stato il *counter* viene inizialmente azzerato per poter poi cominciare ad essere incrementato e si rimane nello stato di reset (in cui tutti i segnali di rilievo vengono disabilitati) fino a che il *counter* raggiunge il 160esimo ciclo, ancora una volta a causa del fatto che le operazioni di settling del convertitore dopo un impulso di reset richiedono $2\mu s$ per essere completate.

Una volta raggiunto il 160esimo ciclo di clock la macchina a stati migra verso lo stato di IDLE, in attesa di un impulso di START. Anche in questo stato tutti i segnali utili vengono posti al valore logico basso, in particolare il segnale di enable del clock di uscita (*clk_p_en*) viene asserito basso come *OE*, questo comporta che l'ADC sia in condizioni di

³In figura alcuni collegamenti verso lo stato di reset sono riportati in color grigio chiaro, questo serve semplicemente a non appesantire eccessivamente lo schema e non ha nessuna accezione particolare.

power-down, evitando un inutile dissipazione di potenze. Da notare infatti che il singolo ADC a frequenza di sample $80MS/s$ dissipa circa $1W$, distribuito in pratica al 50% fra sezione digitale e sezione analogica, mentre in condizioni di *power-down* la dissipazione del convertitore scende a $180mW$.

Una volta raggiunta da un impulso di START, la macchina passa dallo stato di IDLE a quello di WAKEUP, in questo stato la macchina è in attesa che l'ADC si "risvegli" dalla condizione di *power-down*; a seguito di un impulso di START infatti vengono attivati i segnali di enable del clock *clk_p_en* e di abilitazione delle uscite dell'ADC *OE*. I datasheet relativi all'ADS5542 riportano come sia necessario attendere 1000 cicli di clock per avere un clock sincrono con i dati e parallelamente per avere una frequenza di throughput stabile dei dati stessi.

Una volta passati 1000 cicli di clock, la macchina a stati passa allo stato di WR_EN, negando il valore della flag e azzerando il contatore. Lo stato di WR_EN è un semplice stato di passaggio, in presenza del successivo fronte di salita del clock lo stato passerà a quello di RD_EN, attivando per un solo ciclo di clock il segnale *wr_en*. Attivando per un solo ciclo di clock il segnale di write enable della FIFO, verrà riportato in uscita dalla FIFO un solo campione.

Nello stato di RD_EN, è necessario aspettare il tempo di latenza necessario a far sì che il campione sia pronto in uscita dalla FIFO sincronizzato con il clock di ingresso, per far ciò è sufficiente attendere che il segnale di *empty* passi da '1' a '0', questo segnale

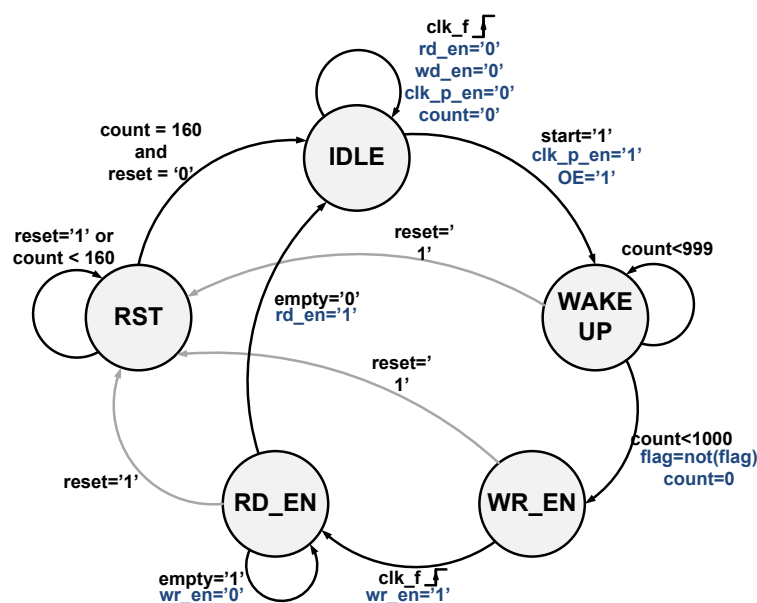


Figura 3.7: Macchina a stati semplificata del modulo di controllo FAST_SINGLE_SHOT.

viene fornito come feedback dalla FIFO per indicare la condizione in cui la FIFO è vuota, rimane alto finché l'ultimo campione memorizzato viene presentato all'uscita della FIFO. Il segnale di *empty* viene quindi utilizzato per effettuare il passaggio dallo stato di RD_EN a quello di IDLE, durante la transizione da uno stato all'altro viene abilitato il segnale di *rd_en* ed il campione raggiunge effettivamente i buffer di uscita della FIFO consentendone la lettura. Come si è detto raggiunto nuovamente lo stato di IDLE tutti i segnali di interesse qui elencati vengono disabilitati, disabilitando *OE* e *clk_p* il convertitore torna nella condizione di power-down. Considerando che l'accesso all'interfaccia USB da parte della GUI può richiedere anche $500\mu s$, e che l'operazione di wake-up del convertitore ne richiede $2\mu s$, si intuisce che nonostante la dissipazione di potenza non sia un vincolo particolarmente stringente, con questa macchina a stati si riesce a ridurre l'impatto dei convertitori sul totale della potenza assorbita ⁴.

CONTINUOUS MODE: L'ultimo modulo di controllo del convertitore è quello relativo all'acquisizione sincrona e continua di campioni. Attraverso la GUI controlla il segnale di START/STOP: una volta ricevuto un primo impulso di START il convertitore acquisirà campioni alla frequenza di sample fino a che non si presenti un nuovo impulso di START. Ci si riferisca alla Fig.3.8 per comprendere il funzionamento del blocco di controllo.

La gestione dello stato di reset è identica a quella del controller relativo all'acquisizione del singolo campione 3.3.1 per cui verrà tralasciata in questo paragrafo. Si consideri di essere nello stato di IDLE, in attesa di uno comando di START, ad ogni ciclo di clock tutti i segnali di interesse vengono disabilitati, si avrà quindi l'enable del clock e l'output enable del convertitore, i segnali di gestione della FIFO, ecc. disattivati; questo permetterà di tornare dopo un intero ciclo di acquisizione, alle condizioni iniziali.

In corrispondenza ad un evento di START si passa dallo stato IDLE a quello di WAKE UP, i segnali di controllo del convertitore *clk_p_en* e *OE* vengono abilitati e si fornisce un impulso di reset alla FIFO per avere la certezza di avere una FIFO vuota all'inizio dell'acquisizione; dopo il primo ciclo di clock il segnale di reset della FIFO viene disabilitato e la FIFO è pronta a ricevere i dati in ingresso. Analogamente a quello che accadeva per l'acquisizione del singolo campione, si resta in attesa nello stato di WAKE UP per circa 1000 cicli di clock, questo consente di essere sicuri di avere dati in uscita con una temporizzazione stabile e sincrona con il clock di output. Passati i $12.5\mu s$ necessari ad avere un uscita correttamente configurata e sincronizzata con il clock, all'ingresso della FIFO si ha

⁴Come si è detto il solo convertitore arriva a dissipare circa $2W$, in condizioni di power-down si passa approssimativamente a $180mW$, ottenendo una riduzione dissipazione di circa il 90%.

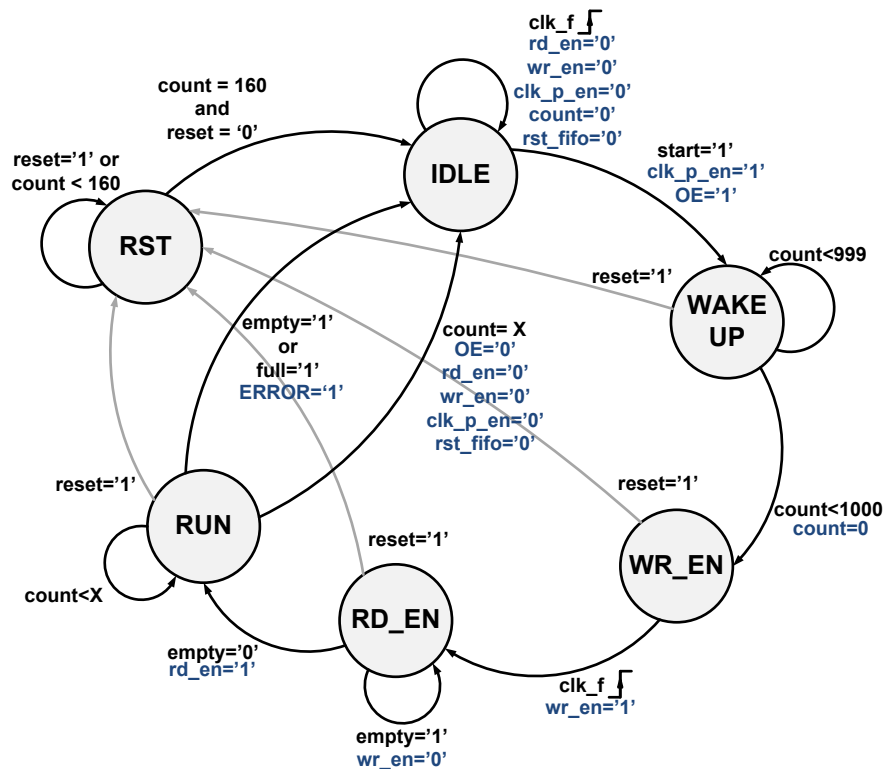


Figura 3.8: Macchina a stati semplificata di FAST_CONTINUOS_MODE.

un vettore di 14 bit a $80MS/s$ e la macchina a stati passa allo stato di WR_EN; anche in questo caso lo stato di WR_EN è solo uno stato di passaggio, viene asserito il segnale di enable di scrittura della FIFO e si ha il passaggio allo stato di RD_EN. Prima di poter cominciare le operazioni di lettura, la macchina a stati deve attendere che la FIFO abbia ad avere dei dati a disposizione in uscita, una volta che il segnale di *empty* viene asserito basso allora è possibile cominciare le operazioni di lettura, *rd_en* verrà asserito alto e si passerà dallo stato di RD_EN a quello di RUN.

Nello stato di RUN, ad ogni ciclo di clock si effettua il controllo dei segnali di *empty* e *full*. Con il presentarsi di anomalie, si ha perdita di coerenza temporale fra i campioni acquisiti se non addirittura una perdita nel flusso di dati, in questo caso uno dei due segnali diventa alto e la misura dev'essere abortita. Se non si riscontrano errori l'operazione di acquisizione continua fino a che non si presenta in ingresso alla macchina a stati un impulso di START, vengono allora disabilitati i segnali di controllo del convertitore e della FIFO.

Controller SLOW:

Il *controller* degli ADC di acquisizione lenti è riportato nella Fig.3.9 che evidenzia due sotto-blocchi: uno in cui sono implementate le logiche di controllo vere e proprie, mentre l'altro è incaricato semplicemente di interfacciare l'ADC con l'FPGA.

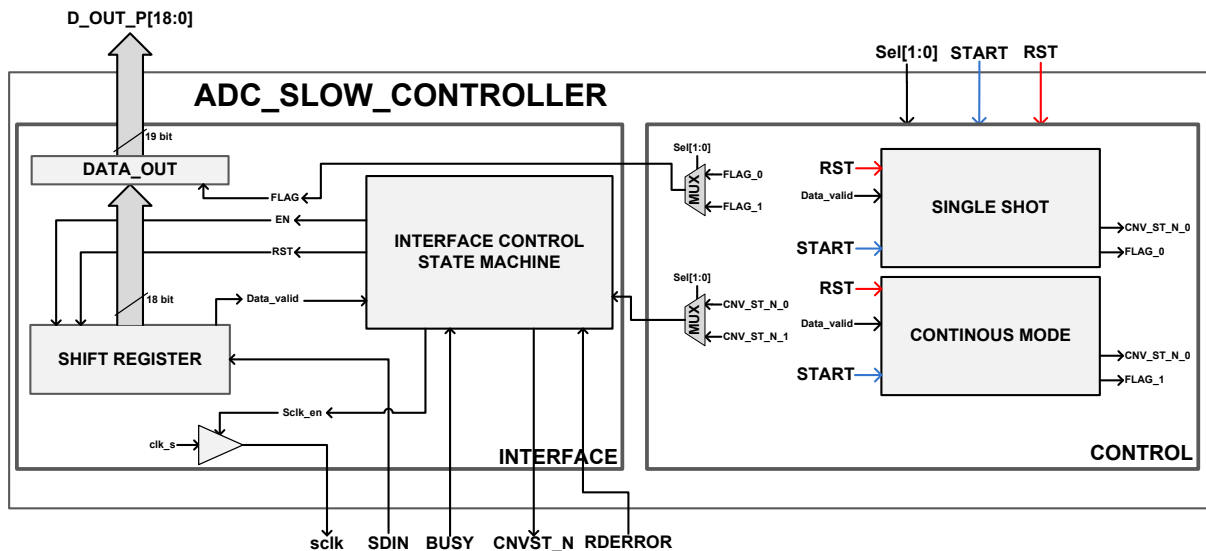


Figura 3.9: Schema a blocchi funzionale del modulo di controllo dell'ADC *lento*.

SLOW INTERFACE: Si è detto precedentemente che l'AD7678 ha diverse modalità di interfacciamento, per questo progetto si è scelto di utilizzare l'interfaccia seriale grazie alla quale si ottiene una riduzione del numero di pin necessario al trasferimento dei dati che passa da 21 a 5, ottimizzazione necessaria in considerazione del limitato numero di PIN dell'FPGA, accessibili tramite i connettori ad alta densità.

All'ADC arrivano cinque segnali SDIN, sclk, CNVST_N, BUSY e RD_ERROR (Fig.3.9) : SDIN è la connessione attraverso il quale si trasferisce il dato serialmente, il segnale sclk è appunto il clock utilizzato per la comunicazione seriale e attivando solo durante le operazioni di comunicazione; Il clock necessario a controllare le operazioni di conversione viene generato internamente all'ADC. La conversione avviene a seguito di un fronte di discesa del segnale CONVST_N, durante la conversione BUSY viene asserito alto, questo segnale di feedback permette di sincronizzare l'interfaccia con l'ADC, solo al termine della conversione sarà infatti possibile effettuare l'operazione di lettura del dato. I segnali di CNVST_N e BUSY comandano quindi l'abilitazione di sclk. Considerando che la frequenza di sampling massima è pari a $100kS/s$, è stato più che sufficiente utilizzare un clock da $5MHz$ per effettuare l'operazione di lettura del dato. RDERROR è l'ultimo segnale

rilevante per l'interfaccia seriale e la sua asserzione indica un errore nella lettura di un dato.

Addentrando nel blocco di interfaccia, è possibile notare la presenza di uno *shift register*, questo registro è incaricato di leggere il dato in ingresso serialmente e di fornire, dopo un adeguato numero di cicli di clock, il dato parallelo in uscita come vettore da 18bit. Al vettore di dati viene poi associato, analogamente a quanto descritto nel paragrafo precedente, un bit di flag, usato dalla GUI per rilevare l'avvenuta acquisizione di un campione attraverso l'operazione di polling. La macchina a stati relativa al controllo dell'interfaccia seriale gestisce la temporizzazione dei segnali di controllo a fronte di un comando di *start of conversion*: un fronte di salita del segnale di reset porta la macchina nello stato di reset RST, i segnali rilevanti vengono resettati ed al primo fronte di salita del clock da 5MHz si salta allo stato di WAIT, la macchina rimane nello stato di WAIT fino all'attivazione del segnale CNVST_N (attivo basso). Si passa quindi attraverso due stati di attesa, grazie al quale si verifica che CNVST_N venga asserito nuovamente alto o che comunque BUSY si già attivo, solo al fronte di discesa di BUSY infatti sarà possibile passare allo stato di GO, dove verrà attivato un comando di enable che abiliti lo shift register ed il clock seriale di uscita. Dopo 18 cicli di clock, dall'attivazione del segnale di enable e di quello del clock, il campione sarà disponibile in uscita, il counter verrà resettato e l'enable verrà asserito nuovamente basso; la macchina a stati tornerà allo stato di reset in attesa di un nuovo impulso di start. Terminata l'operazione di lettura sarà lo stesso shift register a fornire il segnale di *data_valid* al blocco di controllo.

SLOW CONTROL: La struttura appena presentata per la gestione dell'interfaccia rende la realizzazione dei moduli di controllo molto semplice. Attraverso la commutazione di un paio di segnali è infatti possibile gestire tutto ciò che concerne l'acquisizione di un campione da parte del convertitore.

Nel caso di acquisizione del singolo campione, il modulo di controllo risulta banale: il comando CNVST_N viene generato come semplice negazione del segnale di START l'endpoint di trigger sincronizzato con il clock da 5MHz, e controllato dall'utente.

Il bit di flag viene poi negato ad ogni operazione di lettura, il flip-flop generato dal sintetizzatore viene reso sensibile ai soli fronti di salita di *data_valid* così da essere sincrono con l'abilitazione del dato in uscita. Il modulo di acquisizione continua, viene implementato in maniera tale che a seguito di un comando di start, si cominci a generare il comando di CNVST_N; realizzando un controllo della frequenza di sampling attraverso un contatore è possibile garantire allo sviluppatore di modulare la frequenza di acquisizione dei campioni

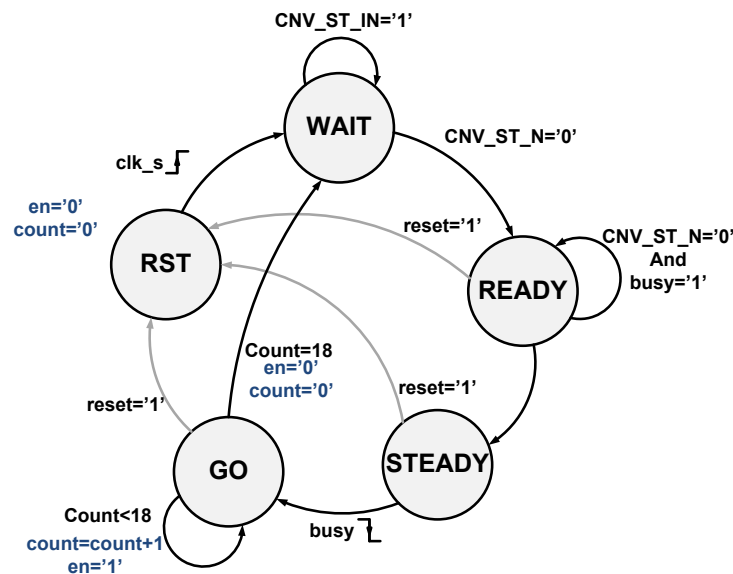


Figura 3.10: Rappresentazione della macchina stati che gestisce il modulo di conversione dei dati in ingresso dall'interfaccia seriale in un vettore da 18 bit parallelo.

dal relativo ADC ogni N cicli di clock da $5MHz$. In altre parole la GUI deve solo fornire il primo START al modulo di controllo ed il numero di cicli di clock che devono essere attesi fra l'acquisizione di un campione e quella del campione successivo. Solo a fronte di un nuovo comando di START si esce da questo ciclo.

3.3.2 Moduli di processamento

Come si è spiegato nel paragrafo 3.3 il blocco di elaborazione rappresenta una "black-box" in cui idealmente, lo sviluppatore ha la possibilità di implementare tutti i blocchi di controllo ed elaborazione di cui necessita per effettuare la misura. Per provare la bontà del progetto è stato per ora implementata una serie di blocchi che consente di realizzare un rudimentale *amplificatore lock-in* digitale, necessario a realizzare le misure di *impedance tracking* e *spettroscopia di impedenza*.

Questo modulo è costituito da un *multiplier detector* composto da un moltiplicatore e da un accumulatore, facendo un analogia con l'amplificatore lock-in analogico il moltiplicatore assume il ruolo del *mixer* analogico mentre l'accumulatore si sostituisce al filtro passa basso permettendo di filtrare le componenti ad alta frequenza in uscita dal moltiplicatore. Attraverso questa operazione sarebbe possibile misurare la parte reale o quella immaginaria di un'impedenza, a seconda che il segnale di riferimento sia in fase o in quadratura con quello fornito al campione. Per recuperare l'informazione relativa a parte reale e parte

immaginaria dell'impedenza sotto esame è necessario realizzare quello che viene chiamato un *Two Phase Look-In Amplifier* [Mea83]. L'operazione richiede necessariamente di avere il segnale di riferimento sia in fase che in quadratura e per far ciò all'interno di un sistema digitale si ricorrerà spesso all'utilizzo di un PLL (Phase Locked Loop) digitale che consenta di ottenere dal segnale di ingresso una sua replica isofrequenziale sfasata appunto di 90° . Realizzare questo PLL in grado di operare da frequenze inferiori all'Hz a $10MHz$ non è un problema banale, e sarà oggetto di progettazione nell'immediato futuro. In Fig. 3.11, viene riportato lo schema a blocchi relativo al modulo di elaborazione

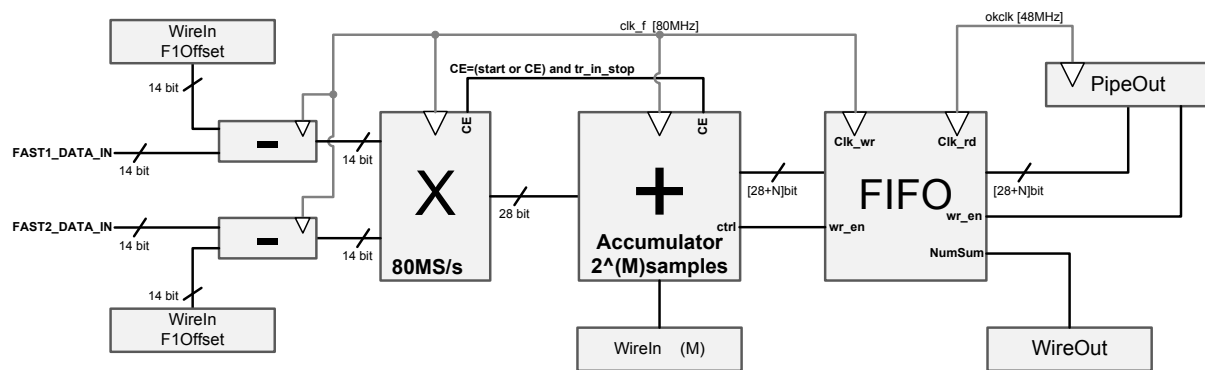


Figura 3.11: Schema a blocchi del modulo di elaborazione utilizzato per la convalida sperimentale del sistema.

implementato per i primi test di funzionamento. I campioni in ingresso dai due ADC veloci vengono mandati ad un moltiplicatore a 14 bit ⁵, il risultato della moltiplicazione dei due campioni viene fornito in ingresso ad un accumulatore. Il numero di somme che si vogliono effettuare prima di inviare il dato al PC è selezionabile, per semplicità algoritmica come esponente di due (2^M); il numero massimo di somme è stato imposto pari a 2^{20} , circa pari ad un milione, considerando la frequenza di sample degli ADC pari a $80MHz$ si traduce in una minore frequenza di output dall'accumulatore, pari a circa $80Hz$. Tenendo presente che la moltiplicazione di due vettori a 14bit, fornisce in ingresso all'accumulatore un vettore a 28bit, l'operazione di accumulazione su 2^{20} campioni comporta un aumento del numero di bit pari a 20, imponendo una larghezza dell'accumulatore pari a 48bit. Di conseguenza anche la FIFO, utilizzata come interfaccia fra il blocco di elaborazione e l'endpoint PipeOut utilizzato per comunicare i dati all'Host, dovrà gestire un vettore in ingresso a 48bit.

Lo schema a blocchi riportato, vuole dare un'idea di come dev'essere realizzato un modulo di elaborazione per poter gestire i dati in ingresso e come interfacciarsi con l'Host.

⁵i dati in uscita dai convertitori sono codificati in complemento a due, il resto della logica digitale viene implementato in accordo con questo punto.

Sottolineando in particolare: il primo è legato all'interfacciamento della FIFO con l'endpoint e riguarda la gestione del trasferimento dei dati a $48bit$ considerando che l'endpoint PipeOut, come tutti gli altri endpoint forniti dall'Host interface dell'OpalKelly, si basa su un vettore dati pari a 16 bit. Per fare in modo che la parola in uscita dalla FIFO venga suddivisa in blocchi e correttamente ricostruita dalla GUI; è stata implementata una macchina a stati dedicata. L'altro punto riguarda la velocità di trasferimento dati, per questioni dettate dalle tempistiche di progetto per ora ci si è limitati ad anteporre fra blocco di elaborazione e l'endpoint una FIFO sintetizzata utilizzando la block RAM dell'FPGA, questo ha ridotto i tempi di sviluppo e di debugging consentendo di realizzare delle prime misure sperimentali.

L'utilizzo della RAM esterna, consentirà di utilizzare FIFO meno profonde, sprecando quindi meno risorse dell'FPGA che potranno essere utilizzate per altri scopi. Essendo gestite con un clock più da $133MHz$ le operazioni di lettura e scrittura vengono svolte in maniera più rapida. Il problema legato all'utilizzo delle FIFO generate dall'FPGA è legato alle loro dimensioni ridotte. Considerando che fra un'operazione di lettura di una Pipe e l'altra da parte del PC è possibile che trascorra anche mezzo secondo, la FIFO deve garantire una dimensione tale da non essere mai riempita completamente. Utilizzando la RAM questo problema viene ridotto ed è possibile spingersi oltre i limiti della soluzione attuale.

3.4 Sviluppo della GUI

Fino a questo momento si è parlato di unità di controllo, intendendo il sistema digitale Ad-Hoc implementato tramite codice VHDL e sintetizzato su di una FPGA. Ci si è poi riferiti al controllo di alto livello come al pc-Host, come citato nel paragrafo 1.3.3. Per facilitare il controllo dello strumento da parte dell'utente, è stato scelto come ambiente di sviluppo Visual Basic, che permette di creare facilmente una GUI. L'aspetto attuale della GUI è ancora quello di un'interfaccia di debugging che tuttavia permette il pieno controllo ed il test dello strumento. È stato infatti possibile provvedere al controllo della configurazione degli stadi analogici, testare l'acquisizione dei singoli campioni letti dagli ADC, effettuare operazioni di calibrazione dello strumento, acquisire in maniera continua dei campioni in ingresso da un singolo ADC o ottenere il risultato dell'operazione di amplificazione lock-in.

Riferendosi alla Fig. 3.12, a sinistra sono presenti i comandi necessari a fare programmare l'FPGA, attraverso la selezione di differenti bitfile sarà possibile utilizzare lo

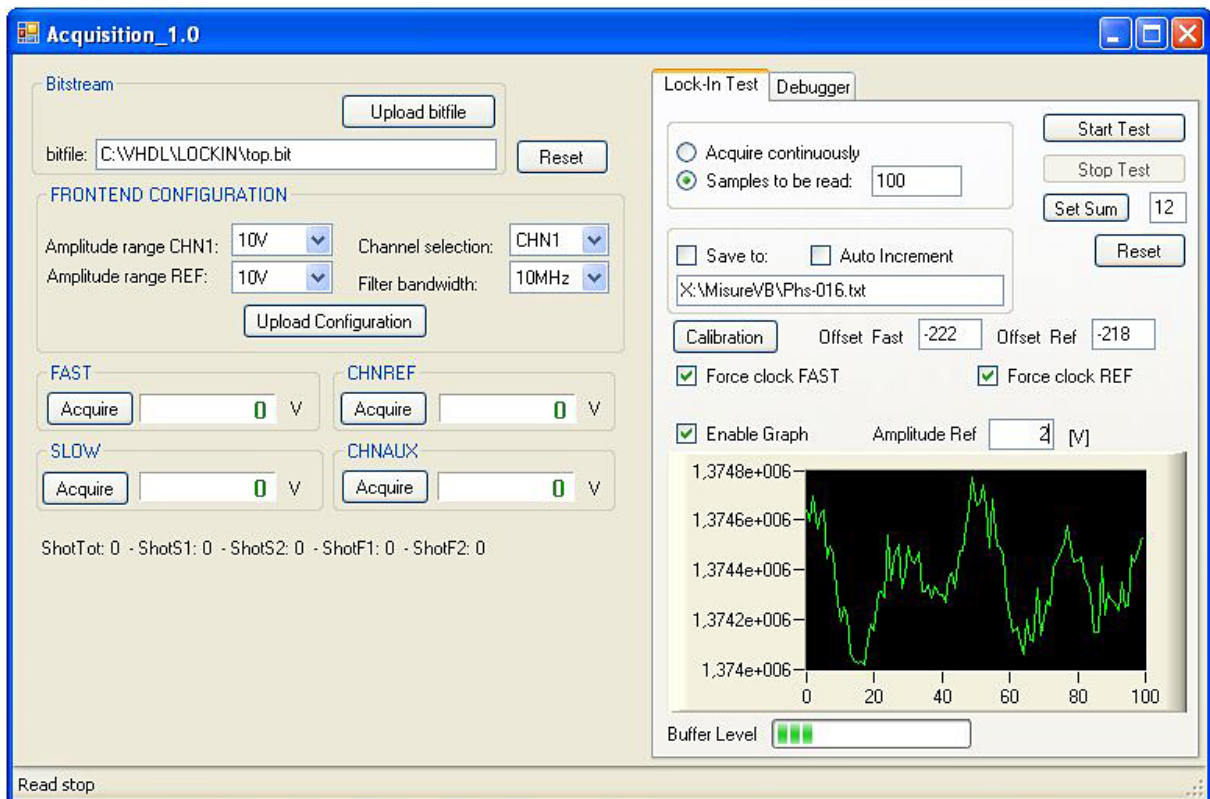


Figura 3.12: Interfaccia grafica del software di controllo della scheda di acquisizione.

strumento per differenti misure. Al di sotto sono indicati i comandi di configurazione del front-end analogico dei canali veloci. Tramite i pulsanti di *Acquire* è poi possibile acquisire singoli campioni dagli ADC in maniera asincrona.

La Tab sulla destra presenta tutti i comandi utili a impostare la misura di lock-in: è possibile acquisire in maniera continua o decidere un numero di sample da leggere, è possibile configurare il numero di somme, effettuare l'operazione di calibrazione attraverso l'acquisizione singola di un campione, abilitare o disabilitare la funzionalità di visualizzazione del grafico e salvataggio. Sono poi presenti due comandi con cui è possibile forzare attivi i clock dei rispettivi ADC, si è verificato sperimentalmente infatti che l'uscita viene condizionata in maniera sensibile da gradienti di temperatura del convertitore, nel caso in cui si voglia acquisire un numero limitato di campioni ripetutamente può essere necessario mantenere attivi gli ADC per evitare che questi transistori termici compromettano la misura.

La tab di debug fornisce infine di tutti i controlli necessari a verificare il funzionamento dei convertitori.

Capitolo 4

Risultati sperimentali

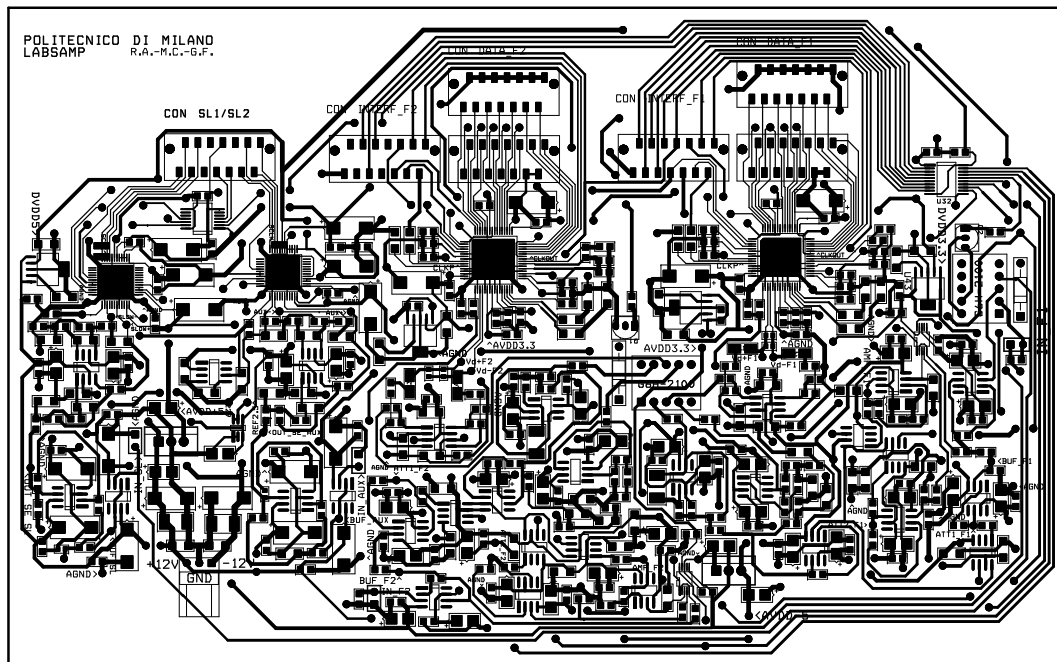
In questo capitolo si riportano i principali risultati sperimentali relativi al sistema di acquisizione progettato. Nel paragrafo seguente si andranno a specificare alcune misure di caratterizzazione del sistema; in particolare si proporranno le caratterizzazioni di risposta in frequenza dei differenti canali nelle differenti configurazioni e le misure di rumore a valle del sistema di acquisizione.

Nel secondo paragrafo verranno presentati i risultati relativi alle misure di lock-in, realizzate grazie al primo modulo di elaborazione implementato (par 3.3.2); si proporranno alcune differenti misure, grazie al quale possano essere convalidate le ipotesi base per cui è stato realizzato questo sistema.

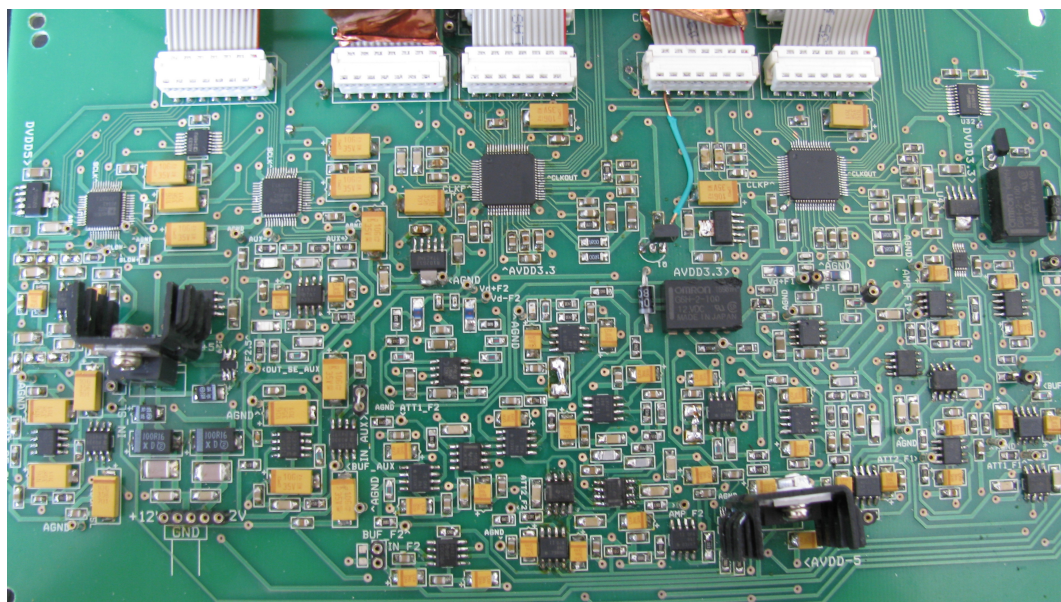
4.1 Layout e montaggio

Il progetto dell'architettura dello strumento si è concretizzata attraverso il design di una PCB dual layer, in cui è stato implementato l'insieme delle soluzioni circuitali analogiche, la connessione di queste con i rispettivi convertitori e tutta l'elettronica ancillare, necessaria all'alimentazione, alla configurazione del sistema ed alla connessione della scheda con l'FPGA. In Fig.4.1a è possibile osservare il layout della scheda, realizzato utilizzando il software OrCAD Layout. Il circuito stampato è stato realizzato cercando di mantenere il layer di bottom il più possibile uniforme per garantire una buona immunità della scheda dai campi elettromagnetici esterni. Si è poi lavorato sulla simmetria dei canali per evitare di introdurre mismatch di fase indesiderati lungo fra i due canali di acquisizione veloci. Per quanto riguarda le linee digitali, i segnali di controllo della configurazione, avendo tempistiche di commutazione inferiori al secondo, non hanno imposto vincoli; le linee dati,

ed in particolare quelle degli ADC veloci sono state realizzate cercando di minimizzarne la lunghezza, in modo da minimizzare il carico capacitivo visto dai driver dei convertitori, e garantire il sincronismo fra dati e segnale di clock. Come è già stato detto lo strumen-



(a)



(b)

Figura 4.1: In figura (a) è possibile osservare il layout del top layer, sviluppato utilizzando il CAD di progettazione mentre in figura (b) viene proposta un'immagine relativa alla PCB realizzata e montata; dimensioni 21cmX13cm.

to poi si avvale di una scheda dotata di FPGA, OpalKelly XEM3010; per affrontare la realizzazione del primo prototipo e per contenere gli ingombri dello strumento è stata progettata una scheda di interconnessione. In Fig.4.2 è possibile vedere un'immagine del case completo del sistema, si può notare sul fondo del case la circuiteria di front-end che, attraverso dei connettori è collegata alla scheda di interconnessione che consente l'accesso ai connettori ad alta densità dell'FPGA fornendole anche un adeguato supporto meccanico. Dal pannello anteriore è possibile collegarsi ai quattro canali e comandare l'alimentazione del sistema, il pannello posteriore è dotato delle connessioni necessarie ad alimentare il circuito.



Figura 4.2: In figura viene presentato il case dello strumento progettato, privo della copertura superiore.

4.2 Caratterizzazione dei canali

Una volta realizzato e montato il layout del front-end analogico-digitale, si è caratterizzato i canali, per convalidare tramite misure sperimentali il raggiungimento delle specifiche. Si consideri la caratterizzazione dei due canali *veloci*. Queste misure sono state realizzate utilizzando l'analizzatore di rete E5061B dell'Agilent Technologies, che per poter effettuare misure ad alta frequenza, richiede un adattamento di impedenza a 50Ω . Considerando il dimensionamento del filtro RLC implementato in ingresso all'ADC, un adattamento di impedenza a 50Ω avrebbe modificato il fattore di qualità Q del filtro, andando a modificarne la posizione dei poli complessi coniugati sul piano di Gauss. Per ovviare a questo problema si è utilizzato un buffer ad alta impedenza di ingresso e adattato

a 50Ω in uscita. In Fig.4.3 vengono riportate le funzioni di trasferimento relative al canale veloce FAST_IN. Nel grafico vengono indicate tutte e tre le configurazioni implementate per ottimizzare la dinamica di segnale in ingresso ($\pm 10V$, $\pm 2V$ e $\pm 0,5V$); Dalle misure sperimentali è stato verificato come i risultati ottenuti siano in accordo con quelli simulati, rispetto alla Tab.2.2 in banda a $10MHz$ si ha un'attenuazione di circa $2dB$, a $70MHz$ il trasferimento scende di $40dB$, garantendo la specifica di attenuazione di un fattore 100 del contributo in banda dell'aliasing.

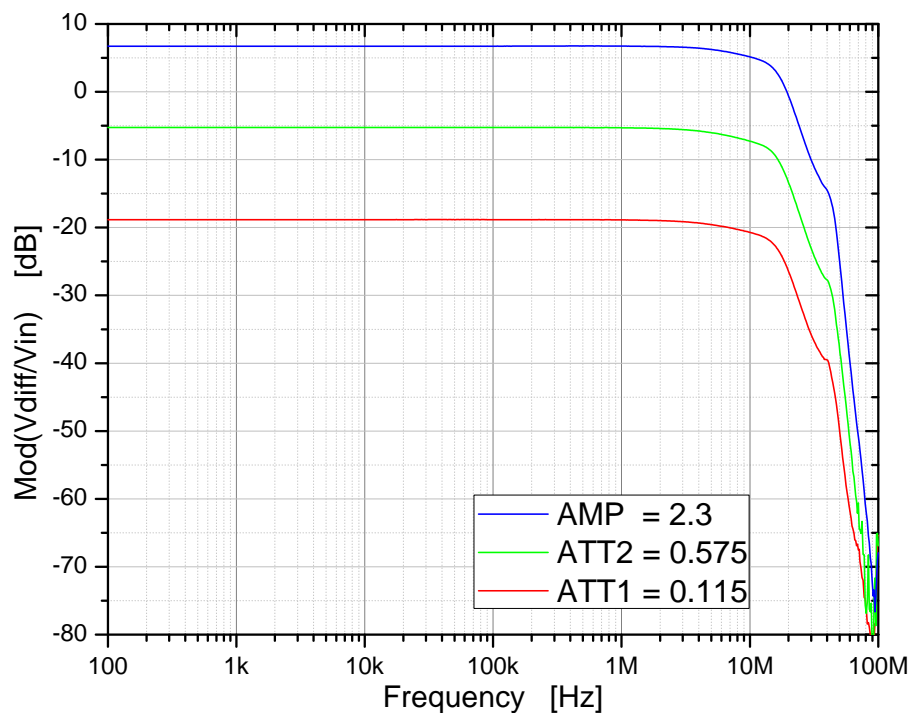


Figura 4.3: Diagramma di Bode del modulo del trasferimento relativo al canale FAST_IN con selezione della banda a $10MHz$.

In Fig.4.4 viene invece presentato il diagramma di Bode relativo al modulo della funzione di trasferimento del canale veloce, configurato con la selezione del filtro antialiasing a $40kHz$, nelle differenti configurazioni di range dinamico di tensione. Dalla figura è possibile verificare che la frequenza di taglio si assesta attorno ai $40kHz$. Per questa misura non si è reso necessario l'utilizzo del buffer perchè l'analizzatore di spettro E5061B è dotato di un secondo canale di misura ad alta impedenza d'ingresso limitata a una frequenza di $30MHz$, più che sufficiente considerando la presenza del filtro di Butterworth del terzo ordine a $40kHz$.

Le stesse misure sono state effettuate sul canale REF, non sono state riscontrate significative differenze se non quelle dovute alle tolleranze dei componenti utilizzatili, peraltro

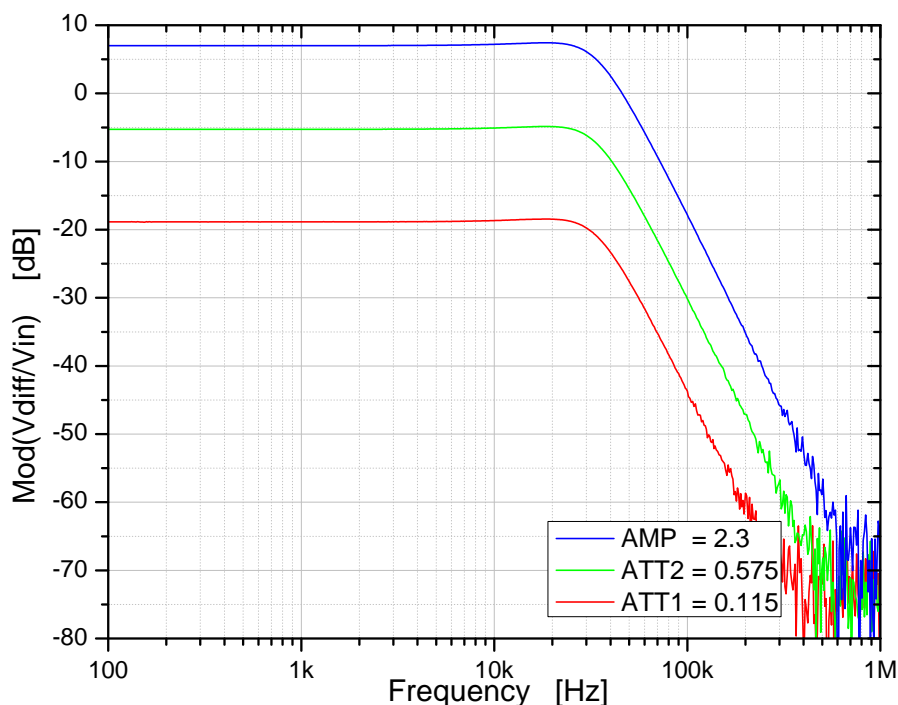


Figura 4.4: Diagramma di Bode del modulo del trasferimento relativo al canale FAST_IN con selezione della banda a $10kHz$.

molto limitate grazie all'uso di componenti passivi ad alta precisione. In Fig.4.5 sono riportate le funzioni di trasferimento dei due canali in tutte le configurazioni, è possibile notare come in banda non si presentino differenze sostanziali fra i due canali.

A causa delle correnti di bias degli OPA842, è stato misurato un offset di tensione in ingresso all'ADC pari a un centinaio di mV , per minimizzare il problema attualmente è stata realizzata un'operazione di calibrazione software. In previsione della realizzazione di un nuovo prototipo si dovrà comunque cercare di minimizzare questo effetto indesiderato; l'offset residuo nel caso di amplificazione lock-in comporta la presenza di una spuria indesiderata a frequenza pari a quella del segnale di ingresso, ciò può peggiorare la qualità della misura. È stata poi effettuata una misura del rumore complessivo di ciascun canale di acquisizione, introdotto dall'elettronica analogica e dei rispettivi convertitori. Attraverso l'acquisizione di numerosi campioni asincroni da uno stesso canale, è stata calcolata la deviazione standard σ , del canale di acquisizione relativo. Le misure sono state realizzate ponendo gli ingressi dei canali a massa e configurando lo stadio con una dinamica pari a $\pm 10V$. Dalle acquisizioni sono stati determinati i seguenti valori RMS: il canale FAST_IN presenta un rumore RMS pari a circa $1.34LSB$ mentre il secondo canale, REF, si presenta più rumoroso, con un rumore RMS pari a circa $2.26LSB$; in Tab.4.1

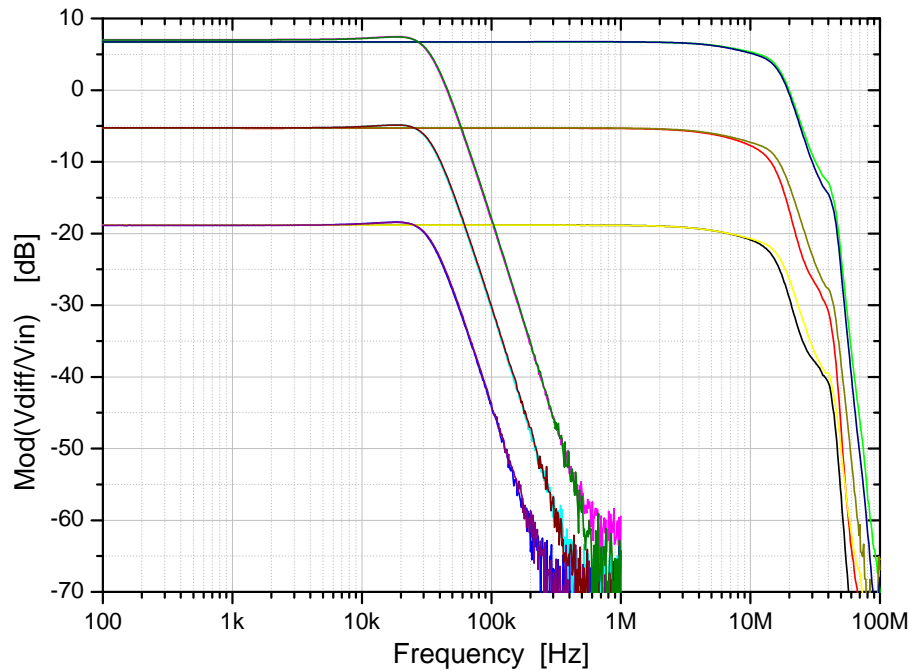


Figura 4.5: Comparazione dei diagrammi di Bode del modulo del trasferimento V_{diff}/V_{in} dei due canali *FAST_IN* e *REF* in tutte le configurazioni possibili degli stadi di condizionamento.

questi valori vengono riportati all'ingresso analogico dell'ADC ed all'ingresso analogico del canale per le differenti configurazioni dinamiche. Mentre il canale FAST è in linea

	FAST	REF	
ADC output noise	1.35	2.26	LSB
ADC input noise	188	317	μV_{rms}
$\pm 10V$ channel input noise	1.66	2.757	mV_{rms}
$\pm 2V$ channel input noise	327	551	μV_{rms}
$\pm 0.5V$ channel input noise	40.9	68.9	μV_{rms}

Tabella 4.1

con quanto è stato calcolato attraverso le simulazioni, con il canale REF si riscontra un rumore pari a circa il doppio di quello atteso pari a $1.4LSB$, calcolato nel paragrafo 2.2.3. Per la fase di testing del sistema questo parametro, in disaccordo con con la stima teorica non si è rivelato limitante, dovrà comunque essere studiato e ottimizzato nell'immediato futuro.

Le funzioni di trasferimento dei due canali lenti in Fig.4.6 mostrano come il canale AUX segua correttamente l'andamento atteso, la banda a $-3dB$ si assesta attorno a

40kHz e lo sfasamento a 10kHz è di circa 46° in accordo con quanto atteso dal calcolo teorico riportato in 2.3. Più controverso risulta il canale SLOW, il suo trasferimento è caratterizzato da un leggero peaking a alla frequenza di risonanza, dopo una prima correzione nel dimensionamento del filtro questo peaking è stato nuovamente rilevato dalle misure e denota uno scorretto posizionamento della coppia di poli complessi coniugati del filtro. Non essendo limitante per il funzionamento del sistema è stato comunque possibile procedere con il test, anche questo punto però dovrà essere corretto nella successiva fase di prototipazione.

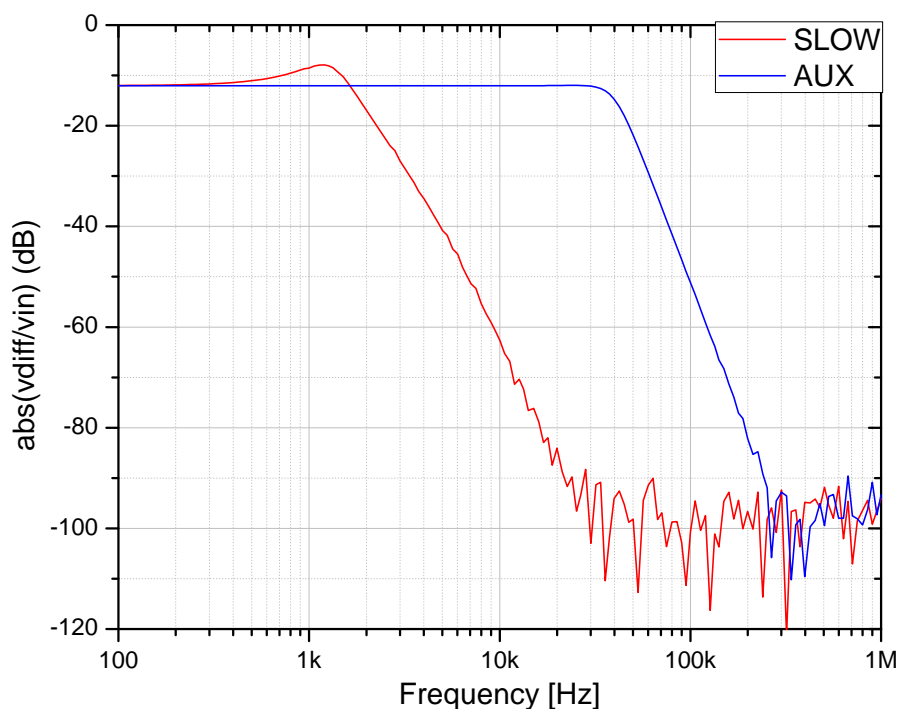


Figura 4.6: Diagramma di Bode del modulo del trasferimento relativo ai canali SLOW e AUX.

Per quanto riguarda gli stadi lenti la misura del valore RMS rumore in uscita dal convertitore ADC risulta pari a $1.8LSB$ per il canale SLOW_IN, equivalente ad un rumore in tensione riportato in ingresso pari a $136\mu V_{rms}$. Per il canale ausiliari invece si parla di un rumore pari rispettivamente a $1.06LSB$ in uscita dal convertitore e di $80.7\mu V_{rms}$ riportati all'ingresso del canale. Confrontando questi risultati con il valore stimato attraverso le simulazioni nel paragrafo 2.3.1 pari ad $1.3LSB$ si può affermare che il risultato ottenuto è piuttosto soddisfacente; come nel caso dei canali veloci uno dei due canali mostra un rumore RMS maggiore alla stima teorica, anche se non risulta critico sarà oggetto di ulteriori indagini.

4.3 Amplificazione Lock-In a singola fase

Nel paragrafo 3.3.2 è stato introdotto il primo modulo di elaborazione, implementato in codice VHDL, che permette di effettuare una semplice operazione di amplificazione lock-in digitale. In questo paragrafo si presentano le misure preliminari relative a tale operazione, grazie alla quale possiamo confermare le potenzialità del sistema implementato. Per semplicità queste misure sono state effettuate tutte lavorando in configurazione di dinamica $\pm 10V$.

La prima misura realizzata permette la verifica del funzionamento teorico dell'amplificatore lock-in digitale, ampi $2V$ e caratterizzati da una frequenza di $5MHz$. Il setup di misura è il seguente: i segnali isofrequenziali accoppiati in fase sono stati generati utilizzando un generatore di segnali commerciale della Agilent Technology, l'8151A0; questo strumento permette di generare due segnali accoppiati in frequenza con uno sfasamento regolabile tra 0° e 360° . I due segnali sono stati applicati in ingresso ai due canali di acquisizione *REF* e *FAST_IN*, ed attraverso la modulazione della fase del secondo rispetto al riferimento è stato possibile caratterizzare la risposta dell'amplificatore allo sfasamento fra i due ingressi. Per questa misura, è stato impostato il modulo di elaborazione per fornire ad ogni misura 80 campioni, l'accumulatore è stato configurato per mediare un numero pari a 2^{15} somme, circa un campione in uscita dall'accumulatore ogni 32000 campioni in uscita dal moltiplicatore. Calcolando che i singoli campioni acquisiti vengono forniti a $80MS/s$ dai convertitori al moltiplicatore e che quindi questo è il sample rate di ingresso all'accumulatore si può stimare determinare il throughput di uscita dall'accumulatore pari a $\frac{80MS/s}{2^{15}} = 2.4kHz$. La Fig.4.7 riporta i campioni misurati a seguito dell'operazione di lock-in sul segnale in ingresso rispetto a quello di riferimento. I campioni sono stati acquisiti considerando una discretizzazione della fase pari a 30° del segnale di ingresso rispetto a quello di riferimento. La linea continua è il risultato del fitting sinusoidale dei campioni.

Come si vede in figura in questo specifico caso il fitting segue perfettamente i campioni, dall'applicazione del calcolo statistico sull'errore residuo se ne determina una deviazione standard pari a $96\mu V$. Si sottolinea che questo errore viene calcolato rispetto alla curva di fitting, è quindi calcolata al netto di eventuali mismatch nella propagazione dei segnali dalla sorgente al rispettivo convertitore dovuto ai cavi di connessione.

La seconda misura proposta per caratterizzare la corretta funzionalità dell'amplificatore lock-in ha lo scopo di valutare le prestazioni in termini di velocità di tracking dell'impedenza. A partire da due segnali di ingresso sinusoidali, uno è stato modulato

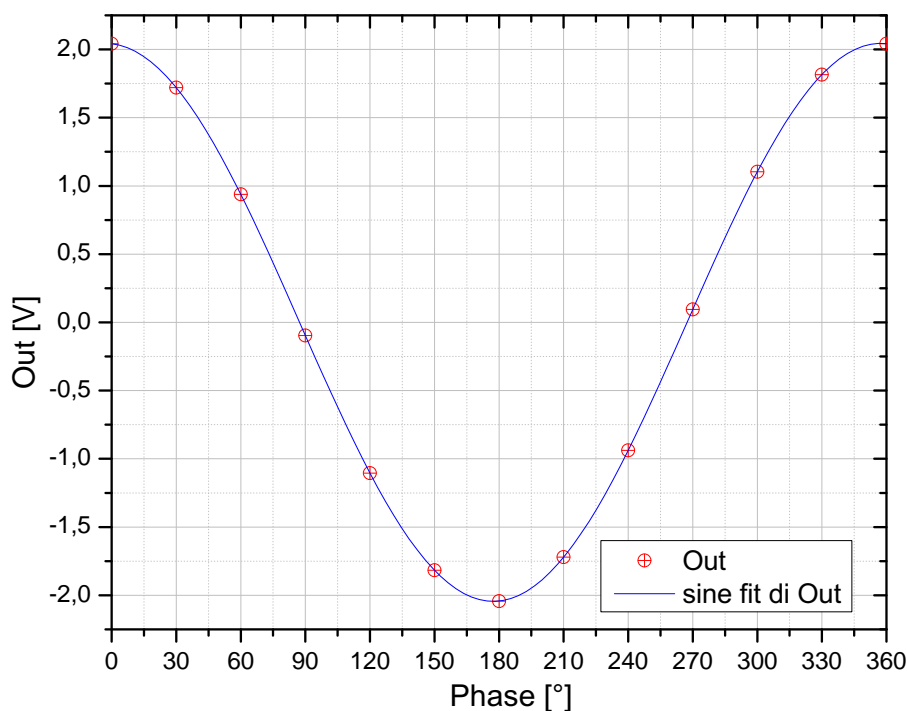


Figura 4.7: Caratterizzazione della risposta allo sfasamento dell'amplificatore lock-in digitale; ampiezza dei segnali di ingresso $2V_p$, frequenza $5MHz$, la misura in tensione si riferisce all'uscita dell'amplificatore lock-in in relazione all'ampiezza del segnale di ingresso ed allo sfasamento di questo con il segnale di riferimento.

in ampiezza per emulare le variazioni di segnale causate da una variazione di impedenza. La prova sperimentale è stata così strutturata: analogamente a quanto fatto per la prima misura sono stati generati due segnali sinusoidali di ampiezza $2.5V$ di picco e frequenza di oscillazione $5MHz$ accoppiati in fase; il segnale di ingresso del canale FAST_IN è stato modulato ad onda quadra, con un'ampiezza pari in un caso al 1% dell'ampiezza della portante, mentre in un secondo caso l'ampiezza della modulante è stata ridotta ulteriormente di un fattore dieci, pari cioè allo 0.1% dell'ampiezza del segnale portante. Il segnale ad onda quadra modulante è stato impostato con una frequenza caratteristica pari a $500Hz$ e imponendo un setting dell'accumulatore pari a 12 si avrà in uscita dall'accumulatore il risultato di una media mobile decimata di 2^{12} campioni in ingresso. Da questa considerazione si stabilisce un throughput dei campioni in uscita dal modulo di elaborazione pari a $\frac{80MS/s}{2^{12}} \cong 20kS/s$. A questa frequenza di campionamento e considerando un segnale modulante ad onda quadra a $500Hz$ il teorema di Shannon del campionamento è ampiamente rispettato, sarà quindi possibile ricostruire correttamente il segnale modulante. In Fig.4.8a e Fig.4.8b sono riportate le rispettive misure, nelle due condizioni di misura appena descritti. Dalle due figure appena riportate è possibile verificare la corretta demo-

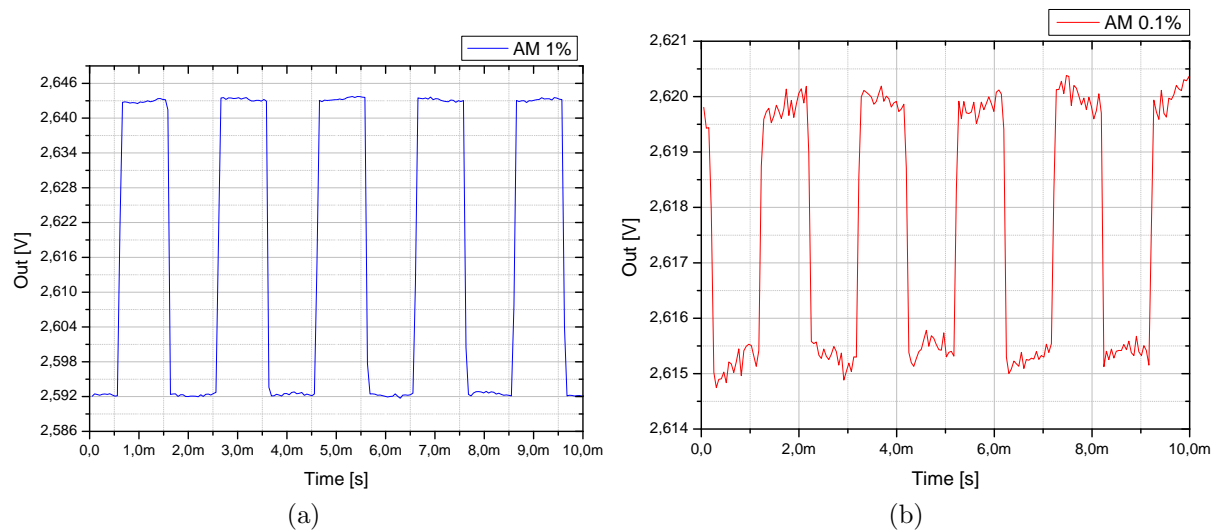


Figura 4.8: Rispettivamente in Figura (a) e (b) sono riportati i grafici relativi al tracking del segnale modulante, ampio nel primo caso l'1% del segnale portante mentre nel secondo caso la modulante risulta pari allo 0.1%.

dulazione del segnale ad onda quadrada, ci si aspetta di ricostruire due segnali ad onda quadrada con valor medio pari all'ampiezza della portante $2.5V$ e con ampiezza di picco-picco pari rispettivamente a $50mV$ e $5mV$. dai dati misurati si ottiene un valor medio pari a circa $2,6V$ ed un'ampiezza picco picco del segnale ad onda quadrada pari a circa $51mV$ e $4.54mV$, in linea con quanto atteso. Un importante risultato è quello relativo alla risoluzione temporale, specialmente nelle misure di tracking di impedenza si rivela fondamentale, con l'attuale configurazione si arriva ad ottenere una risoluzione temporale pari a circa $50\mu s$. Rispetto al precedente setup di misura, realizzato con la scheda di acquisizione National Instruments, la risoluzione temporale per le misure di tracking, pari a circa $30ms$, risulta migliorata tre ordini di grandezza. L'utilizzo della RAM consentirà in futuro di ottimizzare l'utilizzo della comunicazione attraverso l'endpoint di PipeOut, le stime effettuate indicano che la risoluzione temporale nelle misure di tracking d'impedenza potrà essere ridotta ad un limite massimo di circa $1\mu s$.

Dal secondo caso, Fig.4.8b, è possibile cominciare a notare come il rapporto segnale rumore cominci a degradare, dalle stime effettuate è stato verificato che il rumore sovrapposto al segnale modulante ricostruito in uscita all'amplificatore lock-in digitale sia conforme con il valore atteso. Si noti che la modulazione nel secondo caso dello 0.1% rispetto al segnale portante ampio $2.5V$, ad un'ampiezza di $2.5mV$ quindi poco più di $2LSB$ per il range di dinamica selezionato. Grazie però all'operazione di media, si ottiene un miglioramento nella risoluzione che può essere in prima battuta stimato come segue: ad ogni raddop-

pio dei campioni interessati dall'operazione di media si ha un aumento di mezzo bit sul numero di bit equivalenti rispetto al rumore bianco. Sulla base di questa assunzione è possibile affermare che in uscita dall'amplificatore lock-in con l'accumulatore impostato per fornire un campione ogni 2^{12} somme, si ha un aumento della risoluzione pari a circa $6bit$, che permette di misurare la piccola modulazione di ingresso.

Capitolo 5

Conclusioni e sviluppi futuri

In questa trattazione è stato presentato il progetto di un sistema di acquisizione per misure elettrochimiche portatile, configurabile tramite l'utilizzo di una FPGA.

Al fine di raggiungere questi obiettivi si è proceduto con la progettazione di un'architettura analogica di condizionamento con cui interfacciare i convertitori analogico/digitale. L'architettura realizzata si compone di quattro canali, due dei quali specifici per realizzare misure di impedenza ad alta frequenza e voltammetria ciclica ultraveloce; questi canali presentano una banda di segnale selezionabile fra $10kHz$ e quella massima di $10MHz$; l'adattamento di dinamica è configurabile indipendentemente per i due canali e scelto fra tre condizioni: $\pm 10V$, $\pm 2V$ e $\pm 0.5V$. Gli altri due canali presentano un adattamento della dinamica fissato un canale dedicato a monitorare l'uscita a bassa frequenza del potenziostato mentre il secondo canale ha il ruolo di canale ausiliario, utile a monitorare altri possibili segnali di interesse. I due canali lenti sono caratterizzati da una banda di segnale di $1kHz$ e $10kHz$ ed associati a due convertitori a $18bit$ e sample rate massimo pari a $100kS/s$.

I convertitori scelti per i due canali di acquisizione veloce sono due convertitori da $14bit$ con sample rate massimo di $80MHz$, l'utilizzo dell'FPGA per l'interfacciamento e la pre-elaborazione consente di utilizzare un'interfaccia USB per realizzare la comunicazione con il PC, di diversificare le tecniche di misura grazie alla possibilità di sintetizzare diversi moduli di processamento digitale, nonché di sollevare dell'onere di processamento il PC, minimizzando il tempo di misura e aumentando la risoluzione temporale per le operazioni di tracking. Questo sistema garantisce un miglioramento della risoluzione temporale pari a circa due ordini di grandezza rispetto al sistema attualmente utilizzato in laboratorio, il limite attualmente raggiunto è di $50\mu s$ e potrà essere ulteriormente scalato attraverso

l'utilizzo della RAM esterna.

Relativamente alle misure di voltammetria ciclica, per la quale devono ancora essere sviluppati i moduli di gestione ed elaborazione, partendo dai presupposti secondo i quali sono garantiti il rispetto delle specifiche ed il corretto funzionamento del sistema digitale, vagliate dalle caratterizzazioni sperimentali, ci si aspetta che anche queste misure garantiscano prestazioni conformi alle aspettative.

In conclusione si vuol di dare un prospettiva relativa agli sviluppi futuri di questa architettura e del il sistema complessivo, intendendo l'*Unità di Controllo Conversione ed Elaborazione*.

Punto fondamentale per realizzare le operazioni di spettroscopia e tracking di impedenza sarà lo sviluppo di un PLL digitale; certificato il corretto funzionamento dell'amplificatore lock-in a singola fase risulta necessario ottenere dal segnale di ingresso REF, i due riferimenti in fase ed in quadratura, imprescindibili per le operazioni di demodulazione lock-in a due fasi. Attraverso l'operazione di demodulazione lock-in a due fasi è possibile misurare contemporaneamente parte reale e parte immaginaria dell'impedenza del campione.

Per quanto riguarda il sistema digitale sono numerose le prospettive: dovranno essere progettati i diversi moduli di processamento per le specifiche misure ed abilitata l'interfaccia di comunicazione dati con la RAM ai moduli di elaborazione realizzati, questo consentirà di aumentare il throughput di uscita verso il PC e quindi aumentare la risoluzione temporale.

Ottimizzazioni sono poi possibili anche relativamente all'architettura analogica con l'obiettivo di realizzare un secondo prototipo. Sulla base dei risultati sperimentali ottenuti è possibile cercare di ottimizzare l'offset complessivo in ingresso al convertitore veloce, causato principalmente dalle correnti di bias degli amplificatori OPA842. Sarà possibile poi concentrarsi sull'ottimizzazione dei filtri antialiasing e del sistema complessivo cercando di minimizzare lo sfasamento in banda ed il rumore totale nonché la riduzione della potenza dissipata complessiva.

Considerando infine lo strumento nel suo complesso, si vuole sottolineare che una volta ottenute le due architetture funzionanti, una di generazione segnali e l'altra di acquisizione, l'ulteriore passo di sviluppo è legato all'integrazione dei due sottosistemi ed progettazione degli algoritmi necessari ad automatizzare la misura. Si dovrà cercare in altre parole di sviluppare un software che gestisca in maniera appropriata e autonomamente entrambi i sistemi e che una volta impostato, sia in grado di gestire in autonomia un intero ciclo di misure, che in alcuni casi potrà durare anche giorni interi.

Bibliografia

- [A.03] Geraci A. *Principi di elettronica dei sistemi digitali*. McGraw-Hill, Milano, 2003.
- [BAJ01] Faulkner L.R. Bard A. J. *Electrochemical Methods*. Wiley & Sons, New York, 2001.
- [Car09] Marco Carminati. *Instrumentation for electrochemical detection in biology and in nano-electrochemistry*. PhD thesis, Politecnico di Milano, 2009.
- [Dev09] Analog Device. *18-Bit, 2.5 LSB INL, 100 kSPS SAR ADC*, 2009. http://www.analog.com/static/imported-files/data_sheets/AD7678.pdf.
- [Gal91] L. Galvani. *De viribus electricitatis in motu musculari commentarius*. Instituti Scientiarum, Bologna, 1791.
- [Inc99] Micron Technology Inc. *Synchronous DRAM, MT48LC16M16A2BG-75:D data sheet*, 1999.
- [Inc05] Opal Kelly Inc. *Front Panel*, 2005. <http://www.opalkelly.com/library/FrontPanel-UM.pdf>.
- [Inc06] Opal Kelly Inc. *XEM3010 user's manual*, 2006. <http://www.opalkelly.com/library/XEM3010-UM.pdf>.
- [Ins07] Texas Instruments. *14-Bit, 80 MSPS Analog-To-Digital Converter*, 2007. <http://focus.ti.com/lit/ds/symlink/ads5542.pdf>.
- [Lus10] Mauro Lusso. *Generatore portatile di forme d'onda di tensione basato su fpga per misure elettrochimiche*. Tesi di laurea in ingegneria elettronica, Politecnico di Milano, 2010.
- [Mac87] J. R. MacDonald. *Impedance Spectroscopy*. John Wiley & Sons, New York, 1987.

- [Mea83] M. L. Meade. *Lock-in amplifiers: principles and applications*. Peter Peregrinus Ltd., London UK, 1983.
- [PK87] R. Pethig and D.B. Kell. The passive electrical properties of biological systems; their significance in physiology biophysics and biotechnology. *Phys. Med. Biol.*, 32(8):933–970, 1987.
- [Sig03] F.J. Sigworth. Life’s transistors. *Nature*, 423:21–22, 2003.
- [Ska96] K. Skahill. *VHDL for programmable logic*. Addison-Wesley, Menlo Park, USA, 1996.

Ringraziamenti

Intendo ringraziare innanzitutto i miei genitori, i quali hanno dimostrato negli anni un'incrollabile quanto inspiegabile fiducia nelle mie capacità. Non hanno mai dubitato, nemmeno per un minuto, neppure per un centesimo di secondo, quindi grazie.

Un altrettanto grande ringraziamento lo devo al mio fratellone Davide, come i miei genitori anche lui è sempre stato una sicurezza in questi anni, nonostante i suoi "innumerevoli" difetti, ringrazio ogni giorno per avere un fratello come lui.

Come dimenticare poi l'altro mio fratello, Maurizio Bongiorno, fratello non di sangue ma nell'anima nonché onnipresente compagno di strada lungo questi ormai diecimila anni di amicizia, giornate passate a studiare ed a far finta di ascoltare i miei assurdi vaneggiamenti, un amico di boccale ed una spalla cui poggiarsi.

Per quanto riguarda il mio progetto di tesi e la mia esperienza nel fantastico LAB-SAMP, ringrazio tutti quanti, il Professor Sampietro in primis per avermi dato la possibilità di inserirmi in questo straordinario gruppo. Un ringraziamento va anche fatto a Giorgio Ferrari che mi ha guidato durante questi lunghi mesi in maniera pacata e benevola, noncurante dei miei chiari sintomi di "pazzia acuta", sempre pronto a confrontarsi e stimolarmi in maniera esemplare.

Non ho alcuna intenzione poi di dimenticare di ringraziare Marco Carminati e Angelo Rottigni (anche se ancora mi deve un bacio), mi hanno seguito, supervisionato e consigliato sempre disponibili e sempre attenti, quindi grazie.

Tutto quello che ho realizzato in questi mesi è stato possibile a seguito dello straordinario gruppo di lavoro che ho trovato, un ambiente in cui tutti quanti sono in ogni momento disponibili ad aiutarti, dove conta lavorare ma conta anche poterlo fare in un ambiente in sia possibile farlo con il sorriso, non potevo desiderare di meglio quindi grazie, grazie in particolare a: Filippo Guagliardo (mio immancabile compagno di idiozie), Maddalena Binda (che non solo sopporta Filippo da anni, ma che quest'anno ha sopportato anche me, "santa subito!"), Antonio Iacchetti, Marco Vergani, Dario Natali, Angelo Palladino,

Paolo Manicardi, Mattia Giussani, Cecilia Gatti (l'usurpatrice) e Mauro Lusso.

Un ringraziamento lo meritano anche alcune persone che si sono rivelate importanti in questi anni, non posso infatti fare a meno di ringraziare Antonio Maccarelli, perché amici così sei fortunato se li trovi e quando li trovi li devi valorizzare, anche se sono evidentemente degli idioti; Paola Bossi, compagna di mio fratello e compagna, non per sua scelta, di "wrestling da salotto".

Voglio anche ringraziare i miei zii Anna e Giancarlo e le cugine Laura e Silvia che mi vogliono bene, probabilmente non "nonostante" ma "grazie", alle mie innumerevoli nevrosi.

Un ringraziamento generale poi a tutti i miei compagni di corso ed ai miei amici, ma proprio tutti tutti, non vi elenco ma vi ho in mente uno ad uno. Grazie ai miei compagni di basket nonostante siano un esempio lampante di come: "agli imbecilli piaccia stare in gruppo", li ringrazio perché anche se loro non lo sanno mi hanno aiutato a star bene in momenti in cui bene non stavo. Grazie poi a Giorgia per essere venuta da Roma appositamente per festeggiarmi (come da accordi ti ho citata, se non vieni la pagherai cara).

Infine un ringraziamento al mio EGO SMISURATO! Anche se a volte si sta stretti in due qui dentro, senza di te non ce l'avrei mai fatta, a rialzarmi dopo ogni caduta e tu lo sai quante ce ne sono state di cadute, le ginocchia ce le siamo sbucciate assieme. Alla fine siamo arrivati qui, ed è solo l'inizio..