

POLITECNICO DI MILANO

Facoltà di Ingegneria dell'Informazione

Corso di laurea specialistica in Ingegneria Elettronica



**PROGETTAZIONE DI UN CONVERTITORE
DIGITALE-ANALOGICO INTEGRATO IN TECNOLOGIA
SILICIO-GERMANIO PER APPLICAZIONI
TIME-CORRELATED SINGLE PHOTON COUNTING**

Relatore: Ing. Ivan Rech

Correlatore: Ing. Matteo Crotti

Tesi di Laurea
Niccolò Mario
Spinola Ferrari
matr.734560

Anno Accademico 2009-2010

Sommario

INTRODUZIONE	5
CAPITOLO 1 TCSPC	11
1.1 Rilevazione di segnali luminosi.....	11
1.1.1 Confronto tra Photon Counting e Analog Recording	11
1.1.2 TCSPC	13
1.2 Sistema di acquisizione TCSPC	15
1.2.1 Architettura classica	15
1.2.2 Tecniche avanzate	17
1.3 Applicazioni per TCSPC.....	19
1.3.1 Analisi delle curve di fluorescenza.....	19
1.3.2 Tomografia ottica	20
1.3.3 Microscopia laser a scansione	21
CAPITOLO 2 TAC	23
2.1 Misura temporale.....	23
2.1.1. Confronto tra TAC e TDC	23
2.1.2 Funzionamento del TAC.....	25
2.1.3 Prestazioni del TAC	27
2.2 Architettura del TAC.....	29
2.2.1 Logica d'ingresso.....	29
2.2.2 Stadio di conversione	30
2.2.3 Stadio di uscita.....	32
2.2.4 Logica di controllo.....	33
CAPITOLO 3 DITHERING	36
3.1 Riduzione della DNL.....	36
3.1.1 Definizione di DNL	36

3.1.2 Tecniche di riduzione della DNL	39
3.2 Dithering per applicazioni TCSPC	42
3.2.1 Acquisizione TCSPC con dithering	42
3.2.2 Risultati sperimentali	43
CAPITOLO 4 DAC	46
4.1 Panoramica sui DAC	46
4.1.1 DAC R-2R	46
4.1.2 DAC termometrico	47
4.1.3 DAC binary-weighted	48
4.1.4 DAC segmentato	49
4.1.5 DAC Sigma-Delta	50
4.2 Architettura del DAC	51
4.2.1 Requisiti	51
4.2.2 Struttura di base	53
4.2.3 Inserimento nel sistema	54
CAPITOLO 5 COMPONENTI	56
5.1 Stadio di polarizzazione	56
5.1.1 Riferimento a bandgap	57
5.1.2 Riferimenti di corrente	61
5.1.3 Amplificatori Operazionali	62
5.1.4 Layout	65
5.2 Generatori di corrente	66
5.2.1 Segmentazione	66
5.2.2 Layout	68
5.3 Stadio di uscita	69
5.3.1 Configurazione dell'uscita	70

5.3.2 Buffer	72
5.3.3 Operazionale fully-differential.....	75
5.3.4 Layout	79
5.4 Contatore Digitale	80
5.4.1 Architettura	80
5.4.2 Contatore asincrono e logica.....	81
5.4.3 latches e drivers.....	82
5.4.4 layout	83
5.5 Layout finale	85
Capitolo 6 RISULTATI	87
6.1 Caratteristiche	87
6.1.1 rumore	87
che non incide quindi sulla risoluzione del TAC.	88
6.1.2 Compensazione in temperatura	88
6.1.3 Disturbi sull'alimentazione	89
6.1.4 Variazioni del processo tecnologico	90
6.2 Prestazioni	91
6.2.1 velocità.....	91
6.2.2 Linearità	94
CONCLUSIONI	96
Bibliografia	98

INDICE DELLE FIGURE

1.1	Analog Recording nel dominio di tempo e frequenza a confronto col photon counting.....	11
1.2	Elettronica tipica del photon counting.....	12
1.3	Esempio di misura TCSPC.....	13
1.4	Sistema di acquisizione TCSPC con architettura classica.....	15
1.5	Sistema di acquisizione TCSPC con tecniche avanzate.....	17
1.6	Emissione di fluorescenza di una molecola eccitata.....	20
1.7	Setup tipico per tomografia ottica.....	21
1.8	Setup per la microscopia a scansione laser.....	22
2.1	Principio di funzionamento del convertitore tempo-ampiezza.....	23
2.2	Tipica topologia di un Time-to-Digital-Converter.....	24
2.3	Schema a blocchi della struttura del TAC.....	25
2.4	Diagramma di funzionamento del TAC.....	26
2.5	Andamento della FWHM relativa al tempo di ritardo.....	27
2.6	DNL in funzione del tempo.....	28
2.7	Diagramma di timing di un TAC.....	29
2.8	Logica d'ingresso del convertitore.....	30
2.9	Stadio di conversione.....	31
2.10	Stadio di uscita.....	32
2.11	Andamento dell'uscita differenziale del TAC.....	33
2.12	Schema della logica di controllo.....	33
2.13	Schema della logica di Reset.....	34
2.14	Schema della logica di Strobe.....	35
3.1	Funzioni di trasferimento per DAC e ADC.....	36
3.2	Spostamenti della caratteristica per errori.....	37

3.3	Esempio di caratteristica non-lineare per un ADC.....	38
3.4	Effetti di differenti DNL su una misura TCSPC.....	39
3.5	Esempi di dithering sottrattivo e non sottrattivo.....	41
3.6	Schema di acquisizione TCSPC con l'aggiunta del DAC.....	42
3.7	Confronto sui canali del sistema TCSPC con e senza usare il dithering.....	43
3.8	DNL del sistema coprendo 1/16 della dinamica.....	44
3.9	DNL del sistema coprendo 1/8 della dinamica.....	44
3.10	DNL del sistema coprendo 1/4 della dinamica.....	45
4.1	Struttura DAC R-2R.....	46
4.2	Esempio di DAC termometrico con resistenze.....	47
4.3	Esempi di DAC binary-weighted a 4 bit.....	48
4.4	Esempi di segmentazione.....	49
4.5	Schema a blocchi di un DAC Sigma-Delta.....	50
4.6	Blocchi che compongono il DAC.....	53
4.7	Gestione dei segnali nel sistema.....	54
5.1	Blocchi dello stadio di polarizzazione.....	56
5.2	Circuito del riferimento a bandgap.....	57
5.3	Compensazione di temperatura nel bandgap.....	58
5.4	Simulazione AC della tensione di riferimento con 1V di disturbo all'alimentazione.....	59
5.5	Circuito per la polarizzazione di operazionali e cascode.....	60
5.6	Generatori di corrente riferiti a resistenze.....	61
5.7	Amplificatore operazionale a 2 stadi.....	62
5.8	Guadagno e fase dell'operazionale a 2 stadi.....	63
5.9	Distribuzione del margine di fase con simulazione Montecarlo.....	64
5.10	Possibili andamenti del guadagno con simulazione Montecarlo.....	64
5.11	Possibili andamenti della fase con simulazione Montecarlo.....	64

5.12	Layout della sezione di polarizzazione.....	65
5.13	Struttura composta da generatore di corrente e interruttori.....	66
5.14	Generatori che compongono l'array degli MSB.....	67
5.15	Generatori che compongono l'array degli LSB.....	68
5.16	Layout degli MSB.....	69
5.17	Layout degli LSB.....	69
5.18	Configurazione circuitale dello stadio di uscita.....	70
5.19	Circuito interno dell'operazionale in configurazione a buffer.....	72
5.20	Guadagno e fase dell'operazionale in configurazione a buffer.....	73
5.21	Distribuzione del margine di fase con simulazione Montecarlo.....	74
5.22	Possibili andamenti del guadagno con simulazione Montecarlo.....	74
5.23	Possibili andamenti della fase con simulazione Montecarlo.....	74
5.24	Circuito interno dell'operazionale completamente differenziale.....	75
5.25	Stadio addetto alla reazione di modo comune.....	76
5.26	Guadagno e fase dell'operazionale fully-differential a 5 V.....	77
5.27	Guadagno e fase della reazione di modo comune.....	77
5.28	Distribuzione del margine di fase con simulazione Montecarlo.....	78
5.29	Possibili andamenti del guadagno con simulazione Montecarlo.....	78
5.30	Possibili andamenti della fase con simulazione Montecarlo.....	78
5.31	Layout dello stadio di uscita.....	79
5.32	Schema a blocchi del contatore digitale.....	80
5.33	Schema del contatore asincrono.....	81
5.34	Logica di controllo del segnale triangolare.....	82
5.35	Schema dei latches del contatore.....	82
5.36	Driver che portano i bit di comando in uscita.....	83
5.37	Layout del contatore.....	84

5.38	Layout del DAC.....	85
6.1	Spettro del rumore sull'uscita da 1 Hz a 1 GHz.....	87
6.2	Andamento in temperatura dell'uscita differenziale del DAC a piena dinamica.....	88
6.3	Scostamento dell'uscita dato un disturbo di 1V su ciascuna alimentazione.....	89
6.4	Simulazione Montecarlo dell'uscita in DC.....	90
6.5	Setup della simulazione di transitorio per il DAC.....	91
6.6	Forma dei segnali in ingresso al DAC.....	92
6.7	Transitorio dei morsetti dello stadio sommatore del DAC.....	92
6.8	Prime transizioni di una delle uscite del DAC prima dello stadio sommatore.....	93
6.9	Uscite del DAC nei primi 40 μ s.....	93
6.10	DNL calcolata con MATLAB.....	95
6.11	INL calcolata con MATLAB.....	95

Introduzione

Con i recenti sviluppi nel campo delle misure Time-Correlated Single Photon Counting (TCSPC) si è osservata, negli ultimi anni, una fortissima crescita della domanda per questo tipo di tecnologia che garantisce misure con risoluzione temporale incomparabile rispetto alle tecniche classiche laddove vi siano da analizzare segnali luminosi contraddistinti da intensità estremamente debole ma allo stesso tempo grande velocità.

Le tecniche TCSPC consistono nella rivelazione a singolo fotone di un segnale luminoso periodico, ad esempio stimolato da una sorgente laser impulsata, a cui segue la misura del tempo di arrivo del fotone così ottenuto per poi ricostruire il segnale al seguito di un grande numero di misure considerandone la distribuzione statistica. La rivelazione avviene per mezzo di sensori quali i classici tubi fotomoltiplicatori (PMT) oppure, da alcuni anni, una valida alternativa sono i fotodiodi a valanga a singolo fotone (SPAD) che risultano decisamente competitivi in termini di efficienza quantica, consumi, rumore e dimensioni.

Le applicazioni in cui questo tipo di misure sono ormai abbondantemente diffuse appartengono a diversi ambiti fra cui la biologia, la medicina e la chimica, ad esempio sono ampiamente utilizzate per la spettroscopia di fluorescenza, tomografie ottiche o microscopie laser a scansione.

Per soddisfare queste esigenze le moderne tecniche TCSPC prevedono architettura complesse costituite da sistemi di più rivelatori e canali di acquisizione in parallelo che sfruttano un approccio multi-dimensionale per fornire analisi più accurate e frequenze di conversione più alte. In questo senso la capacità di progettare sistemi che lavorino ad alto grado di parallelismo risulta dunque di primaria importanza. In particolare la tendenza degli ultimi anni riguardano lo sviluppo di matrici ad alto numero di rivelatori che allo stesso tempo siano anche in grado di integrare l'elettronica necessaria all'acquisizione della misura.

La realizzazione del sistema di misura temporale risulta quindi fondamentale in questo ambito. Le prestazioni tipiche che si riescono a ottenere sono nell'ordine di poche decine di picosecondi per quanto riguarda la risoluzione mentre la non-linearità differenziale (DNL), che garantisce la corretta ricostruzione del segnale, deve essere contenuta entro la soglia di pochi percentuali.

Le due tipologie di architetture utilizzate in questo settore sono tipicamente la misura digitale diretta con l'ausilio di convertitori tempo-digitali (TDC) o in alternativa la misura analogica

attraverso un convertitore tempo-ampiezza (TAC) poi commutata in valore digitale attraverso un classico convertitore analogico-digitale (ADC). In generale entrambe garantiscono risoluzioni della precisione richiesta ma il secondo approccio permette, tramite il condizionamento analogico del segnale acquisito mediante le cosiddette tecniche di dithering, di raggiungere valori di DNL particolarmente contenuti. Per svolgere questo compito è necessaria l'introduzione di un ulteriore componente, ovvero un convertitore digitale-analogico (DAC), nella catena di acquisizione in modo da poter modificare il segnale generato dal TAC a proprio piacimento.

Classicamente si è realizzata l'integrazione su silicio del TAC e si è demandata la funzione del DAC a un componente esterno. Dal punto di vista di una matrice compatta ad alta densità però questo fattore diventa insostenibile al crescere della complessità del sistema.

L'obiettivo di questo lavoro di tesi consiste quindi nello sviluppo e realizzazione di un convertitore digitale-analogico integrato che possa inserirsi all'interno di una matrice di rivelatori per misure TCSPC e pertanto disponga non solo di prestazioni compatibili con i sistemi di misura in esame ma anche di ridotte dimensioni e consumi per non incidere in maniera eccessiva sulla matrice stessa.

Il punto di partenza da cui il lavoro è stato svolto è il TAC integrato, già sviluppato in precedenza, in tecnologia AMS-S35 ad etero-struttura in silicio-germanio provvista di transistori bipolari npn e minima lunghezza di canale di $0.35\mu\text{m}$. Questo convertitore di dimensioni compatte e prestazioni notevoli di DNL, risoluzione e velocità di conversione è particolarmente adatto per gli obiettivi prefissati. Si è ricercata quindi la massima compatibilità per consentire la convivenza dei due dispositivi all'interno dello stesso sistema.

Nel primo capitolo presenteremo nei dettagli i sistemi di misura TCSPC, le differenze tra sistemi classici e moderni e alcune loro applicazioni, mentre nel secondo capitolo vedremo nei particolari le specifiche e la struttura del TAC di riferimento. Nel terzo capitolo introdurremo i principi riguardanti le tecniche di riduzione della DNL e il loro utilizzo nei sistemi TCSPC per poi, nel quarto e quinto capitolo, sviluppare il progetto vero e proprio del convertitore. Infine nel sesto capitolo analizzeremo i risultati ottenuti in fase di progettazione e quindi le prestazioni offerte dal dispositivo all'interno del sistema TCSPC.

CAPITOLO 1 TCSPC

1.1 Rilevazione di segnali luminosi

Un segnale luminoso è rilevato per mezzo dell'assorbimento dei fotoni che lo costituiscono da parte di un sensore atto a trasdurlo in un corrispondente segnale elettrico. A partire dalla scelta del sensore esistono differenti tecniche utili per la ricostruzione del segnale originale. Esse differiscono in diversi aspetti, fra cui efficacia e complessità implementativa, ma hanno differente validità a seconda dell'ambito applicativo.

1.1.1 Confronto tra Photon Counting e Analog Recording

Le tecniche di ricostruzione del segnale sono in genere suddivise in due tipologie.

La prima è l'"Analog Recording", che prevede la rilevazione del segnale come forma d'onda a cui è sovrapposto del rumore, ovvero il segnale elettrico generato dal sensore è proporzionale al segnale ottico. In questo modo è possibile attuare misure sia nel dominio del tempo, dove si valuta l'intensità di impulsi distanziati temporalmente, sia nel dominio della frequenza, osservando fase e ampiezza del segnale in uscita dopo un filtraggio, come si può osservare in figura 1.1. L'informazione è quindi direttamente ricavabile dall'ampiezza stessa della forma d'onda.

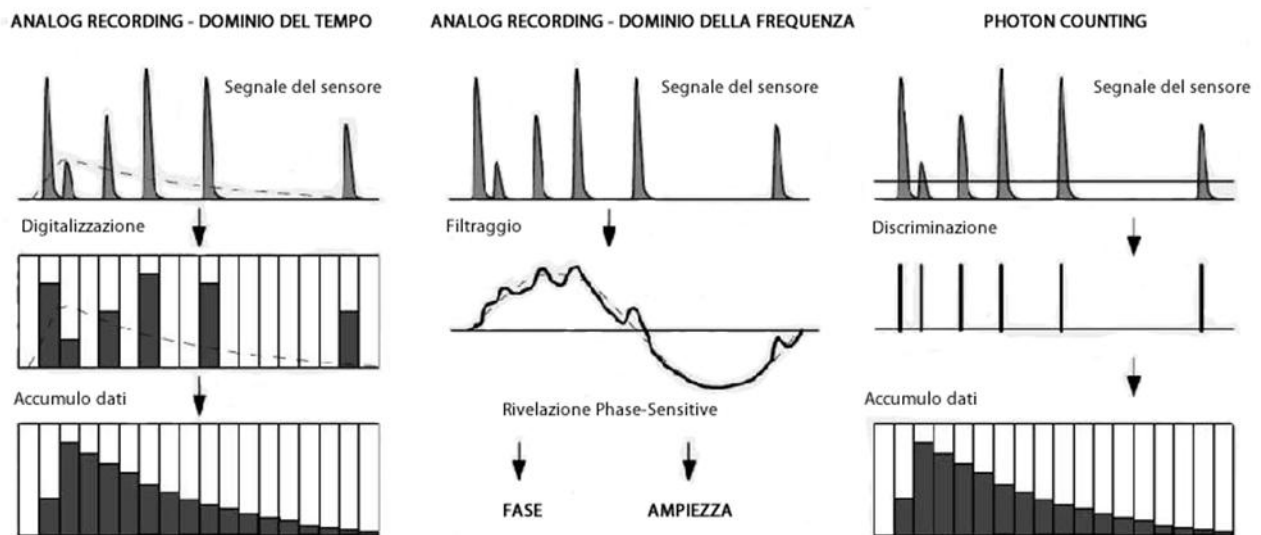


Figura 1.1 Analog Recording nel dominio di tempo e frequenza a confronto col photon counting

Le limitazioni in termini di velocità di queste tecniche sono dovute alle limitazioni fisiche dei sensori stessi adoperati. Si indica come Instrument Response Function (IRF) la larghezza di banda del rivelatore che a sua volta è limitata dalla Single Electron Response (SER), ovvero la larghezza dell'impulso per singolo fotone rilevato, che è nell'ordine di poche centinaia di picosecondi per i più rapidi MCP-PMT.

Un grande vantaggio di queste tecniche è la possibilità di utilizzo in presenza di tassi di fotoni eccezionalmente alti. Di fatto il rate massimo è dettato dalla saturazione o rottura del dispositivo ma è virtualmente illimitato qualora sia possibile regolare il guadagno dei fotorivelatori. Sfruttando queste proprietà l'Analog Recording riesce in genere ad ottenere tempi di acquisizione particolarmente brevi.

Di contro quando il segnale analizzato assume valori di intensità molto bassa, specie quando questo diventa una sequenza di pochi impulsi casuali, il rumore dell'elettronica tende a diventare dominante e il rapporto segnale-rumore della misura si degrada inevitabilmente. Inoltre la natura stocastica del processo di amplificazione dei tipici rivelatori, come i tubi fotomoltiplicatori (PMT) e fotodiodi a valanga (APD), a cui si aggiungono effetti di degrado e invecchiamento, rende il loro guadagno suscettibile di grandi variazioni, per cui gli impulsi generati da singoli fotoni soffrono di un fortissimo jitter di ampiezza che si riflette in un ulteriore e importante contributo di rumore nella misura. Pertanto le tecniche analogiche sono decisamente più adatte a misure ad alto tasso di ripetizione dei fotoni.

La soluzione alternativa è il "Photon Counting" che prevede la generazione di un impulso per ogni fotone rivelato. Si considera quindi il segnale come treno di impulsi, ciascuno del medesimo peso. In tal caso l'informazione non è quindi estratta dall'intensità del segnale ma dalla densità degli impulsi. Questi sono rilevati da un comparatore per poi essere accumulati in un gran numero di canali temporali. Il tutto può essere eseguito in due maniere differenti: la tecnica "multi-channel scaler" in cui si sfrutta una memoria ad alta velocità per cambiare velocemente, ad ogni misura, il canale in cui registrare il risultato e le tecniche TCSPC di cui parleremo diffusamente in seguito.

La velocità con queste modalità non è più limitata dalla SER ma dall'accuratezza con cui il tempo di arrivo dell'impulso può essere determinato, la quale dipende dalle fluttuazioni del tempo di transito all'interno del sensore e dall'elettronica che esegue il conteggio (in particolare i comparatori in ingresso). Questo errore in genere risulta migliore di un ordine di grandezza

rispetto all'analog recording. Ne consegue che la IRF per un dato rivelatore risulta più breve rispetto a qualunque tecnica analogica. Inoltre la stabilità del guadagno e il suo rumore che interessa, come visto, tutti i rivelatori a singolo fotone, risulta del tutto trascurabile dato che non conta l'ampiezza degli impulsi ma solo il loro numero entro certi termini.

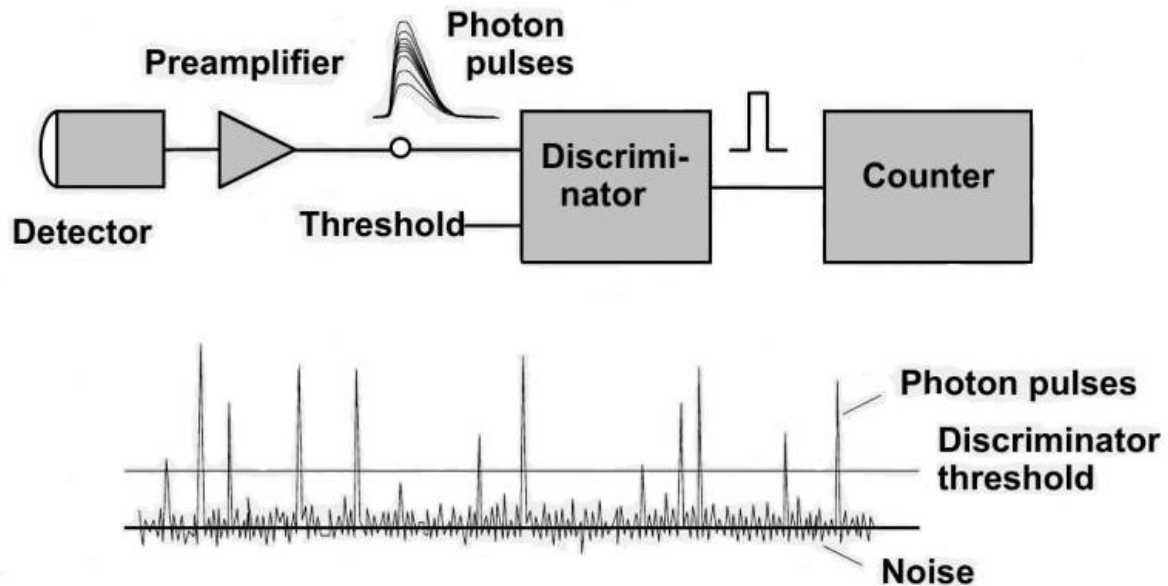


Figura 1.2 Elettronica tipica del photon counting

Tuttavia il Photon Counting richiede che, ovviamente, i singoli fotoni rimangano distinguibili l'uno dall'altro, pertanto è richiesto alto guadagno dei sensori e l'intervallo medio fra 2 differenti impulsi deve essere ben più largo della SER. Per tale motivo il tasso di conteggio rimane fortemente limitato raggiungendo al massimo valori di poche decine di MHz. Sembra quindi che il photon counting, sebbene sia capace di eccezionali risoluzioni temporali, imponga tempi di acquisizione decisamente lunghi. Tuttavia vedremo che questa lentezza è valida solo per i sistemi più tradizionali poiché i recenti sviluppi hanno apportato soluzioni a questo problema.

1.1.2 TCSPC

Quando si ha una misura periodica di photon counting, in cui la probabilità di rivelare un fotone durante un periodo è molto bassa e rivelarne più di uno è trascurabile, si può utilizzare la tecnica di Time-Correlated Single Photon Counting (TCSPC), ad esempio sfruttando un laser impulsato per indurre una stimolazione periodica del segnale desiderato (tipicamente di intensità molto bassa, con una probabilità di rilevare fra 0,01 e 0,1 fotoni per periodo).

Il principio su cui si basa questa tecnica consiste, dopo la rivelazione di un sufficiente numero di fotoni, nell'assegnazione di ogni impulso rivelato ad una posizione classificata a seconda del suo tempo di arrivo nel periodo, che viene suddiviso in canali. A fine misura si costruisce un istogramma che rappresenti la distribuzione di probabilità dell'istante di rilevamento. Dato che tale probabilità è direttamente proporzionale all'intensità luminosa del segnale analizzato, ne deriva che il grafico costruito rappresenta un'ottima approssimazione del segnale ottico stesso.

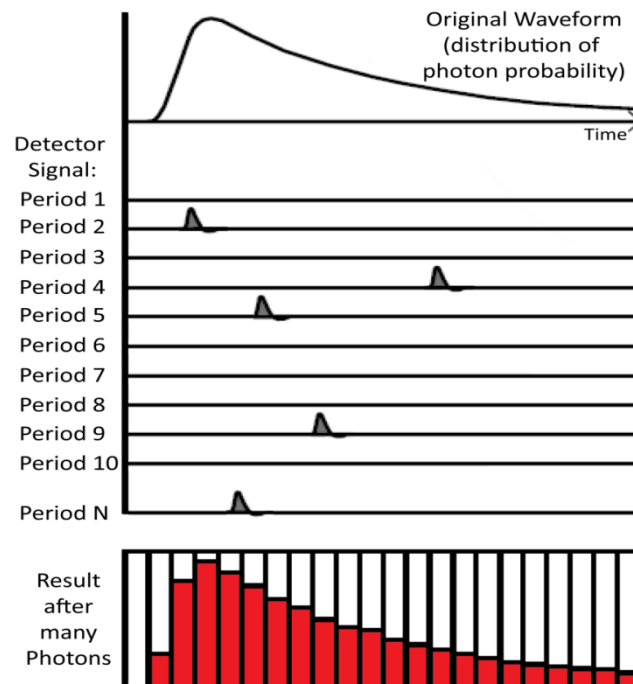


Figura 1.3 Esempio di misura TCSPC

Se la condizione di basso tasso dei fotoni non fosse invece rispettata si rischia di assistere a fenomeni di “pile-up” con più fotoni rivelati all'interno dello stesso periodo in grado di causare gravi effetti di distorsione nella ricostruzione del segnale. Questo era un grave problema nei primi sistemi TCSPC ed un fattore che ha contribuito fortemente alla lunghezza eccessiva dei tempi di acquisizione, ma recentemente con l'introduzione di laser ed elettronica più efficienti questa limitazione è stata rimossa.

Il TCSPC dispone di tutti i vantaggi già visti per le tecniche di photon counting: la risoluzione temporale è limitata infatti solo dalla dispersione del tempo di transito all'interno del rivelatore stesso, oltre che dal jitter introdotto dall'elettronica a valle. Questi parametri sono infatti notevolmente inferiori alla SER, permettendo di raggiungere risoluzioni fino al picosecondo nei

sistemi più avanzati, utili per rilevare variazioni di durata brevissima che non sarebbero altrimenti analizzabili. Il rovescio della medaglia dipende ovviamente dall'intrinseca lentezza della misura TCSPC, che richiede numerose ripetizioni del segnale prima di poter effettuare una misura affidabile. Tuttavia bisogna considerare che allo stato dell'arte i sistemi di acquisizione hanno raggiunto frequenze di funzionamento fino ad alcuni MHz rendendo più che accettabili, nell'ordine di pochi millisecondi, i tempi complessivi destinati alle misure, inoltre esistono diverse applicazioni, che vediamo di seguito, in cui le proprietà delle tecniche TCSPC si sposano perfettamente con le misure proposte. [1]

1.2 Sistema di acquisizione TCSPC

1.2.1 Architettura classica

Tipicamente il sistema di acquisizione per TCSPC, osservabile in figura 1.4, si compone, oltre che della sorgente luminosa (in genere un laser impulsato), innanzitutto di un fotorivelatore. Questo deve avere caratteristiche che permettano la rivelazione del singolo fotone, ovvero deve restituire un impulso ad ogni rivelazione, quindi un PMT (tubo fotomoltiplicatore) o uno SPAD (Single Photon Avalanche Diode).

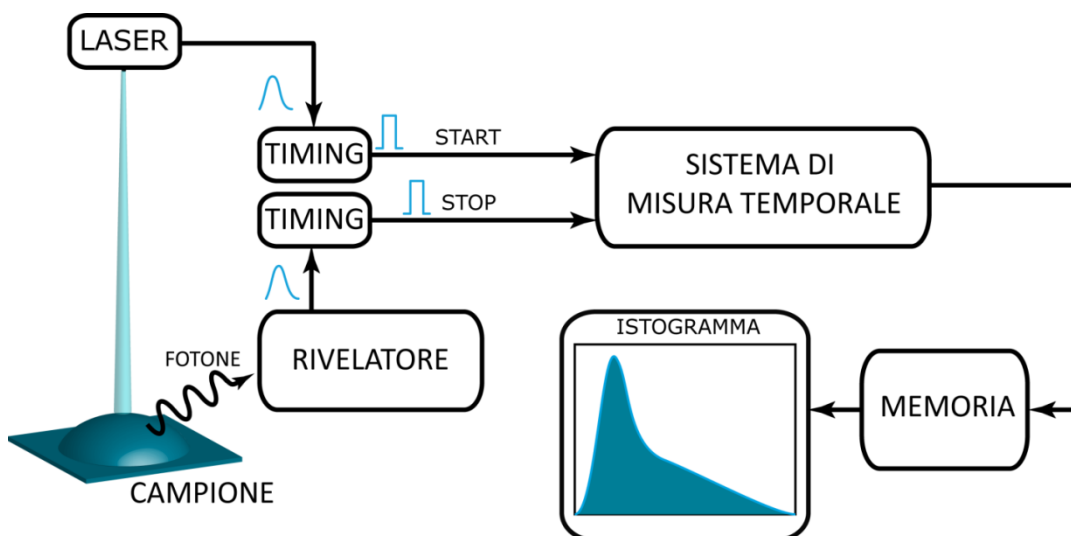


Figura 1.4 Sistema di acquisizione TCSPC con architettura classica

Il rivelatore e la sorgente sono a loro volta collegati a dei circuiti di timing, i quali hanno il compito di generare i segnali di Start per la sorgente e di Stop per il rivelatore per essere utilizzati successivamente come riferimenti temporali per effettuare la misura. Il sistema di misura temporale infatti valuta la distanza fra i 2 segnali restituendo un valore digitale e incrementando in questo modo il conteggio della locazione di memoria corrispondente al valore ottenuto. Pertanto la larghezza del canale incide direttamente sulla risoluzione del sistema di misura, le cui architetture vedremo nel capitolo successivo, che più è accurato più è in grado di dividere il periodo del segnale analizzato nel maggior numero di canali possibili, rendendo la misura più precisa. Inoltre è estremamente importante che questi canali dispongano tutti della stessa larghezza, poiché qualunque disuniformità fra i canali può causare variazioni accidentali nel conteggio dei fotoni distorcendo quindi il segnale ricavato e compromettendo il buon esito della misura. Pertanto è necessario che la non-linearità differenziale (DNL) di questo blocco sia minimizzata al meglio delle possibilità. Infine questo sistema deve essere in grado di resettarsi in tempo per poter effettuare la misura nel periodo successivo e quindi avere un tempo morto il più ridotto possibile.

Una volta effettuato il numero di misure necessario dalla memoria viene estratto l'istogramma che rende conto del risultato finale.

La difficoltà evidente di questo approccio è dovuto al fatto che nella maggior parte dei periodi analizzati non si effettua alcuna misura, dato che la probabilità di rivelare un fotone è, per ipotesi, alquanto scarsa. Per questo motivo il sistema di misura è costretto a continuare a resettarsi da solo, visto che non sopraggiunge alcun segnale di Stop e se si vogliono raggiungere elevate frequenze di funzionamento è sconsigliabile vedere il sistema riavviarsi ripetutamente. Inoltre sarebbe impossibile effettuare la misura e resettare il sistema all'interno dello stesso periodo, andando quindi a perdere numerosi fotoni col risultato di degradare l'efficienza e aumentare la durata della misura.

E' utile quindi ricorrere a una configurazione alternativa detta "reversed Start-Stop" dove il segnale per dare inizio alla misura è dato dal rivelatore invece che dal laser. La distanza temporale viene quindi valutata fra questo e il successivo segnale di Start della sorgente. In tal modo il blocco di misura si dovrebbe attivare solo quando un fotone deve essere effettivamente conteggiato, infatti la frequenza dell'evento è significativamente più bassa del rate della sorgente impulsata. Al fine di non introdurre ulteriore jitter è comodo allora introdurre un ritardo sistematico sulla linea

del segnale di Start in modo che l'arrivo di ogni fotone venga misurato rispetto al suo effettivo segnale di riferimento.

1.2.2 Tecniche avanzate

Recentemente l'evoluzione dei circuiti integrati analogici e digitali e l'impiego di dispositivi logici programmabili come le FPGA ha permesso l'utilizzo delle tecniche TCSPC in sistemi più complessi. Innanzitutto è stato possibile rimuovere il limite dell'acquisizione da un singolo rivelatore per un singolo canale introducendo sistemi di acquisizione multi-dimensionali. Così sfruttando la presenza di più canali in parallelo, maggiori capacità di memoria e frequenza di funzionamento si è in grado di realizzare più istogrammi relativi alla misura, non solo in funzione del tempo, ma anche rispetto alla lunghezza d'onda dei fotoni, della posizione di rivelazione o di altri parametri.

Questi sistemi appaiono più avanzati sotto diversi aspetti: dall'aumentata velocità di conversione alla nuova flessibilità nell'acquisizione e analisi dei dati, grazie alle quali si è potuto estendere il campo delle applicazioni delle tecniche TCSPC dove, a causa delle limitate possibilità dei sistemi classici, queste non erano previste.

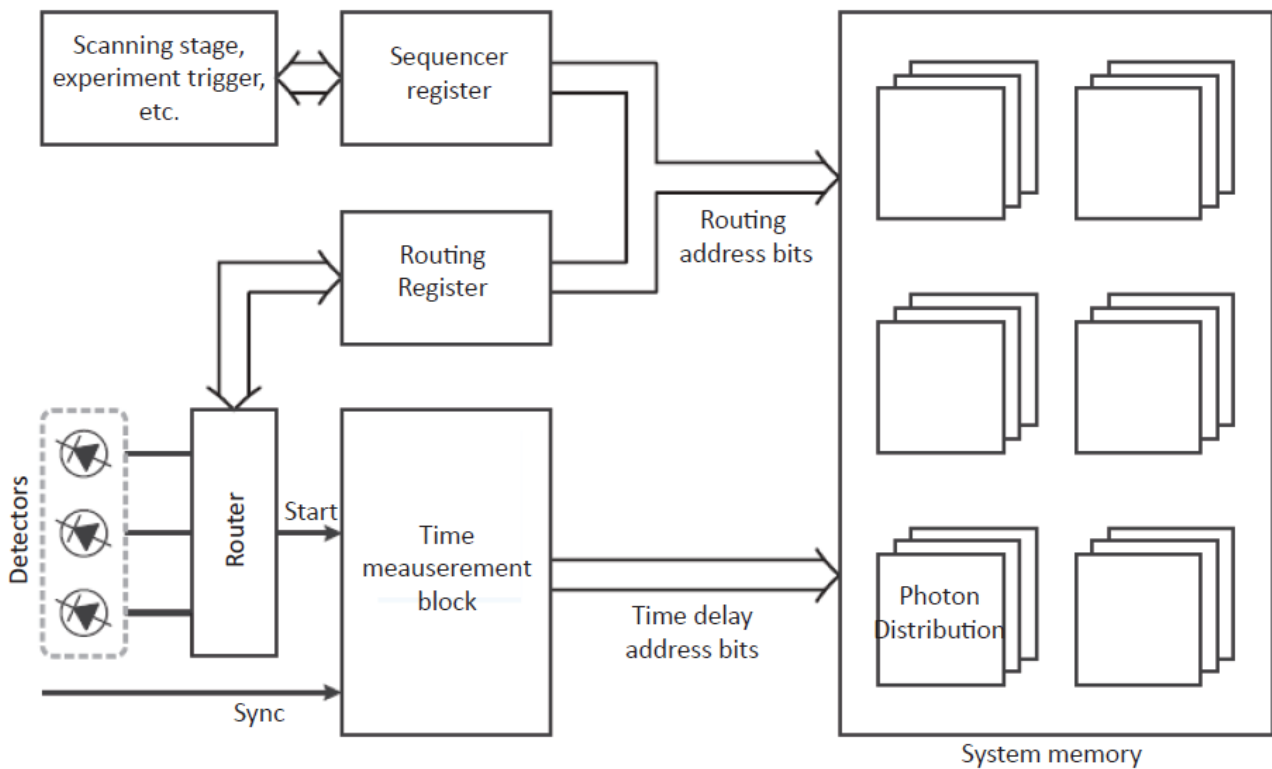


Figura 1.5 Sistema di acquisizione TCSPC con tecniche avanzate

In questi sistemi è necessario disporre di ulteriori bit di indirizzamento per selezionare le locazioni di memoria in cui posizionare i dati, essendo non sufficiente la semplice uscita digitale del blocco di misura temporale. La memoria stessa è suddivisa in differenti blocchi, classificati a seconda di un set di parametri impostato, che possono essere generati sia internamente che esternamente al sistema e possono variare il proprio significato a seconda della misura effettuata.

In particolare con un sistema TCSPC multi-dimensionale è possibile utilizzare numerose modalità di utilizzo, fra cui:

- Sistema multi-rivelatore: con diversi rivelatori connessi a un router che indirizza le loro uscite a un unico sistema TCSPC; i bit di indirizzamento simboleggiano il rivelatore da cui si è originata la forma d'onda.
- Rivelazione multiplexata: con un unico rivelatore e sistema di acquisizione ma vi sono più segnali ottici che vengono multiplexati nel dominio del tempo. Anche qui i bit di indirizzamento rappresentano direttamente il segnale analizzato dato che questi possono differire tra di loro per lunghezza d'onda, posizione d'incidenza...
- Scansione: con un circuito di scansione sincronizzato col sistema TCSPC in modo che il campione venga analizzato lungo 2 o 3 assi e ottenere in uscita immagini bidimensionali o tridimensionali; i bit di indirizzamento identificano le coordinate del campione.
- Rivelazione parametrica: in cui i parametri vengono cambiati di volta in volta per costruire diversi istogrammi; i bit di indirizzamento indicano il set di parametri utilizzato nella misura specifica.
- Acquisizione sequenziale: con un oscillatore che genera periodicamente i bit di indirizzamento che stabiliscono il tipo di misura da effettuare, che può essere anche multi-dimensionale, attivando di volta in volta i componenti necessari.

Nei sistemi avanzati inoltre si ha a disposizione anche un metodo alternativo per memorizzare i dati in arrivo dai fotorivelatori. Questa tecnica, definita "time tag" o anche "fifo mode", non prevede la costruzione diretta della distribuzione di fotoni, bensì la memorizzazione immediata dell'istante di arrivo del fotone rivelato. Si riferisce questo istante sia in base al momento dell'inizio dello sperimento, in tal caso si definisce "macro-time", sia per ogni singolo periodo e allora è detto "micro-time". Entrambi questi valori vengono inseriti, eventualmente anche con i bit di indirizzamento, in una memoria di tipo FIFO da cui vengono trasferiti a un PC per essere successivamente elaborati al fine della costruzione degli istogrammi utili. Questa tecnica permette

di eliminare qualsivoglia limite di memoria del TCSPC potendo utilizzare la memoria del PC per l'elaborazione. In termini di velocità invece il limite deriva solamente dalla lettura della memoria FIFO e il successivo trasferimento di dati. Questo metodo permette quindi di aumentare la mole di dati elaborata e di migliorarne l'analisi complessiva ampliando così ulteriormente la gamma di applicazioni di interesse dei sistemi TCSPC.

1.3 Applicazioni per TCSPC

Abbiamo già discusso dell'esistenza di numerosi campi di applicazione per le misure TCSPC, vediamo alcuni esempi particolarmente significativi.

1.3.1 Analisi delle curve di fluorescenza

Un'applicazione di particolare interesse che coinvolge diversi campi dalla chimica alla biologia e alla medicina è l'analisi delle curve di fluorescenza. Questo fenomeno avviene quando atomi o molecole eccitati rilasciano energia rilassandosi. Definita una molecola, questa presenta infatti diversi livelli energetici, come visibile in figura 1.6, a partire dallo stato di riposo S_0 vi sono poi i livelli eccitati S_1 , S_2 , $S_3...$ e così via.

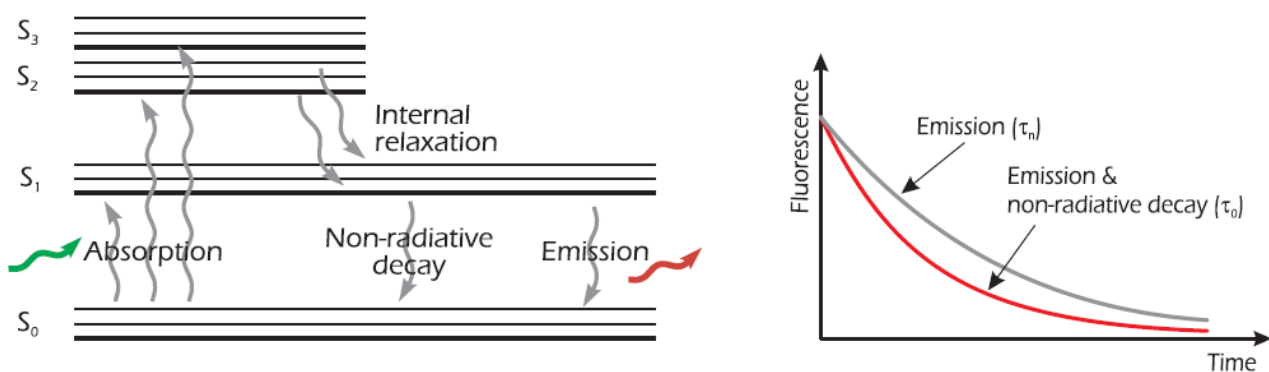


Figura 1.6 Emissione di fluorescenza di una molecola eccitata

Gli elettroni eccitati saltano quindi agli stati superiori. I livelli oltre S_1 hanno in genere costanti di decadimento molto rapide e questi tornano velocemente a S_1 , per poi riportarsi più lentamente allo stato di quiete rilasciando l'energia in eccesso talvolta sotto forma di radiazione luminosa, altre volte come energia termica o può essere semplicemente trasferita ad altre molecole. Questi processi avvengono contemporaneamente e, detenendo ognuno di essi una propria specifica

costante di tempo, nell'insieme danno luogo a una diminuzione della durata complessiva della curva di fluorescenza.

L'emissione di fotoni per fluorescenza può essere studiata in modo molto flessibile con i moderni sistemi TCSPC. Essi rendono possibile l'analisi di diverse tipologie di campioni in un'ampia gamma di esperimenti e con diversi set-up ottici.

Sono possibili esperimenti quali la misura dell'anisotropia della fluorescenza, la durata della fluorescenza a diverse lunghezze d'onda, indagini su fenomeni intermolecolari come il photobleaching (distruzione fotochimica di un fluoroforo, che permette di studiare i moti di diffusione delle molecole), oppure il FRET (trasferimento di energia per risonanza, che dà informazioni sulla struttura di molecole biologiche), studi su patologie tumorali o sulla sintesi proteica come la tecnica del FLIM (Fluorescence Lifetime Imaging Microscopy).

1.3.2 Tomografia ottica

La Diffuse Optical Tomography (DOT) è una moderna, non invasiva, tecnica di imaging molecolare. Sfruttando le emissioni luminose con lunghezze d'onda prossime all'infrarosso è possibile analizzare le diverse proprietà di scattering e assorbimento di alcuni tessuti biologici. Questa tecnica, anche con l'utilizzo in contemporanea di bio-marker fluorescenti mirati per specifici processi molecolari, rende possibile lo studio di processi biochimici a livello cellulare o molecolare. Tre sono le applicazioni a cui la DOT si rivolge in particolare:

- Visualizzazione dell'attività cerebrale
- Rilevamento dei tumori al seno
- Imaging di piccoli animali

Per lo studio di queste proprietà, da cui è possibile risalire a importanti parametri biologici, sono disponibili differenti approcci in entrambi i domini di tempo (TD) e frequenza (FD). Per quanto riguarda il dominio del tempo tipicamente le informazioni richieste vengono ricavate dalla misura del tempo di volo (TOF) dei fotoni. Con questo parametro si può infatti rilevare con precisione la posizione dei bio-marker interni al tessuto. Questo tipo di misura richiede tuttavia alta risoluzione e un elevato numero di canali di acquisizione poiché l'analisi del segnale ottico e la conseguente ricostruzione della struttura del tessuto risultano estremamente complessi.

Grazie ai moderni sistemi TCSPC multi-dimensionalmente è possibile ottenere un'elevata precisione nella misura dei tempi di volo. In figura 1.7 è mostrato il sistema utilizzato per le misure DOT. Vi

sono molteplici sorgenti luminose i cui fotoni, generati da laser impulsati, sono individuati uno ad uno con l'ausilio di numerosi foto-rivelatori che restituiscono in uscita i segnali di Start per la misura, mentre i corrispondenti segnali di Stop sono derivati direttamente dalle sorgenti impulsate. Per ciascun sensore viene quindi costruito un istogramma della distribuzione dei fotoni all'interno del periodo. Combinando i risultati ottenuti si riesce così a ricostruire l'immagine definitiva della tomografia.

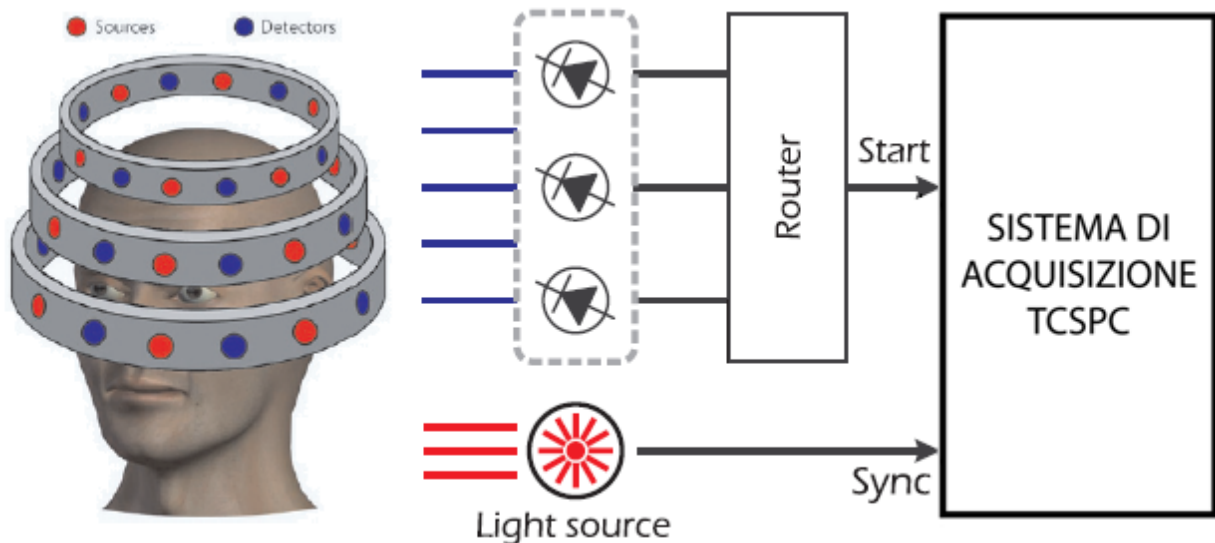


Figura 1.7 Setup tipico per tomografia ottica

Nella misura entrano quindi in gioco le vantaggiose proprietà dei sistemi TCSPC come il multiplexing dei laser di eccitazione e l'utilizzo di strutture a più rivelatori, che con qualche decina di canali di acquisizione ad alta risoluzione temporale permettono la riduzione del tempo complessivo della tomografia. Questo fattore è estremamente importante quando le misure devono essere effettuate direttamente sul paziente e pertanto i tempi di analisi vanno minimizzati.

1.3.3 Microscopia laser a scansione

I microscopi laser a scansione sono particolarmente adatti per la realizzazione di imaging della fluorescenza di campioni biologici. Le molecole organiche infatti hanno una fluorescenza che varia in intensità, durata e spettro di emissione. L'analisi congiunta di questi tre parametri permette di distinguere le emissioni provenienti da diversi fluorofori e riconoscere le interazioni tra diverse proteine, strutture di tessuti e diverse proprietà cellulari.

In figura 1.8 è rappresentato un esempio di apparato di misura per microscopia confocale con catena di acquisizione di TCSPC.

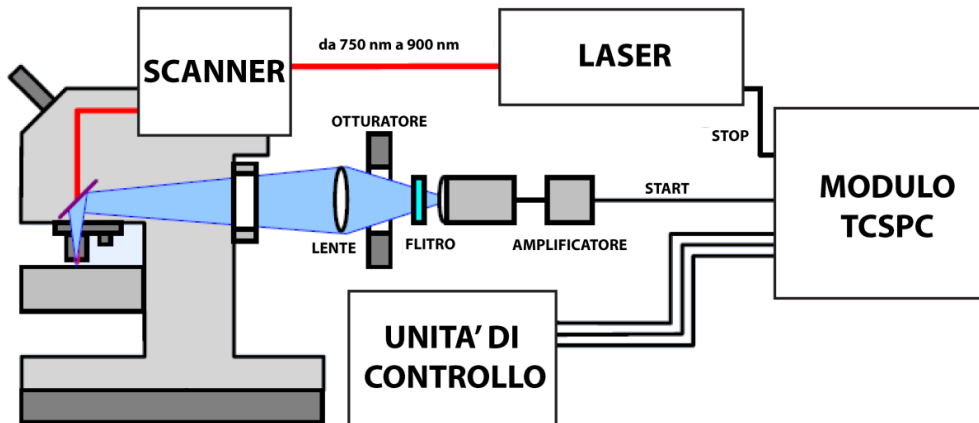


Figura 1.8 Setup per la microscopia a scansione laser

Nell'esempio il raggio laser scansiona tutta la superficie del campione analizzato mentre un opportuno sistema ottico indirizza i fotoni emessi verso i fotorivelatori. Il tutto viene ripetuto periodicamente a beneficio della misura TCSPC eccitando il campione nello stesso punto fino alla rilevazione dell'emissione e conseguente memorizzazione.

La forma d'onda della fluorescenza emessa dal campione può essere ricostruita grazie ai sistemi TCSPC multi-dimensionali, ottenendo le informazioni necessarie sulla struttura del tessuto o sui processi studiati.

Si utilizzano anche i bit di indirizzamento con lo scopo di definire le coordinate di emissione oppure per classificare le diverse lunghezze d'onda, polarizzazioni o altri parametri di interesse. L'obiettivo è ricostruire una mappa sull'emissione di fluorescenza e delle sue caratteristiche da cui ricavare informazioni sulla composizione o sui processi che avvengono all'interno del tessuto. [2]

CAPITOLO 2 TAC

2.1 Misura temporale

Abbiamo già sottolineato l'importanza nelle misure TCSPC dello stadio di misura temporale, questo è implementabile in 2 diverse architetture che differiscono tra loro in molteplici aspetti.

2.1.1. Confronto tra TAC e TDC

L'architettura classica utilizzata è quella di una catena di acquisizione costituita da un convertitore tempo-ampiezza (TAC, Time-to-Amplitude Converter), che esegue la misura dell'istante di arrivo dei fotoni producendo una tensione analogica proporzionale al tempo di rilevamento in uscita e da un convertitore analogico-digitale (ADC) che trasforma a sua volta la misura analogica in un valore digitale. La struttura del dispositivo è piuttosto semplice in termini concettuali e si basa sulla carica di una capacità mediante una corrente costante fatta fluire tra i segnali di start e stop, pertanto l'uscita sale proporzionalmente al tempo trascorso.

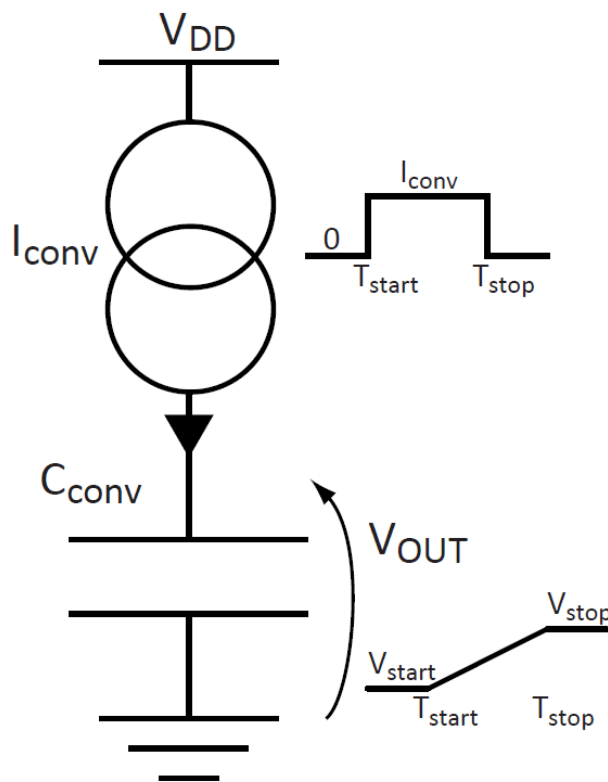


Figura 2.1 Principio di funzionamento del convertitore tempo-ampiezza

L'alternativa prevede invece di realizzare un unico blocco, che misuri il tempo per restituire immediatamente il segnale digitale corrispondente, detto TDC (Time-to-Digital-Converter). Questo sistema è concettualmente più complesso e si basa sull'utilizzo di linee di ritardo costituite da porte logiche. Ad esempio, utilizzando un oscillatore ad anello e un contatore, si può osservare lo stato delle uscite degli invertitori e del contatore al momento del segnale di Stop ottenendo quindi una rappresentazione digitale dell'intervallo di tempo trascorso.

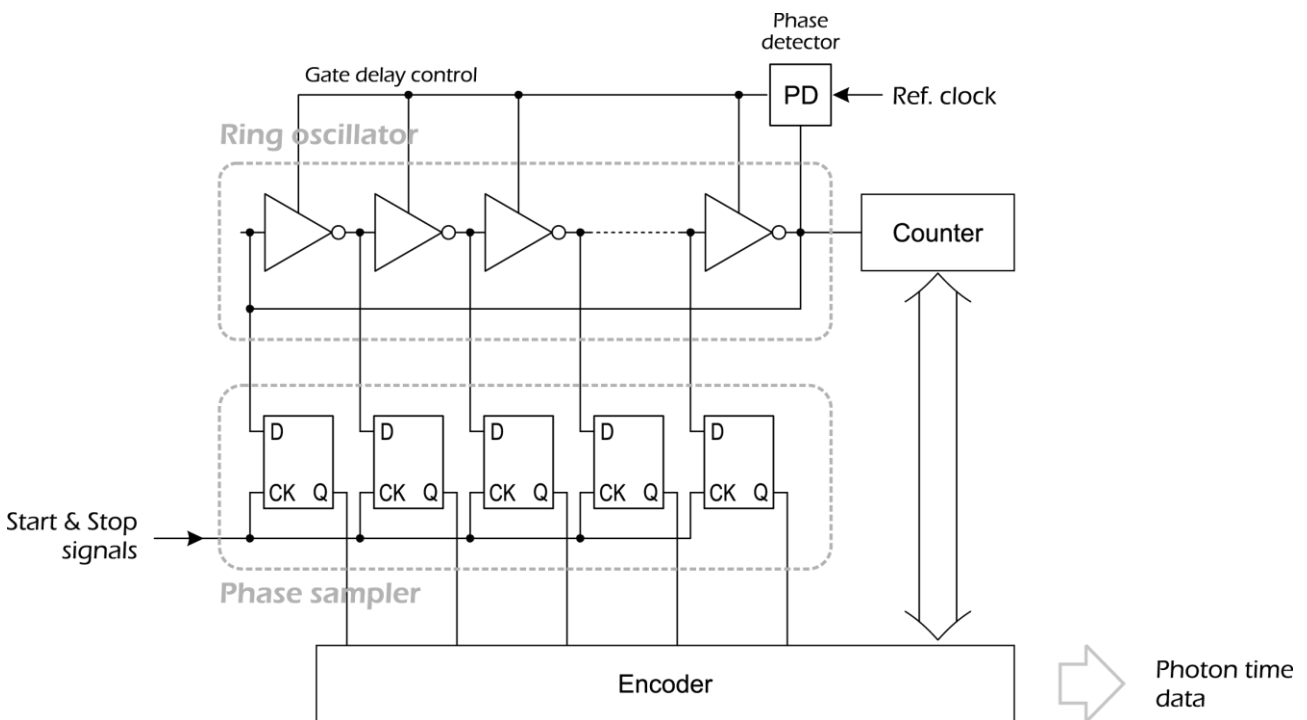


Figura 2.2 Tipica topologia di un Time-to-Digital-Converter

Sebbene esistano numerose alternative per implementare entrambi i sistemi, in genere i TDC, non avendo bisogno di un ADC, si distinguono per la minore occupazione di area, tuttavia a causa della difficile controllabilità tipica dei ritardi di propagazione delle porte logiche non è possibile raggiungere prestazioni simili a quelle ottenute attraverso l'impiego della cascata costituita da TAC e ADC in termini di risoluzione e non-linearità differenziale.

Per tale motivo, se si pretendono misure di estrema precisione, con non-linearità nell'ordine di pochi %, di cui si necessita nelle applicazioni di punta del TCSPC, la scelta di un sistema di acquisizione basato sul TAC risulta obbligata.

2.1.2 Funzionamento del TAC

Nonostante la struttura di base del convertitore tempo-ampiezza sia decisamente semplice quando l'obiettivo è raggiungere prestazioni elevate la progettazione si complica.

Per le applicazioni di nostro interesse si è sviluppato un TAC integrato in tecnologia Si-Ge a 0.35 μm , la cui struttura può essere suddivisa in quattro macroblocchi:

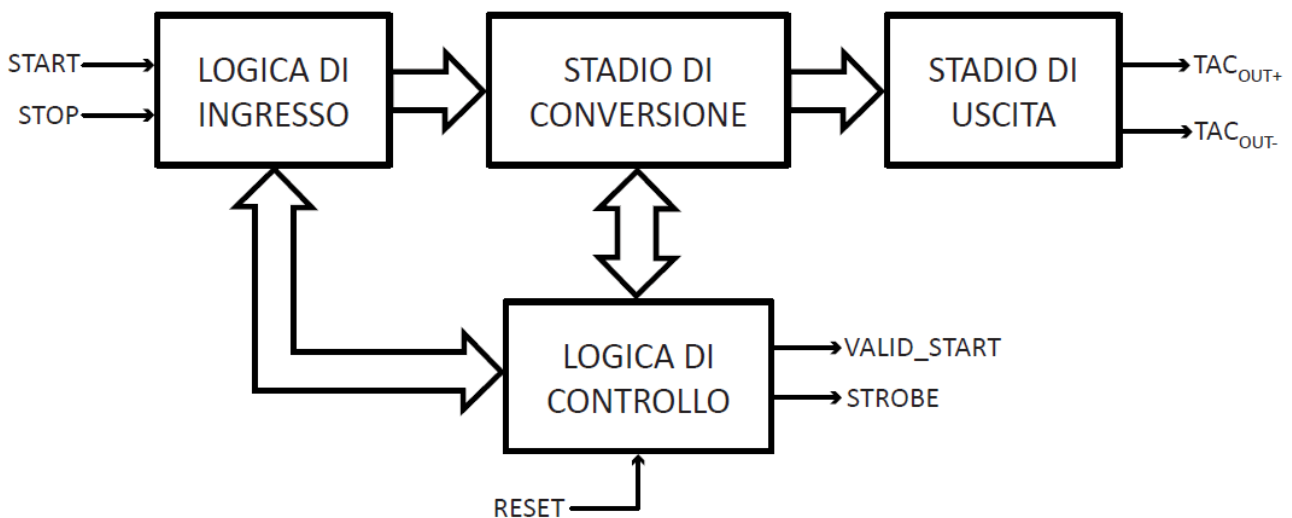


Figura 2.3 Schema a blocchi della struttura del TAC

- Logica d'ingresso: sono i circuiti logici digitali che hanno lo scopo di ricevere i segnali di Start e Stop per rielaborarli e rigettare quelli che risultano non validi, ovvero quei segnali di Start che arrivano quando è ancora in corso la conversione di un precedente ingresso e sono accettati solo i segnali di Stop successivi proprio a un segnale di Start valido.
- Stadio di conversione: è il blocco centrale del TAC, in cui avviene l'effettiva conversione tempo-ampiezza. Una rampa di tensione lineare viene generata tramite un generatore di corrente costante e una capacità in cui viene fatta fluire la corrente grazie all'utilizzo di diversi interruttori solo fra lo Start e lo Stop della misura.
- Stadio di uscita: è la sezione col doppio scopo di erogare la corrente adatta a pilotare il carico in modo che sia disaccoppiato dalla conversione, oltre che rendere differenziale l'uscita single-ended, dello stadio di conversione, fatto che non solo è vantaggioso dal punto di vista della reiezione dei disturbi e rumori esterni ma anche utile per adattarsi all'ingresso differenziale dei moderni ADC.

- Logica di controllo: ha il compito di fornire segnali utili allo stadio di conversione e all'elettronica esterna, come il VALID_START per indicare l'inizio alla conversione vera e propria e lo STROBE che segnala il termine della conversione. Qualora la conversione superi i limiti di tempo inferiori o superiori previsti dalla dinamica (Over-Range o Under-Range) viene generato un segnale per resettare il TAC.

Il funzionamento vero e proprio del TAC consiste in 4 differenti fasi:

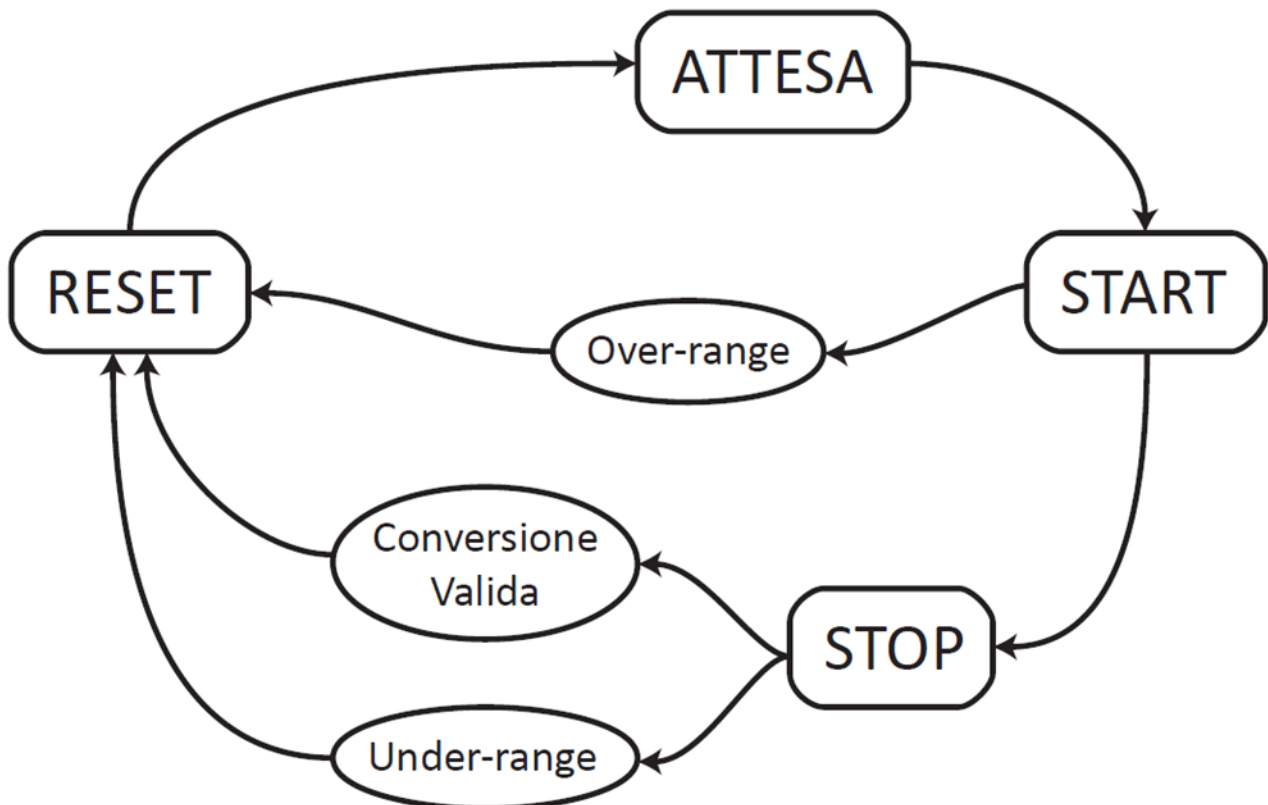


Figura 2.4 Diagramma di funzionamento del TAC

- Idle: è la fase in cui il convertitore è pronto ad accettare un nuovo segnale di Start per iniziare la conversione (i segnali ST e SP sono bassi)
- Conversione: è la fase, successiva allo Start, in cui si ha l'integrazione della corrente sulla capacità generando una rampa lineare in uscita (ST è alto, mentre SP rimane basso)
- Attesa: è la fase in cui l'integrazione viene fermata e la capacità rimane isolata per permettere all'elettronica a valle di leggere il valore d'uscita (SP e ST sono alti)
- Reset: è la fase in cui la capacità viene scaricata in modo da poter tornare alle condizioni originarie e cominciare una nuova fase di Idle (ST e SP tornano bassi)

2.1.3 Prestazioni del TAC

Il TAC considerato occupa un'area complessiva di $490 \times 440 \mu\text{m}$, senza i pad di connessione esterna, dimensioni piuttosto ridotte nel panorama di questo tipo di convertitori, dissipando una potenza di 40 mw praticamente indipendente dalla frequenza di conversione, essendo dovuta principalmente al buffer d'uscita differenziale.

La risoluzione del convertitore è tipicamente indicata con la larghezza a metà altezza, FWHM (Full-Width-at-Half-Maximum), della gaussiana che rappresenta lo sparpagliamento delle variazioni dell'uscita, sempre misurando lo stesso intervallo di tempo di ritardo. Queste sono dovute all'inevitabile introduzione di rumore nei vari stadi del convertitore, come ad esempio il jitter sugli stessi segnali di Start e Stop dovuto alle variazioni della soglia dei comparatori della logica d'ingresso. Nel nostro caso si sono misurati ritardi fra i 0 e i 40 ns, simulando le tipiche condizioni TCSPC, ottenendo FWHM fino a 45 ps per ritardi di pochi ns, peggiorando poi proporzionalmente all'aumentare del ritardo a causa del peggioramento del contributo dominante del rumore del generatore di corrente, proporzionale al proprio tempo di integrazione.

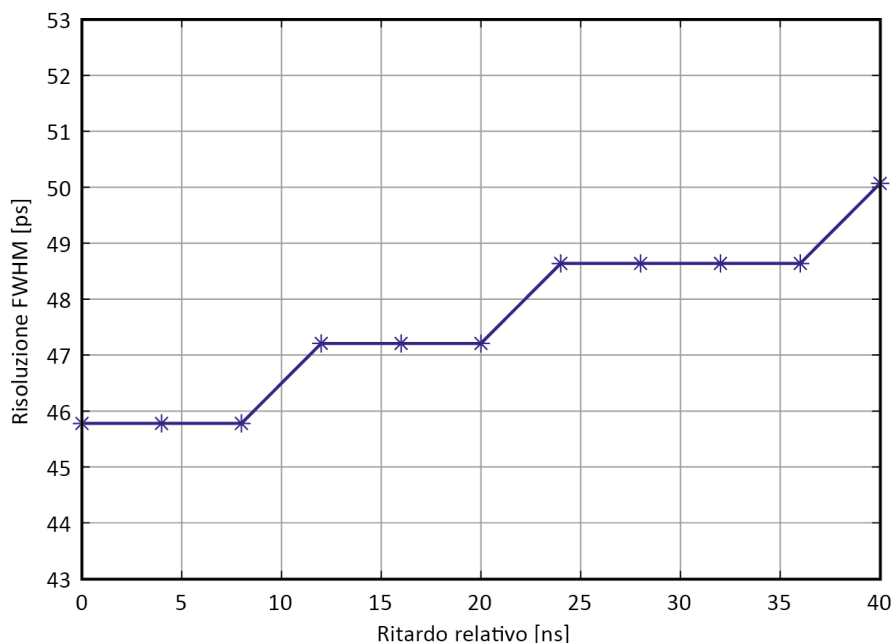


Figura 2.5 Andamento della FWHM relativa al tempo di ritardo

Un altro parametro fondamentale è la non-linearità differenziale, DNL, la quale può distorcere l'istogramma d'uscita della misura TCSPC ed è pertanto fondamentale che sia contenuta il più possibile. Inoltre grazie alle tecniche di dithering, che vedremo in seguito, è possibile rendere

trascurabile il contributo di DNL dell'ADC per cui quello del TAC diventa dominante. La caratteristica intervallo di tempo-tensione d'uscita dovrebbe essere teoricamente perfettamente lineare ma nella pratica diversi fenomeni, tra cui la correlazione tra i segnali di Start e Stop dovuta ad accoppiamenti elettromagnetici o variazioni sul riferimento di corrente per le iniezioni di carica degli interruttori interni introducono distorsioni. Nei casi di intervalli brevi le commutazioni delle parti digitali tendono a peggiorare gli effetti di iniezione per cui la DNL raggiunge i suoi valori peggiori con picchi del 3% mentre per intervalli particolarmente lunghi nei pressi dell'Over-Range si ha un contributo maggiore del buffer d'uscita, che lavora ai limiti della sua dinamica, seppure in misura minore al precedente. I valori migliori sono misurati quindi per intervalli intermedi ottenendo comunque un valore rms complessivo su tutta la dinamica inferiore allo 0,1%

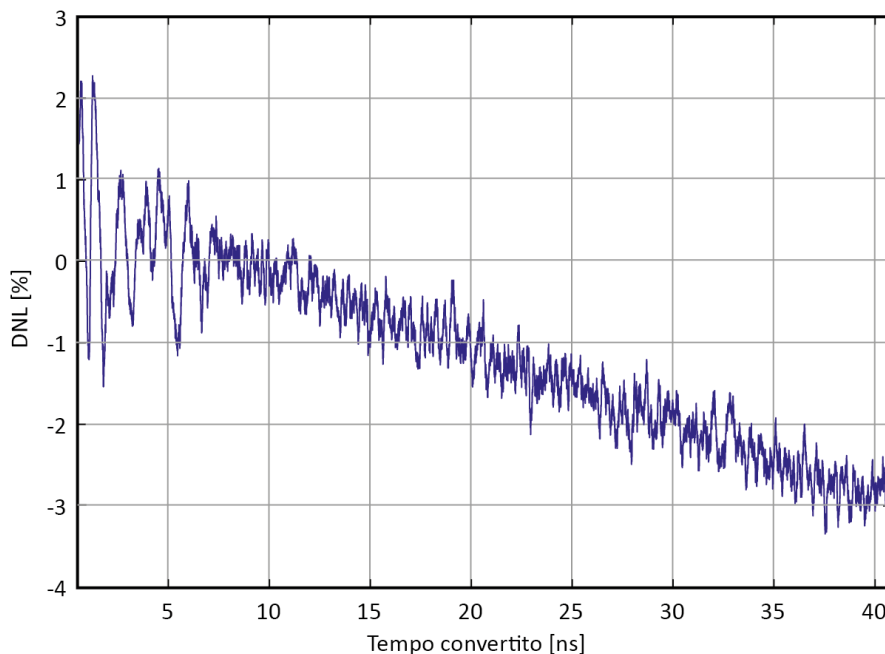


Figura 2.6 DNL in funzione del tempo

Infine l'ultimo parametro di primaria importanza è la frequenza di conversione, questa dipende direttamente dal tempo morto del TAC, quell'intervallo per cui, a causa del reset interno del dispositivo, non è possibile accettare nuovi segnali d'ingresso che andranno inevitabilmente persi. Il tempo morto va quindi minimizzato per poter aumentare il rate massimo dei segnali d'ingresso. Nel nostro caso si è riusciti a ottenere valori massimi dell'ordine dei 60 ns che comporta quindi una frequenza di conversione massima di circa 16 MHz che è perfettamente adatta per le comuni applicazioni TCSPC. [3]

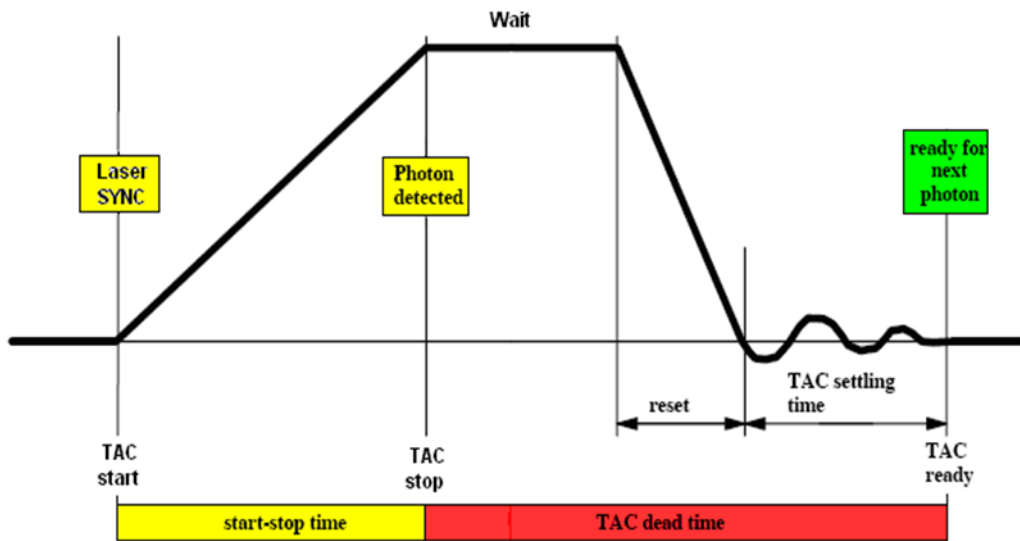


Figura 2.7 Diagramma di timing di un TAC

Le prestazioni di questo TAC combinate alle sue dimensioni ridotte sono quindi particolarmente adatte alle misure di precisione richieste e all'integrazione su matrice.

2.2 Architettura del TAC

Vediamo più nel dettaglio il funzionamento dei singoli blocchi del TAC sui quali dovremo interfacciarci per i nostri scopi.

2.2.1 Logica d'ingresso

Questo stadio si occupa di elaborare i segnali provenienti dall'esterno del chip rielaborandoli per la conversione. All'ingresso vi sono 2 comparatori alimentati a 3.3V che scattano sugli ingressi di Start e Stop esterni, che possono provenire da logiche diverse sia differenziali che single-ended. Successivamente i comparatori pilotano 2 flip-flop di tipo D sull'ingresso del clock, l'ingresso D del flip-flop di start è lasciato all'alimentazione, in modo tale che, dopo aver ricevuto il primo Start, l'uscita Q rimanga bloccata al livello logico alto fino al sopraggiungere del segnale di reset a ripristinare il livello logico basso. Così, durante la conversione, eventuali nuovi segnali di Start non vengono presi in considerazione. Nel contempo vengono generati i segnali ST e STn per pilotare la partenza dello stadio di conversione. L'ingresso D del flip-flop di Stop è pilotato dall'uscita dello

Start in modo che nello stato di “idle” rimanga basso, mentre è alto solo successivamente all’arrivo di uno Start valido. Qualora sopraggiunga uno stop esterno l’uscita passa allo stato logico alto solo se c’è stato effettivamente uno Start valido in precedenza. Da qui si derivano poi i segnali SP e SPn impiegati per l’arresto della conversione.

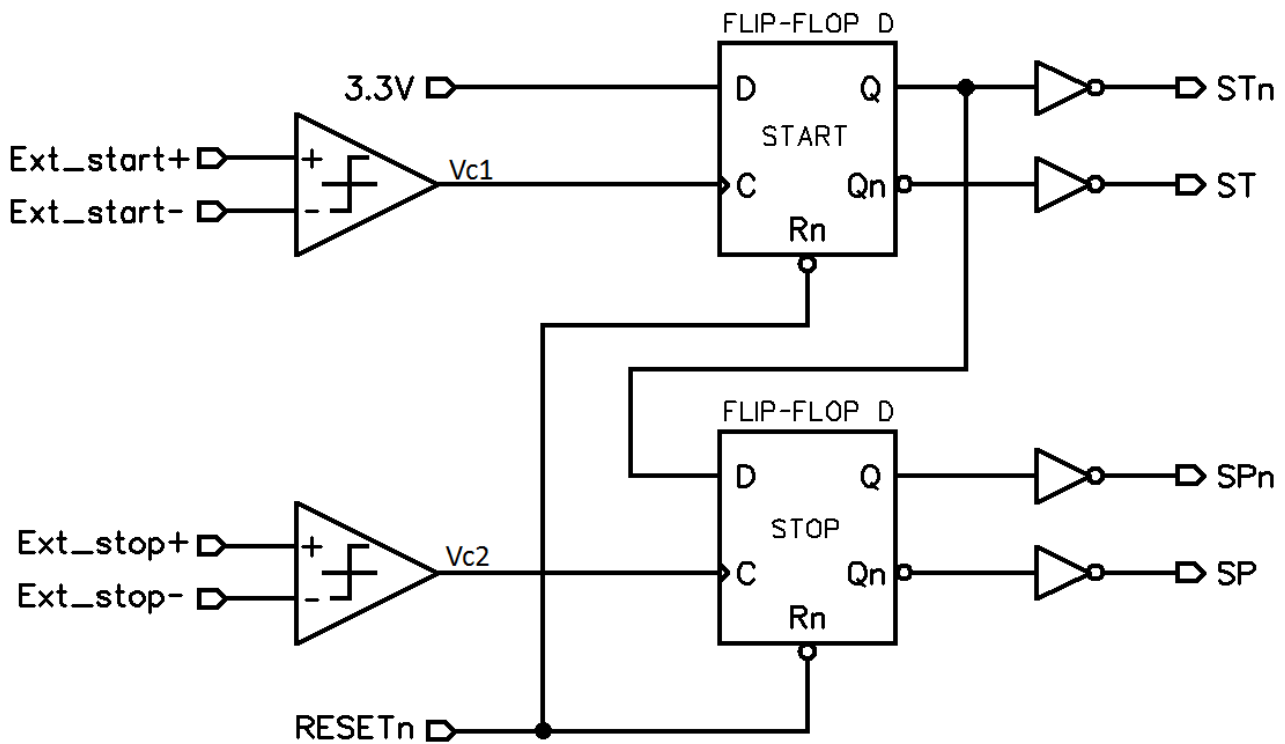


Figura 2.8 Logica d’ingresso del convertitore

I percorsi dei segnali sono stati simmetrizzati il più possibile a livello di layout in modo che i ritardi sistematici fra le linee siano resi minimi.

2.2.2 Stadio di conversione

E’ costituito, oltre che dal generatore di corrente costante e dalla capacità di integrazione, da 4 transistori (M1, M2, M3 e M4) atti a svolgere la funzione di interruttori, da un amplificatore operazionale e da un riferimento a bandgap a circa 880 mV come si può vedere in figura 1.9. Nello stato di “idle” i mos M2, M3 e M4 sono accesi portando l’operazionale a lavorare come buffer ed eroga la corrente di riferimento. La tensione di uscita in queste condizioni si porta vicino al riferimento a bandgap a circa 900 mV.

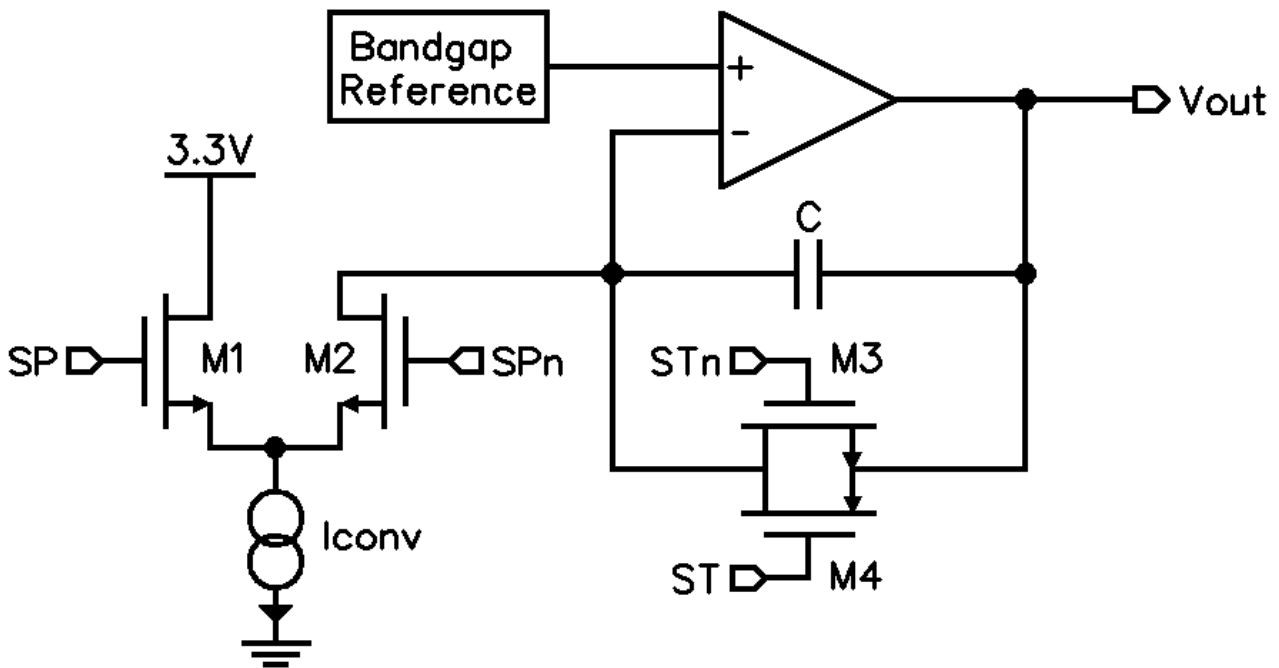


Figura 2.9 Stadio di conversione

All'arrivo di uno Start valido ST va alto (e STn basso) spegnendo il transmission gate M3-M4 permettendo così alla corrente di caricare la capacità determinando la salita dell'uscita con la caratteristica a rampa lineare. All'arrivo dello stop si spegne anche M2 e la corrente viene drenata all'alimentazione da M1, mentre la capacità, rimasta isolata, mantiene la tensione ai suoi capi in attesa della conversione dell'ADC. Essendo la capacità dell'ordine di 2.5 pF e la corrente di circa 100 μ A ogni ns corrisponde a 40 mV, ne deriva che il ritardo massimo di 50 ns corrisponde a una tensione di uscita massima di $0.9 + 50 \cdot 0.04 = 2.9$ V (in realtà è 45 ns a causa degli offset).

Una volta arrivato il segnale di reset i transistori tornano nelle condizioni originarie cortocircuitando la capacità di conversione e dando inizio alla scarica. Fintanto che il transitorio non si sia esaurito non devono quindi arrivare nuovi segnali di Start allo stadio, altrimenti la carica residua rimasta sulla capacità comincerà ad accumularsi (col cosiddetto effetto di pile-up) causando errori nelle successive conversioni.

L'operazionale è costituito da una struttura a folded cascode con uscita a Darlington per fornire la corrente di conversione occupando un'area minore (seppur limitando in dinamica la massima uscita a 3V) rispetto al corrispondente versione a CMOS.

Il riferimento di corrente è costituito da un circuito a bandgap e da un successivo stadio a transconduttanza che trasforma la tensione, generata sommando due tensioni con coefficienti di

temperatura opposti, in corrente in modo da renderla indipendente sia dalla temperatura che dai disturbi sulla linea di alimentazione.

2.2.3 Stadio di uscita

E' costituito essenzialmente da un operazionale fully-differential che, prelevata l'uscita dello stadio di conversione single-ended, la trasforma in uscita differenziale. Questa, oltre ai noti vantaggi di reiezione ai disturbi, ben si sposa con l'ingresso differenziale del successivo ADC, inoltre permette anche il miglioramento in termini di risoluzione del TAC stesso.

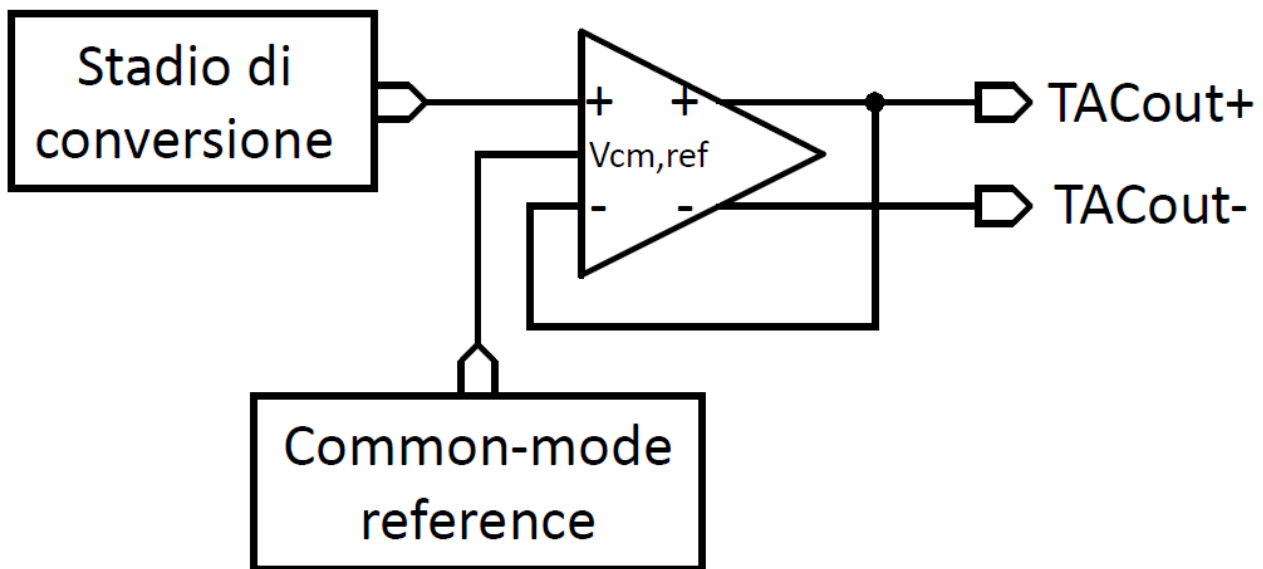


Figura 2.10 Stadio di uscita

Il modo comune delle uscite viene fissato dal circuito di common mode reference (a 1,9 V, cioè a metà della dinamica di conversione) grazie alla retroazione interna all'amplificatore stesso, mentre la retroazione esterna differenziale fissa i 2 capi differenziali uno direttamente sull'uscita (0,9 V in idle) e l'altro a 2 volte il riferimento meno l'uscita ($3,8\text{ V} - 0,9\text{ V} = 2,9\text{ V}$). Si ottiene quindi un segnale differenziale di 2 V pertanto a piena dinamica i 2 capi si invertono a 2,9 V e 0,9 V e ad ogni ns di ritardo del segnale temporale corrisponde a un'uscita differenziale di 80 mV. Il carico all'uscita all'esterno dell'integrato è considerabile nell'ordine di qualche centinaio di ohm e una decina di pF per cui allo stadio di uscita sono richieste prestazioni che si spingono fino a 10 mA di corrente di uscita e Slew-Rate molto elevato.

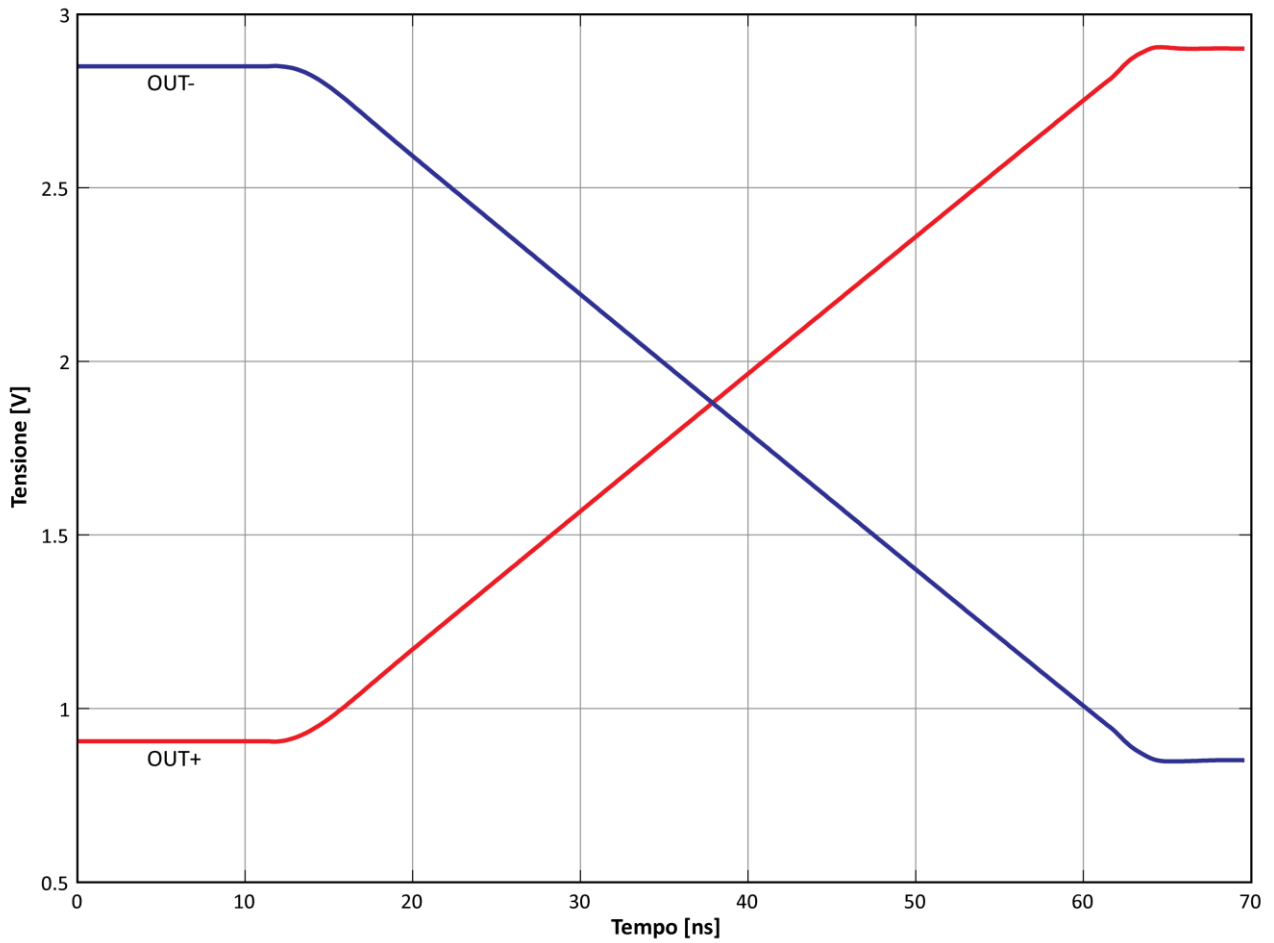


Figura 2.11 Andamento dell'uscita differenziale del TAC

2.2.4 Logica di controllo

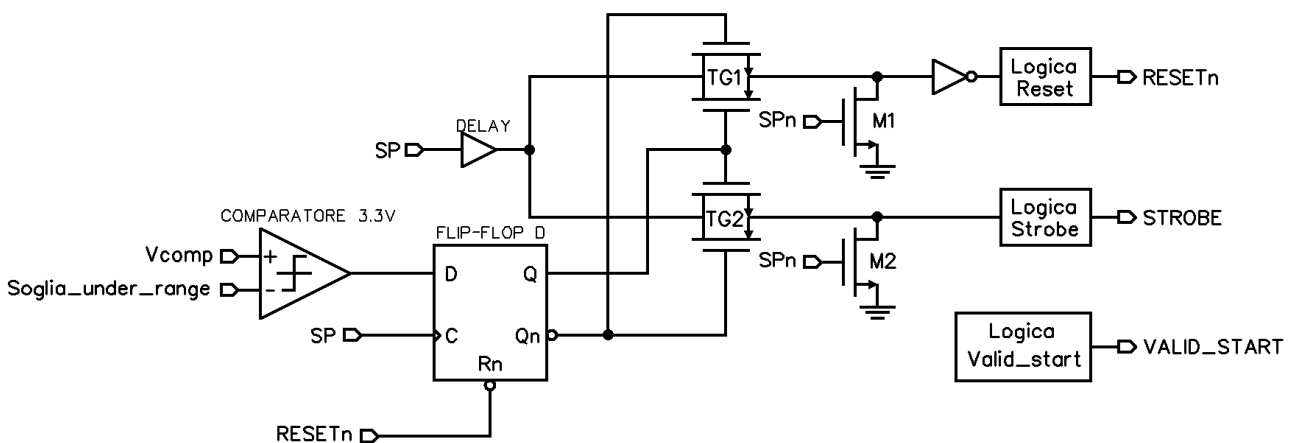


Figura 2.12 Schema della logica di controllo

A questa logica digitale è destinato il compito di elaborare i segnali per generare a sua volta i segnali necessari al corretto funzionamento del dispositivo insieme a quelli da portare fuori dal chip a vantaggio dell'elettronica esterna.

Innanzitutto viene generato il segnale di RESETn, a fine conversione, da fornire alla logica d'ingresso, per poter ripristinare le condizioni iniziali e poter iniziare una nuova conversione. Questo può essere generato in seguito al sopraggiungere del segnale di reset dall'elettronica esterna (Ext_reset, che indica la fine della conversione da parte dell'ADC) ma anche a causa di avvenuta condizione di Under-Range o Over-Range, ovvero il verificarsi di intervalli temporali troppo brevi o troppo lunghi. Questi due eventi sono segnalati da due comparatori impostati su due diverse soglie di tensione costanti. Mentre la condizione di Over-Range è, ovviamente, dovuta a considerazioni di dinamica, la condizione di Under-Range è necessaria perché qualora l'intervallo sia troppo breve, non è detto che la logica d'ingresso rilevi correttamente entrambi i segnali di Start e Stop (ad esempio non è detto che il tempo di setup del flip-flop di Stop sia rispettato). E' quindi meglio invalidare la conversione, ottenuta da tempi troppo rapidi, per non inficiare sulla linearità del TAC, con il desiderato effetto di eliminare anche quei tipi di segnale che di norma andrebbero comunque scartati a valle. Inoltre generando il RESETn autonomamente, piuttosto che affidarsi completamente all'elettronica esterna, si ottiene un notevole risparmio di tempo.

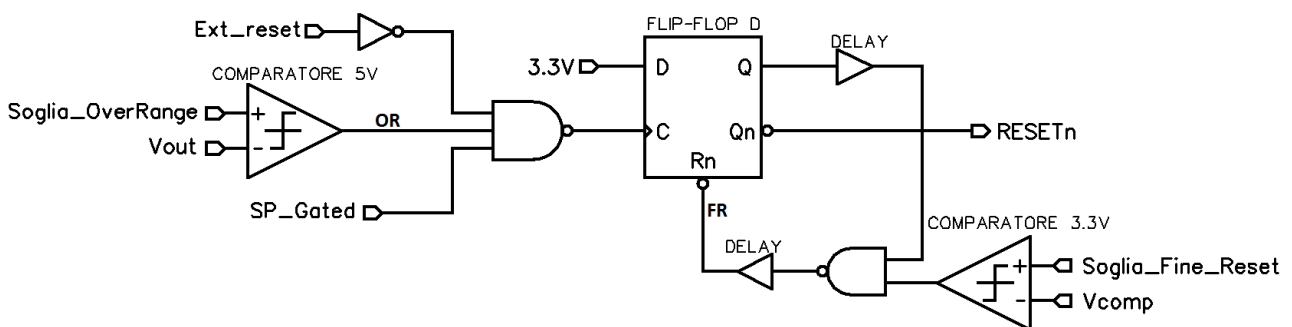


Figura 2.13 Schema della logica di Reset

Onde evitare che la scarica della capacità non sia completa (e quindi causi gli errori di pile-up) viene generato un segnale di fine reset tramite un comparatore che monitora la tensione di uscita. Si ritarda così la discesa del segnale di reset da alto a basso fintanto che la scarica non sia avvenuta. I segnali di Valid_Start e Strobe sono invece generati per essere portati all'esterno a beneficio del sistema di misura.

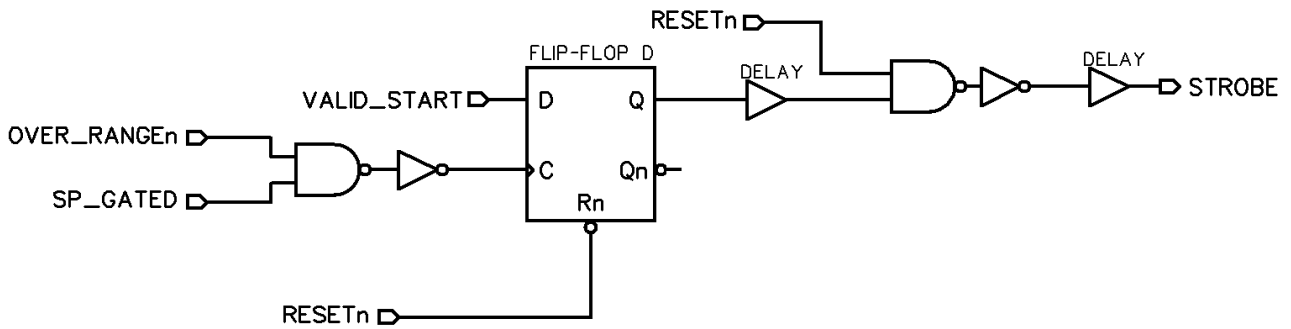


Figura 2.14 Schema della logica di Strobe

Il Valid_Start che segnala all'elettronica l'inizio di una conversione valida è semplicemente la propagazione dello Start stesso tramite un flip-flop di tipo D, che viene riabbassato solo all'arrivo del segnale di RESETh. Il segnale di Strobe indica invece la fine della conversione e viene generato successivamente all'arrivo del segnale di Stop, ma solo se si è generato un Valid_Start e non sono al contempo verificate le condizioni di Over_Range o Under_Range, poi viene ritardato in modo da permettere all'uscita del TAC di stabilizzarsi ai valori di regime. Il segnale di Strobe è particolarmente adatto per essere utilizzato per iniziare la conversione successiva dell'ADC. [4]

CAPITOLO 3 DITHERING

3.1 Riduzione della DNL

Come già anticipato nel primo capitolo la DNL del sistema di acquisizione assume fondamentale importanza in quanto distorcendo l'istogramma di uscita della misura compromette la corretta ricostruzione del segnale. Vediamo di definire nel dettaglio la non-linearità di un convertitore e i suoi effetti per poi capire come ovviare a questo fastidioso problema.

3.1.1 Definizione di DNL

Idealmente un convertitore che sia analogico-digitale o digitale-analogico presenta una caratteristica lineare quantizzata a causa della conversione da e verso un valore digitale. La risoluzione è quindi determinata dal Least Significant Bit (LSB) determinato come la tensione analogica totale, il Full-Scale-Range (FSR), divisa per il numero di livelli della codifica digitale derivato dal numero di bit N come 2^N ovvero:

$$LSB = FSR / 2^N$$

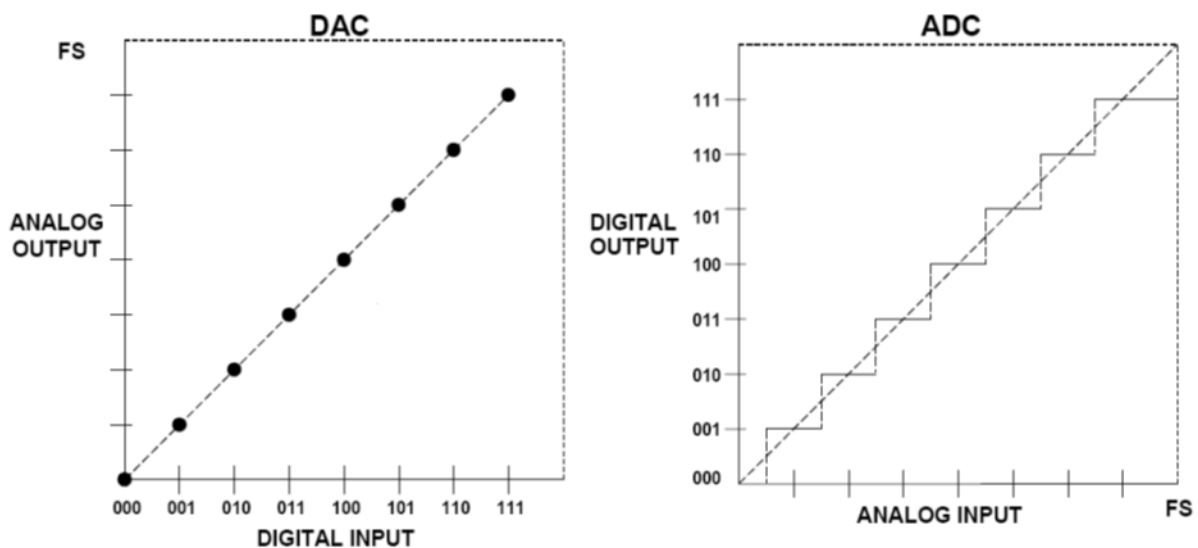


Figura 3.1 Funzioni di trasferimento per DAC e ADC a 3 bit

In figura 3.1 è mostrata la caratteristica ideale per entrambi i convertitori dove la funzione di trasferimento del DAC è costituita da punti uniformemente separati in altezza dalla distanza LSB

mentre quella dell'ADC è una serie di gradini di larghezza LSB i cui punti medi giacciono tutti sulla stessa retta.

Nella realtà gli elementi che compongono i convertitori introducono diversi tipi di errori che tendono a modificare inesorabilmente la caratteristica di uscita. In particolare esistono gli errori di offset che traslano la caratteristica in senso verticale e l'errore di guadagno che ne modifica la pendenza spostandola dal valore ideale di 45°. Tuttavia questi errori possono essere ovviati facilmente a posteriori con un'adeguata calibrazione del sistema.

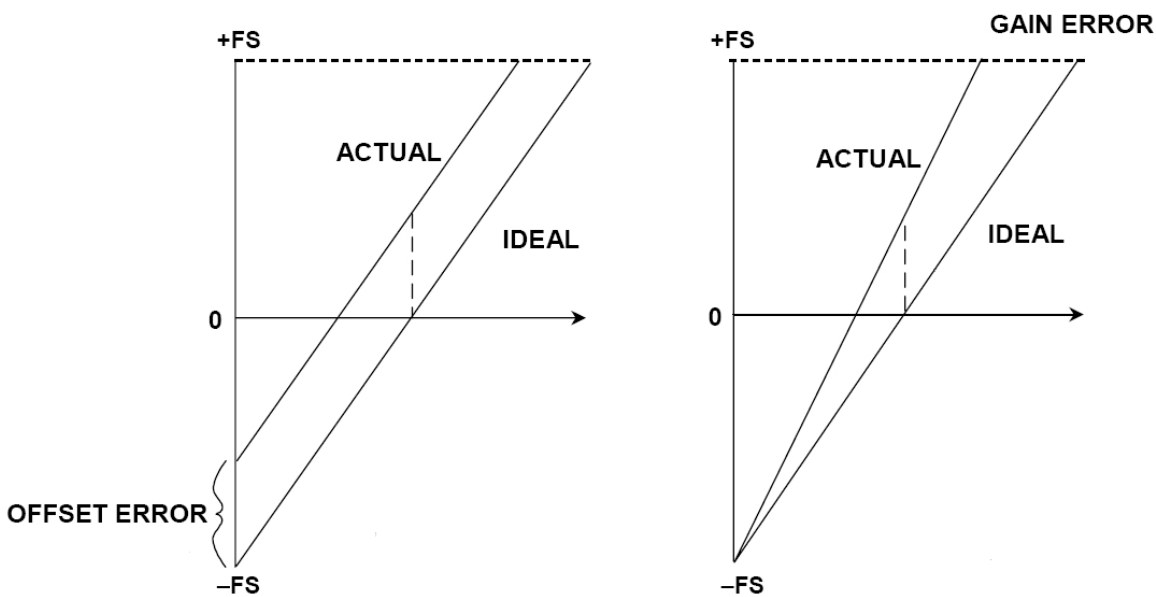


Figura 3.2 *Spostamenti della caratteristica per errori di offset e guadagno*

Altri tipi di errori invece vanno proprio a distorcere la linearità della funzione di trasferimento. Ad esempio quella di un ADC non presenta più gradini tutti di larghezza uguale, pari a un LSB, ma ciascuno di essi differisce di quantità non trascurabili rispetto agli altri. Di fatto unendo i punti medi di tutti i livelli non si ottiene più una retta ma una linea spezzata che tanto più si discosta dalla bisettrice del quadrante tanto più la distorsione risulta pesante.

Per quantificare questo tipo di errore si usano due parametri: la non-linearità differenziale (DNL) e la non-linearità integrale (INL). Il primo rappresenta la differenza tra la larghezza del gradino n-esimo e quella ideale di un LSB. Il secondo rappresenta la distanza tra il centro del gradino n-esimo e la bisettrice del quadrante ed in generale si può ricondurre alla somma (comprensiva di segno) di tutte le DNL. Entrambi si esprimono in termini di LSB.

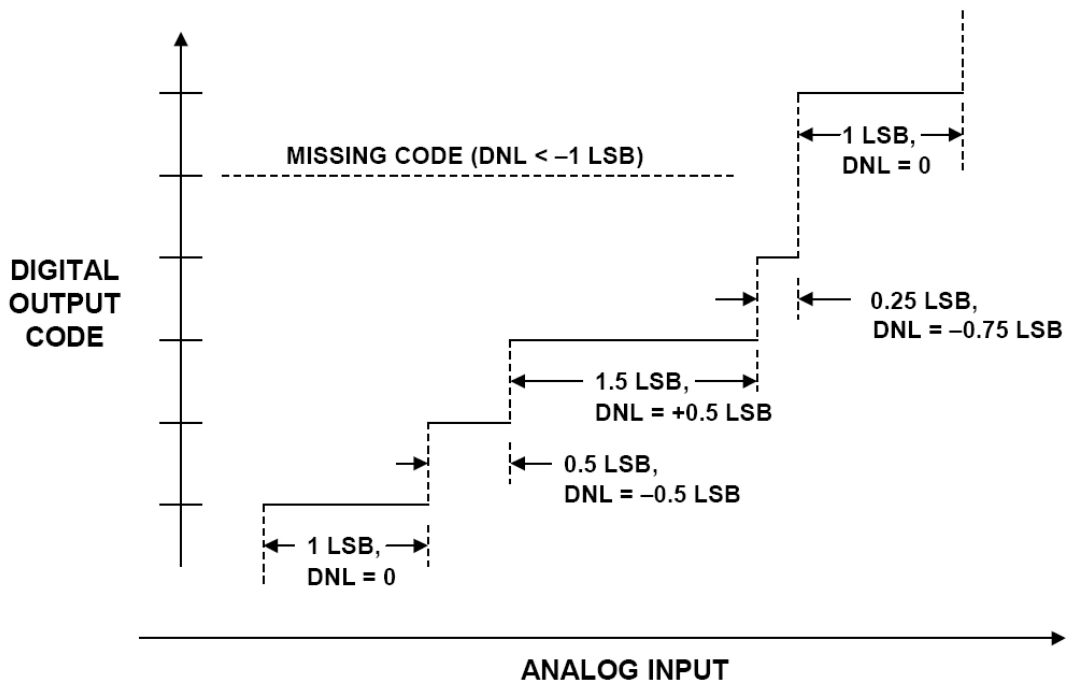


Figura 3.3 Esempio di caratteristica non-lineare per un ADC

Qualora la DNL di un livello raggiunga valori inferiori a -1 LSB la grandezza del gradino corrispondente è nulla e di fatto il convertitore non restituisce più tale valore digitale (errore di “missing code”). Tale evento è particolarmente dannoso perché assegna la stessa codifica a due intervalli analogici diversi e in casi limite è possibile che la caratteristica si modifichi al punto da non essere più monotona. Un discorso analogo può essere fatto anche per il DAC.

In particolare, come nel nostro caso, quando un ADC è utilizzato per ricostruire una forma d’onda come distribuzione statistica tramite un istogramma è chiaro che la presenza di missing code e quindi un andamento non monotono porta ad assegnare alcuni valori della distribuzione al canale sbagliato alterando inevitabilmente la forma d’onda e determinando un’interpretazione sbagliata dei risultati.

Tuttavia quando sono richieste precisioni nelle misure TCSPC nell’ordine dei ps anche DNL in genere tollerabili possono risultare un grave limite.

Sebbene la DNL e INL vengano definite direttamente dal costruttore del convertitore esistono delle tecniche che vediamo di seguito per poter restaurare almeno in parte la linearità della caratteristica.

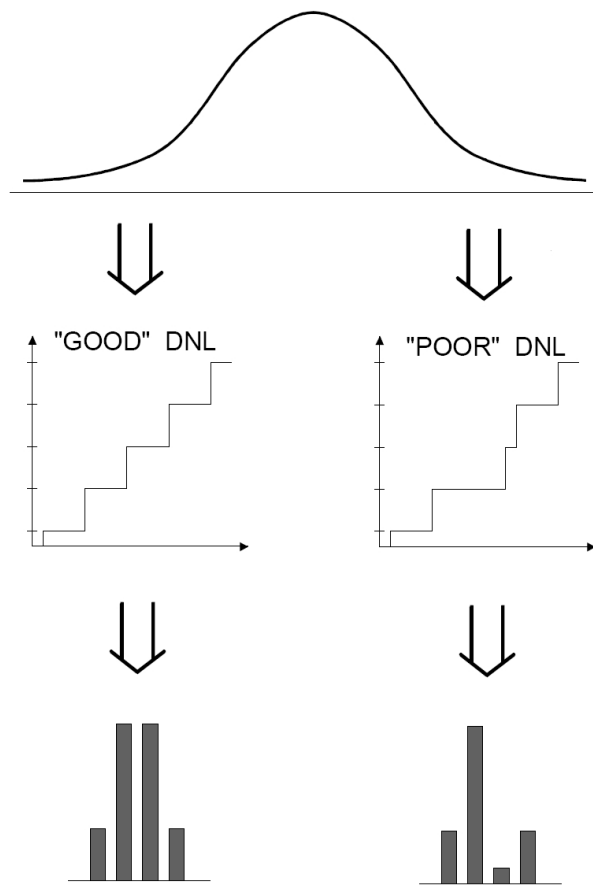


Figura 3.4 Effetti di differenti DNL su una misura TCSPC

3.1.2 Tecniche di riduzione della DNL

il metodo più semplice ed intuitivo per ottenere una migliore DNL consiste nell'utilizzare un convertitore con una risoluzione più alta di quella che sarebbe necessaria. In questo modo è possibile scartare tutti i bit supplementari in modo da ottenere un LSB largo 2^S volte l'LSB originario dove S è il numero di bit scartati. In questo modo, dato che la DNL rappresenta la larghezza del gradino della caratteristica del convertitore, è evidente che questo procedimento comporta una media fra i 2^S valori adiacenti.

Se supponiamo che la DNL sia una variabile casuale a valore medio nullo ed equamente distribuita entro i parametri massimi specificati dal costruttore, la variabile casuale finale avrà anch'essa valore medio nullo e varianza pari a:

$$\sigma^2_{\text{media}} = \sigma^2_{\text{max}}/2^S$$

e conseguentemente una deviazione standard ridotta di un fattore $2^{S/2}$.

Si capisce quindi che per avere una riduzione della non-linearità significativa il numero di bit da scartare comincia a diventare decisamente importante, costringendo all'utilizzo di una risoluzione non accettabile per la maggior parte delle applicazioni. Per tale motivo questa tecnica di fatto non viene mai utilizzata.

Una tecnica alternativa denominata "Sliding Scale" si pone lo scopo di mediare fra le larghezze dei canali adiacenti col fine di ottenere una larghezza media complessiva minore.

Un esempio che ben raffigura l'efficacia di questa tecnica è quello di considerare la misura di una lunghezza tramite un righello. In genere si pone un estremo del campione da misurare sullo zero e si contano il numero di tacche fino all'estremo successivo. La larghezza delle tacche rappresenta l'incertezza della distanza misurata, quindi l'analogo della DNL. Se invece noi effettuassimo diverse misure affiancando il righello al campione ogni volta, per N tentativi, in una posizione qualsiasi e mediando le lunghezze ottenute si ottiene che quest'errore non sia più correlato e possa essere assimilato a una variabile casuale. La misura delle tensione mediante ADC può essere vista come un caso simile.

Matematicamente se chiamiamo C_k il canale generico del convertitore, esso è compreso tra due soglie analogiche $T+\epsilon_k$ e $T+1+\epsilon_{k+1}$, dove ϵ_k e ϵ_{k+1} sono i rispettivi errori di posizionamento, con un conseguente errore sulla larghezza dello scalino pari a $\epsilon_{k+1} - \epsilon_k$. Se al segnale d'ingresso aggiungiamo una tensione di ampiezza D, per poi sottrarlo digitalmente in uscita al convertitore, otteniamo come nuove soglie del canale C_k i valori di $T+D+\epsilon_{k+D}$ e $T+D+1+\epsilon_{k+D+1}$ con un errore di larghezza pari a $\epsilon_{k+D} - \epsilon_{k+D+1}$, indipendente dall'errore σ_D di D. Variando in modo sequenziale la tensione aggiunta per ogni campione in ingresso si ottiene un errore medio della larghezza del canale pari a:

$$\sigma_{k,N} = \frac{\sum_{D=0}^{N-1} (\epsilon_{k+1+D} - \epsilon_{k+D})}{N} = \frac{(\epsilon_{k+N} - \epsilon_k)}{N}$$

Ottenendo di fatto una riduzione dell'errore pari a N rispetto al valore iniziale

Una tecnica che differisce leggermente è il dither sottrattivo in cui invece di una rampa viene aggiunto all'ingresso dall'ADC un contributo di tipo casuale, stazionario e statisticamente

indipendente rispetto al segnale da misurare. E' sufficiente quindi impiegare un generatore di numeri pseudocasuali per fornirli che poi sarà sottratto digitalmente in seguito . Ancora una volta il meccanismo consiste nel rendere indipendente l'errore di quantizzazione rispetto al segnale d'ingresso comportando una significativa riduzione della DNL. [5]

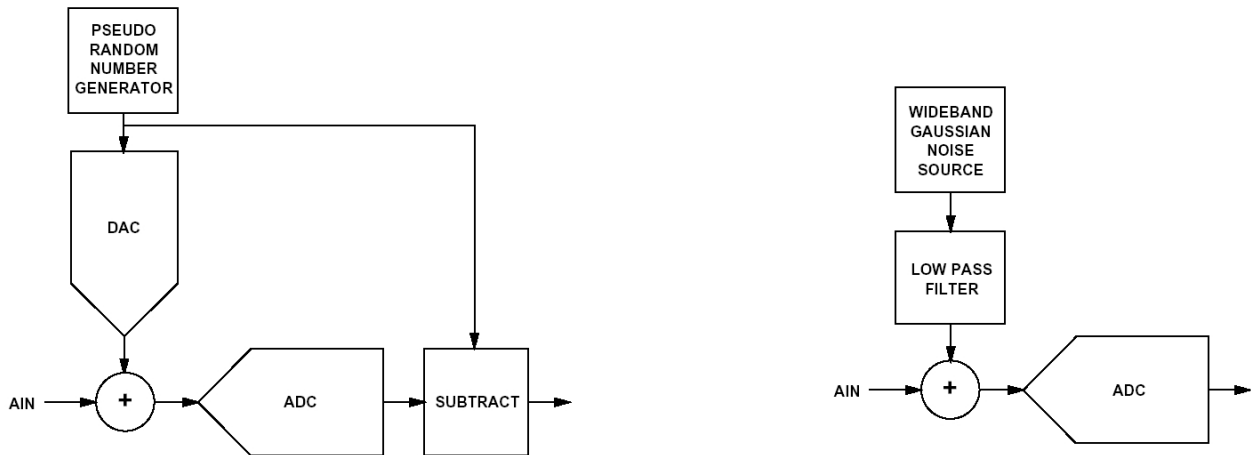


Figura 3.5 Esempi di dithering sottrattivo e non sottrattivo

Esiste anche una tipologia di dithering detto non sottrattivo dove il valore del segnale aggiunto non è poi sottratto a valle. In questo caso si tende ovviamente a degradare il rapporto segnale-rumore dell'ADC ma se il segnale di dithering ha un'ampiezza molto contenuta o presenta uno spettro di frequenza che non interferisce con quello del segnale risulta comunque vantaggioso. Con questa configurazione si ottiene il vantaggio ulteriore di poter utilizzare una fonte di rumore analogica di più semplice implementazione.

Il segnale di dithering è caratterizzato dall'ampiezza con cui varia, in quanto determina il numero di passi di quantizzazione su cui realizza la media e dalla sua forma di distribuzione di probabilità, ad esempio triangolare, rettangolare o gaussiana, ciascuna delle quali si adatta meglio a seconda del tipo di segnale analizzato. Comunque in tutti i casi in cui si misura una variabile deterministica per avere un miglior risultato bisognerebbe realizzare più misure dell'ingresso in modo da usare più volte il segnale di dithering e mediare meglio sui canali d'acquisizione.[6]

Se però si misura la distribuzione di una variabile statistica il segnale di dithering può essere generato come una sequenza deterministica perché rimane comunque scorrelato dal segnale

d'ingresso e risulta ugualmente efficace in quanto l'operazione di media è svolta in pratica dalla distribuzione stessa.[7]

3.2 Dithering per applicazioni TCSPC

Come abbiamo visto nel capitolo precedente la DNL nella misura nel nostro sistema TCSPC è introdotta essenzialmente dalla catena di acquisizione composta da TAC e ADC.

Mentre la DNL del TAC è stata appositamente mantenuta molto bassa lo stesso discorso non vale per il convertitore analogico-digitale esterno. Infatti sul mercato sono presenti convertitori ad altissima risoluzione e velocità che corrispondono alle specifiche richieste per le misure ma purtroppo è molto difficile che la loro DNL a fronte di queste prestazioni sia inferiore a 0,5 LSB. Invece perché la non-linearità risulti non compromettente per la costruzione dell'istogramma è necessario che la DNL venga ridotta fino a pochi centesimi di LSB. Per fare questo è quindi necessario impiegare le tecniche di riduzione discusse in precedenza come Sliding Scale e dithering.

3.2.1 Acquisizione TCSPC con dithering

L'implementazione di questa tecnica prevede quindi di intervenire fra il TAC e l'ADC della catena di acquisizione introducendo un opportuno segnale analogico. Per questo scopo è quindi necessario inserire un nuovo componente, ovvero un convertitore digitale-analogico che fornisca il segnale di dithering al momento giusto nell'acquisizione.

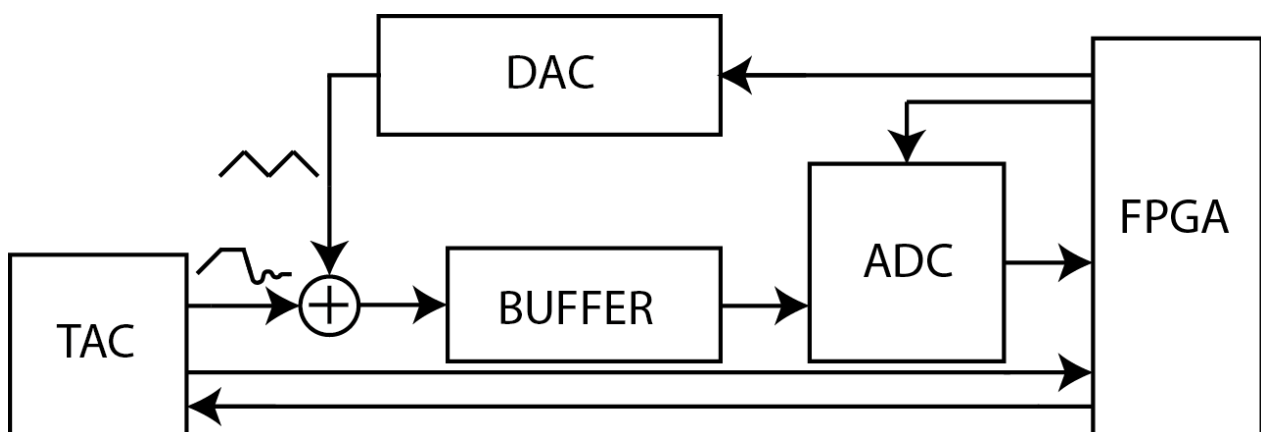


Figura 3.6 Schema di acquisizione TCSPC con l'aggiunta del DAC

Al momento della rivelazione del fotone il TAC dà luogo alla conversione tempo-ampiezza fornendo un uscita analogica all'ADC per poi passare i dati a un sistema di elaborazione (una FPGA in figura 3.6). Alla sua uscita va quindi aggiunto un sommatore analogico con cui unire il segnale di dithering. Il segnale così ricavato viene riportato tramite un buffer all'ADC. L'FPGA comanda il DAC per generare la tensione opportuna. Quando poi il dato digitale verrà acquisito il dato reale di misura verrà estratto sottraendo la codifica imposta al DAC.

L'ADC richiede però che il suo ingresso sia stabile in fase di lettura della tensione. Pertanto il DAC dovrà anch'esso rimanere fermo in questa fase e commutare la sua uscita ad esempio durante il tempo morto del TAC, in modo che la sua transizione risulti influente. Data la brevità di questo periodo ne consegue che il nuovo convertitore dovrà disporre di ottime caratteristiche di velocità.

Dato che stiamo osservando la misura di una distribuzione statistica risulta efficiente come dithering l'impiego di un segnale deterministico, ad esempio triangolare in modo da esplorare gran parte della dinamica, che rimane comunque scorrelato dal segnale in uscita dal TAC. In questo modo diversi canali dell'acquisizione temporale rappresentati dai livelli dell'ADC vengono passati in rassegna e mediati per ottenere il miglioramento cercato.

Le prestazioni del DAC quindi influenzano direttamente la riuscita dell'operazione. Infatti dalla sua risoluzione deriva l'ampiezza del dithering e quindi il numero di canali presi in considerazione ad ogni rilevazione e su cui si realizzerà la media, mentre la sua DNL indica con quale uniformità i canali vengono presi. Il DAC di conseguenza va scelto in base alle caratteristiche degli altri componenti del sistema con cui si interfaccia.

3.2.2 Risultati sperimentali

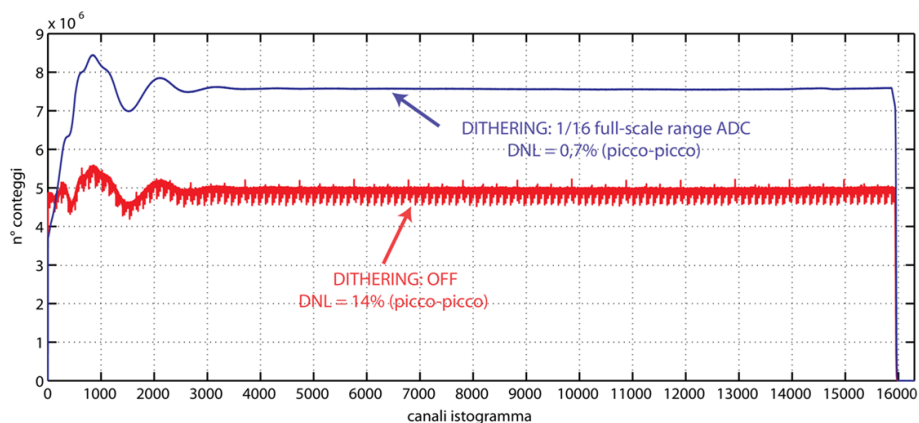


Figura 3.7 Confronto sui canali del sistema TCSPC con e senza usare il dithering

Per studiare l'effettiva efficacia di queste tecniche in fase di sperimentazione del sistema si è generato un segnale triangolare proveniente da un DAC esterno (14 bit con DNL di 0,5 LSB) per il TAC, sempre simulando le tipiche condizioni TCSPC. Da figura 3.7 appaiono evidenti i miglioramenti in termini di DNL che si ottengono con l'implementazione del dithering. Sono state effettuate diverse misure tarando l'uscita del DAC, e quindi l'ampiezza del dithering, per coprire diverse frazioni del Full-Scale Range dell'ADC; vediamo nelle figure 3.8, 3.9 e 3.10 i risultati ottenuti sulla DNL riferita ai tempi di conversione per 1/16, 1/8, e 1/4 della dinamica. Osserviamo che non ci sono grandi differenze fra i risultati e pertanto conviene usarne un 1/16. [8]

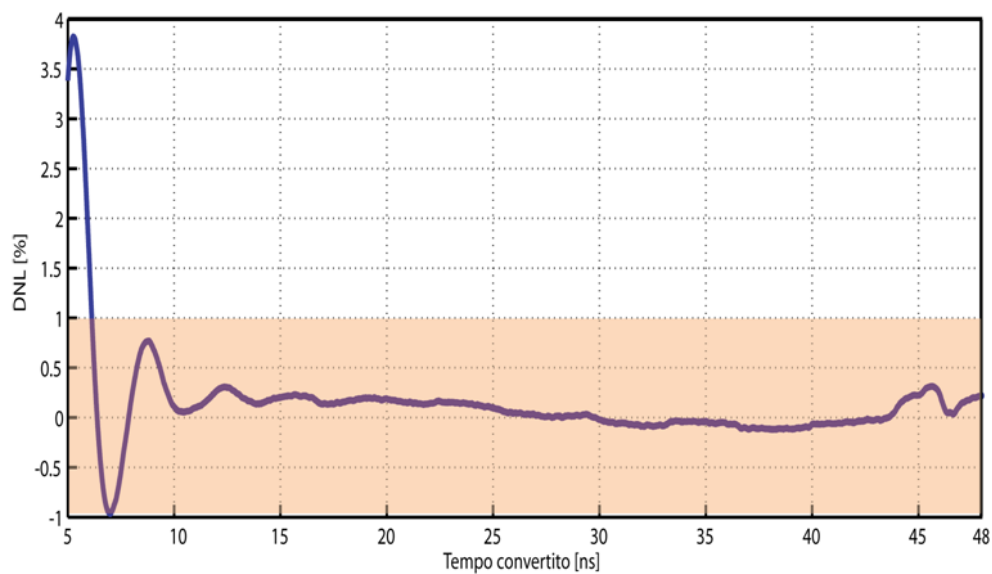


Figura 3.8 DNL del sistema coprendo 1/16 della dinamica

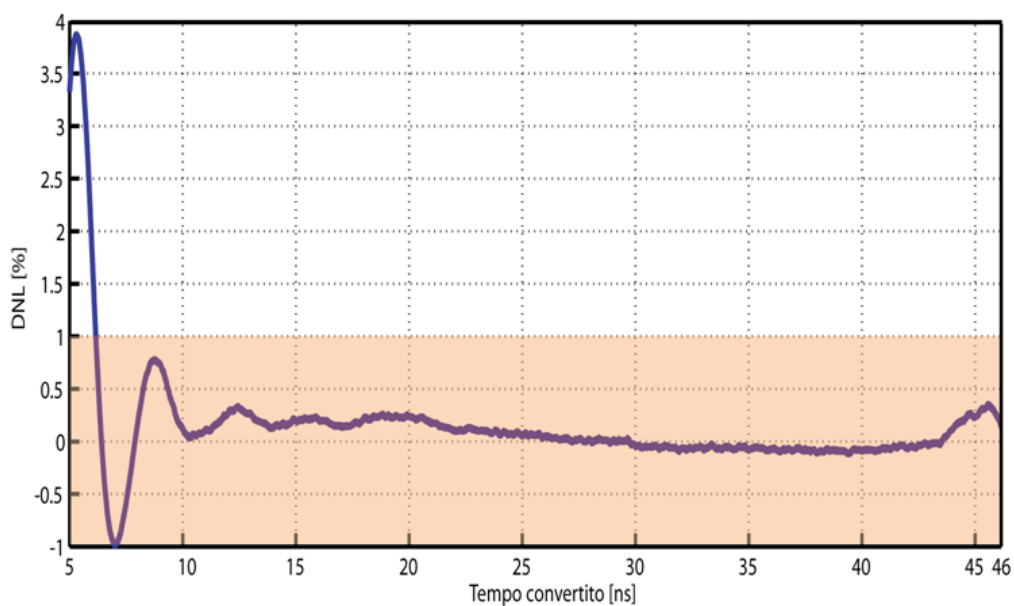


Figura 3.9 DNL del sistema coprendo 1/8 della dinamica

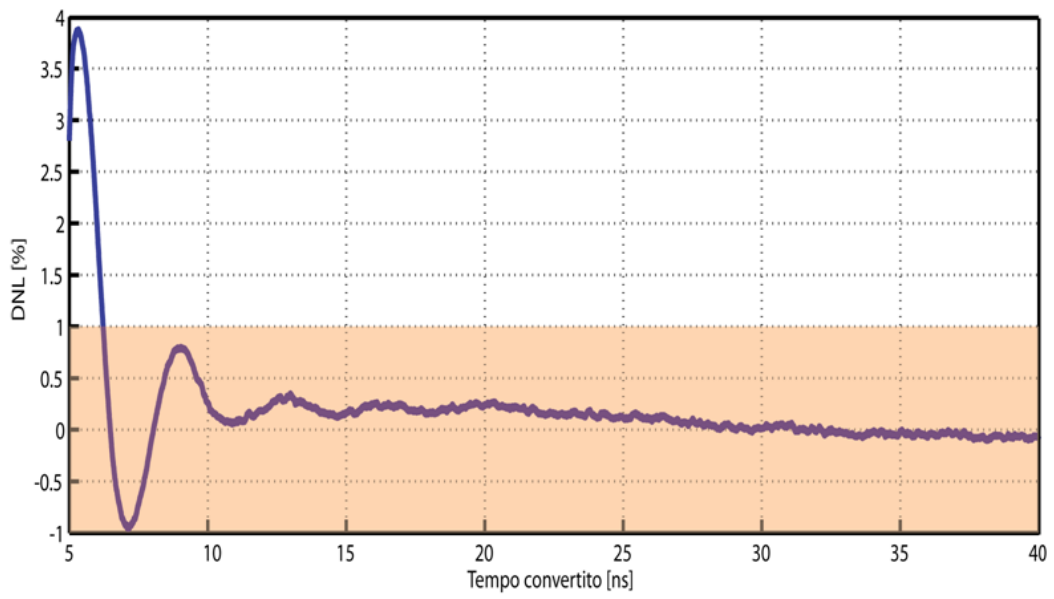


Figura 3.10 DNL del sistema coprendo 1/4 della dinamica

CAPITOLO 4 DAC

Abbiamo stabilito nell'introduzione e approfondito nei precedenti capitoli quali siano le motivazioni che ci spingono all'integrazione su chip di un convertitore digitale-analogico all'interno del nostro sistema di TCSPC. Ora vediamo di procedere alla vera e propria la realizzazione del dispositivo.

4.1 Panoramica sui DAC

Per decidere come approcciarci al progetto vediamo quali sono le principali tipologie di DAC in commercio.

4.1.1 DAC R-2R

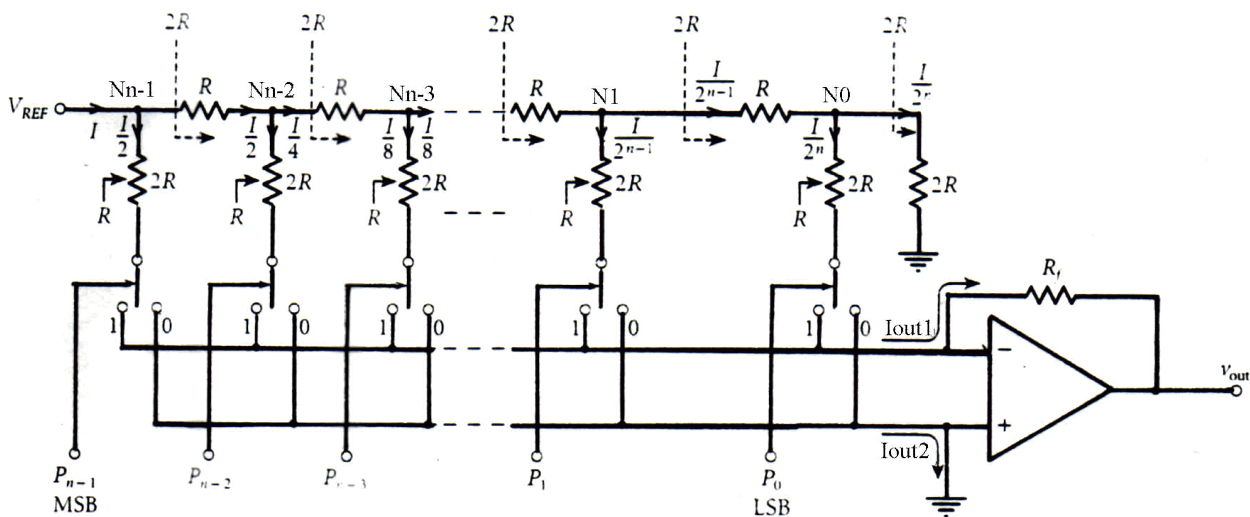


Figura 4.1 Struttura DAC R-2R

E' un'architettura costituita da una rete a scala (visibile in figura 4.1 nella sua struttura più classica) composta da resistenze e connessa a due linee tramite dei deviatori e da un amplificatore operazionale. Ad ogni deviatore è associato un bit della parola d'ingresso in modo che a seconda della codifica i resistori di valore $2R$ vengono commutati di volta in volta sul nodo invertente dell'operazionale che è posto direttamente a massa o sul nodo non invertente, che è quindi una terra virtuale. Dato che il parallelo fra $2R$ e $2R$ è pari a R , in serie a un'altra R si ottiene ancora il valore $2R$ che è l'impedenza vista da tutti i nodi, dove viene pertanto effettuata ogni volta una partizione di metà della tensione generando diverse correnti pesate a seconda del bit dato che le

2R vedono sempre tensione nulla sull'altro terminale. Le correnti necessarie alla codifica vengono quindi trasdotte come tensione in uscita dall'operazionale mediante la resistenza in retroazione.

Il vantaggio di questa configurazione, rispetto ad altre tecniche, è l'utilizzo di soli due valori di resistenze in numero pari a $2N+1$ (dove N è il numero di bit). Inoltre l'impedenza vista dal riferimento di tensione V_{ref} (pari quindi a R) e quella presente al nodo di uscita risultano sempre lo stesso valore con qualsiasi codifica. Così la corrente erogata dal generatore in ingresso risulta costante e pari a V_{ref}/R e allo stesso modo la potenza assorbita dal DAC.

Di contro la precisione della codifica dipende direttamente dal valore del riferimento V_{ref} , infatti se questo dovesse essere poco stabile il valore in uscita cambierebbe proporzionalmente. Inoltre essendo le impedenze viste dai 2 morsetti dell'operazionali di valore differente si possono generare errori di guadagno, a cui si aggiunge l'offset del dispositivo, che degradano la linearità del convertitore. Infine, dato che l'implementazione di questa architettura è ottenuta unicamente mediante l'impiego di un gran numero di resistori, l'utilizzo nei circuiti integrati, dove le forti tolleranze non li rendono facilmente controllabili, è limitato inevitabilmente.

4.1.2 DAC termometrico

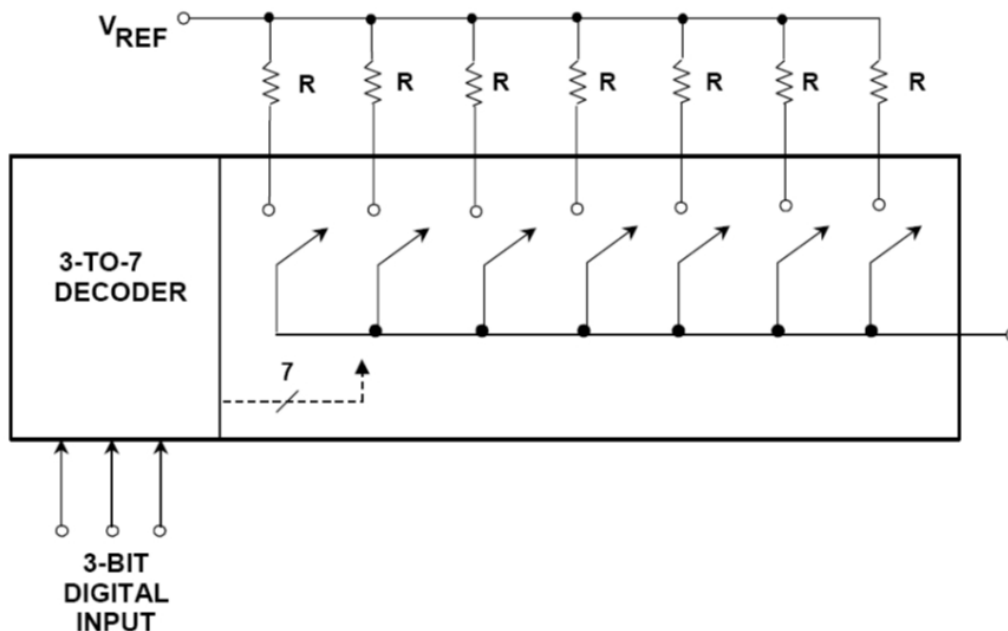


Figura 4.2 Esempio di DAC termometrico con resistenze

L'architettura termometrica è costituita da $2^{(N-1)}$ generatori di corrente associati ad interruttori opportunamente indirizzati da una logica di decoding. Tutti gli elementi della rete di codifica hanno esattamente lo stesso peso, corrispondente a un LSB della codifica. A ogni incremento di un livello della codifica corrisponde quindi l'accensione di un ramo, la cui corrente si somma alla corrente totale in uscita. Successivamente tutti i contributi di corrente vengono quindi fatti fluire sul morsetto invertente di un operazionale per essere trasformati in uscita in tensione.

I generatori di corrente possono essere sia costituiti da semplici resistenze connesse a un riferimento di tensione sia direttamente da componenti attivi. Il grande numero di elementi e la struttura semplice offrono numerosi vantaggi in termini di prestazioni, in particolare si ottiene che la caratteristica d'uscita sia intrinsecamente monotona oltre che particolarmente accurata. Inoltre si ricavano facilmente buone performance di velocità poiché si è limitati solamente dalla commutazione degli interruttori. Tuttavia oltre alla degradazione della DNL causata dall'operazionale, il DAC termometrico presenta un'occupazione di area non indifferente, che ne limita il massimo numero di bit.

4.1.3 DAC binary-weighted

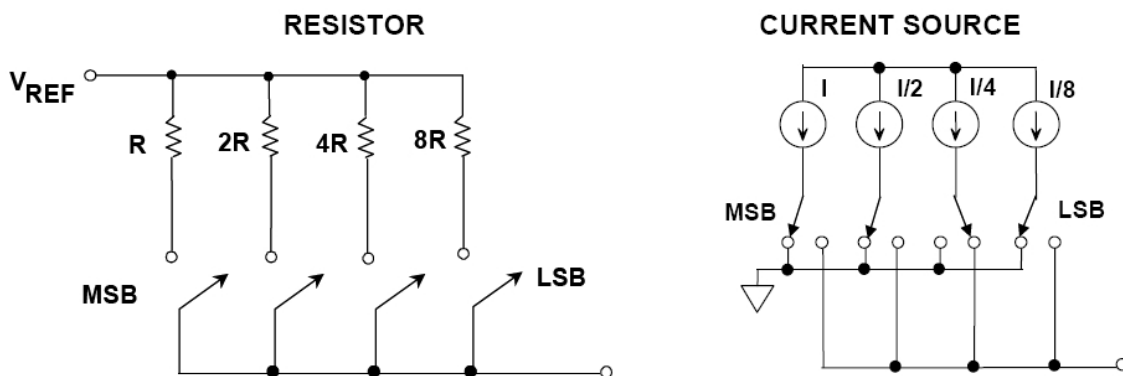


Figura 4.3 Esempi di DAC binary-weighted a 4 bit

L'alternativa pratica alla codifica termometrica è l'architettura detta Binary-Weighted (a "peso binario"). In questa configurazione è presente un solo un generatore di corrente per bit della codifica, ma ciascuno di essi dà un contributo di valore differente a seconda del bit rappresentato. Anche qui all'uscita le correnti vengono portate all'esterno da una terra virtuale.

La struttura è proprio duale di quella termometrica. Infatti a scapito di una DNL e precisione notevolmente ridotta, a causa degli inevitabili mismatch dovuti agli spread di valori di corrente molto grandi (ad esempio con 10 bit si ha un fattore 1024 fra la corrente più grande e la più piccola), l'occupazione di area della struttura, grazie al basso numero di elementi presenti, risulta decisamente più sostenibile, mantenendo simili caratteristiche di velocità. Ma anche qui un'architettura ad alto numero di bit non risulterebbe conveniente perché la DNL risulterebbe compromessa a tal punto da non garantire la monotonicità della caratteristica stessa.

4.1.4 DAC segmentato

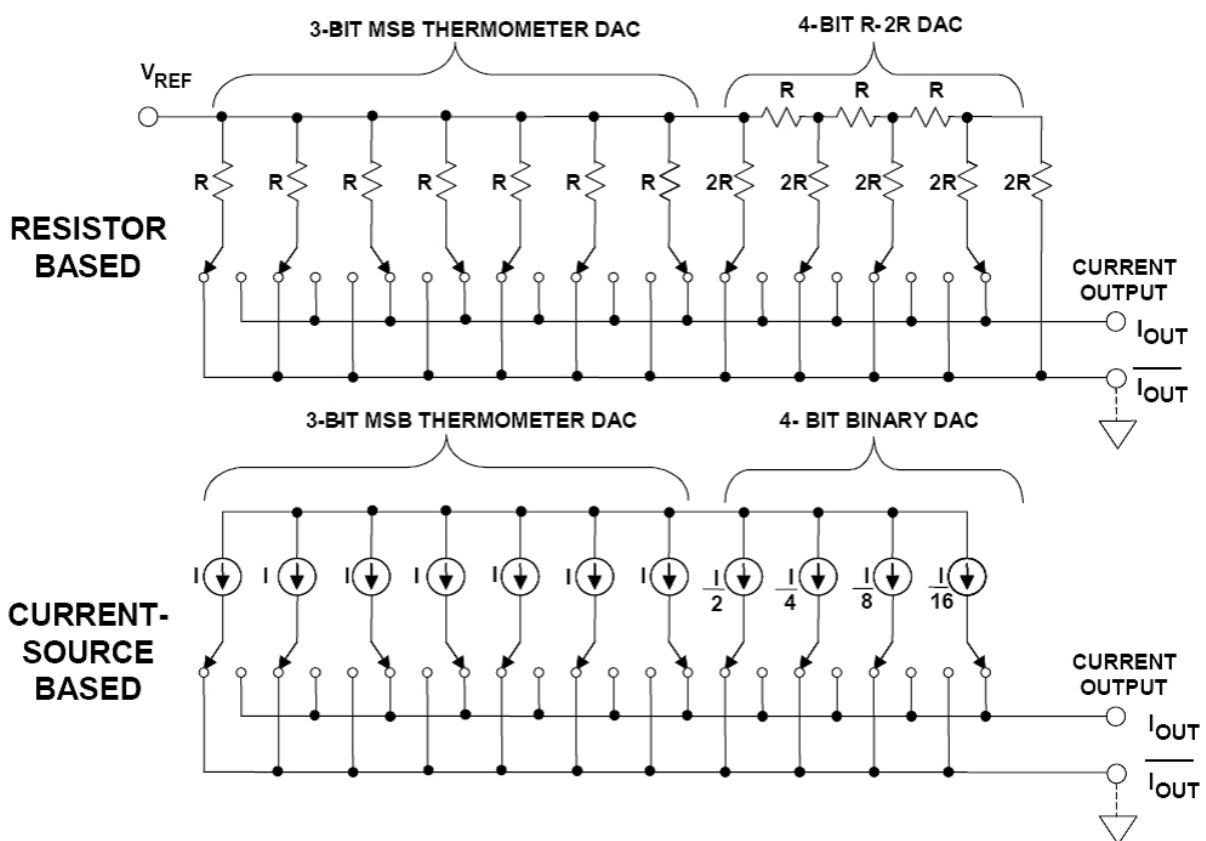


Figura 4.4 Esempi di segmentazione

Questo tipo di convertitore sfrutta la tecnica della "segmentazione" ovvero il processo in cui la parola binaria da convertire viene divisa in due parti, ciascuna delle quali affidata a un DAC diverso. Le uscite dei 2 dispositivi vengono poi successivamente sommate coerentemente per ottenere il valore analogico finale.

Osservando le configurazioni precedenti è facile intuire che si possono realizzare i bit più significativi con una struttura termometrica e il resto della parola mediante una configurazione a peso binario o di tipo R-2R. In tal modo è possibile fare uso di entrambe le architetture per coniugarne i vantaggi e allo stesso tempo limitarne i difetti. Infatti il DAC termometrico, dovendo convertire solo pochi bit, potrà avere dimensioni contenute, nel contempo la poca precisione della sezione a peso binario risulta ancora sostenibile. Calibrando quindi il numero di bit dedicati per le due parti della segmentazione è quindi possibile raggiungere il miglior compromesso in termini di prestazioni del convertitore. [9]

4.1.5 DAC Sigma-Delta

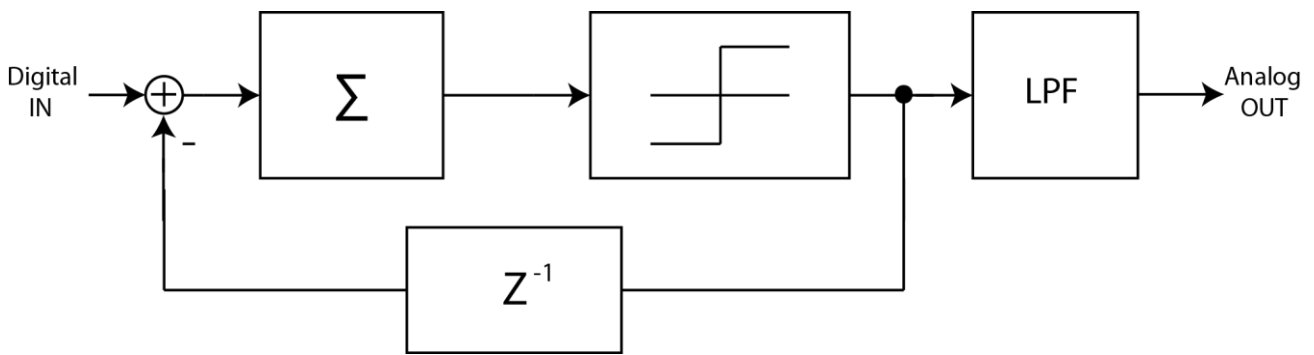


Figura 4.5 Schema a blocchi di un DAC Sigma-Delta

Un'alternativa alle strutture più classiche sopra descritte è la conversione a sovracampionamento.

Questa tecnica permette di utilizzare un DAC a bassa risoluzione, in genere a 1 solo bit per ottenere linearità più alta possibile. Impiegando un comparatore e un filtro passa-basso in un anello si genera un segnale PDM (Pulse Density Moduled). Questa tecnica chiamata modulazione sigma-delta a differenza del procedimento classico permette di realizzare il "noise-shaping" ovvero di portare i contributi di rumore delle basse frequenze di interesse alle alte frequenze dove possono essere tagliati o comunque fortemente attenuati mediante l'utilizzo di filtri passa-basso in uscita.

Con alti tassi di sovracampionamento è possibile raggiungere risoluzioni di numerosi bit ad altissima linearità. Tutto questo viene realizzato con l'impiego di pochi componenti e quindi con occupazione di area molto contenuta. Il problema di questa struttura è che la frequenza del segnale in uscita deve essere fortemente limitata per riuscire a mantenere il rapporto necessario per la risoluzione richiesta.

4.2 Architettura del DAC

Abbiamo visto nei particolari le specifiche del sistema TCSPC e delle tecniche di dithering. Da questo punto di partenza possiamo estrapolare i dati per ricavare le specifiche progettuali e l'architettura più adatta da integrare nel sistema.

4.2.1 Requisiti

Necessitiamo di un DAC integrato che ad ogni ciclo di misura sia in grado di aumentare o diminuire di un livello l'uscita producendo di fatto un segnale complessivamente triangolare. La tecnologia utilizzata è, per compatibilità col TAC, in Si-Ge a 0.35 μm .

La risoluzione del convertitore dipende direttamente dal numero di livelli con cui il segnale è analizzato dall'ADC, dato che questi corrisponderanno ai canali temporali della misura. Infatti se il segnale di dithering dovesse muoversi su troppi livelli perderebbe gran parte della sua efficacia. Dalle considerazioni sperimentali viste in precedenza sul sistema di misura si è rilevato che per poter coprire adeguatamente i canali è necessario che la risoluzione del DAC copra un sedicesimo di quella dell'ADC in modo che il dithering risulti realmente efficace. Considerate quindi le tipiche risoluzioni degli ADC utilizzati per queste applicazioni, che sono in genere da 14 a 16 bit, è necessario implementare la conversione a una risoluzione di almeno 12 bit in modo che preso 1 bit del DAC e riportandolo in ingresso all'ADC si abbia la corrispondenza a 1 suo bit.

La linearità del DAC espressa in termini di INL e DNL non è così vincolante per la generazione del segnale di dithering. E' chiaro però che una DNL esageratamente elevata produrrebbe un risultato controproducente in termini di linearità in quanto il segnale non sarebbe più facilmente controllabile. Ci accontentiamo quindi di mantenere la non-linearità differenziale del dispositivo entro i livelli tipici di qualche decimo di LSB.

Possedendo il TAC una massima velocità di conversione, il DAC deve essere in grado di commutare la sua codifica tenendone il passo. Inoltre è consigliabile che la commutazione avvenga durante il "tempo morto" e si stabilizzi entro il termine di quest'ultimo in modo da non danneggiare la misura con le variazioni del DAC. Stabilita la durata massima del tempo morto in 60 ns, che corrispondono a circa 16 MHz, fissiamo la frequenza operativa minima desiderata per il DAC poco sopra, a 20 MHz.

Particolare attenzione va riposta nella produzione del segnale digitale triangolare da convertire in analogico. Questo può essere pilotato direttamente dall'esterno ad esempio dalla FPGA che gestisce il sistema TCSPC, oppure può essere generato internamente da un apposito circuito digitale. Nel primo caso bisogna provvedere a fornire al chip un numero di pin pari ai bit utilizzati per la codifica, la qual cosa potrebbe non essere compatibile con le dimensioni del circuito integrato. Nel secondo caso invece, malgrado sia necessario dedicare parte dell'area del convertitore alla circuiteria digitale, la connessione con l'esterno si limita a pochi segnali di controllo, al fine di permettere la sincronizzazione del dithering con la misura effettuata.

L'uscita del DAC deve quindi corrispondere ai requisiti a cui in precedenza assolveva la sua controparte del TAC, ovvero deve mantenere la struttura differenziale ed essere compatibile con le specifiche richieste dal carico. Inoltre deve poter provvedere all'aggiunta di dithering senza introdurre ulteriori distorsioni.

Anche per la dinamica bisogna tenere conto dell'ingresso dell'ADC che avrà Full-Scale-Range di 2V. Inoltre il segnale di dithering si deve sommare differenzialmente a quello del TAC i cui terminali si muovono tra 0,9 V e 2,9 V.

E' molto importante che l'impatto del DAC all'interno del circuito integrato non sia troppo gravoso. Di conseguenza l'area del chip deve risultare la più contenuta possibile, perché a livello del sistema matriciale non è ammissibile che sia il DAC stesso a dominare in termini di dimensioni. Pertanto è necessario mantenere la sua occupazione di spazio quantomeno nell'ordine di quella del TAC (che ricordiamo essere di $440 \times 490 \mu\text{m}$ senza pad). Stesso discorso può essere fatto sulla potenza dissipata che non dovrebbe superare qualche mW. Queste considerazioni ci hanno portato a scartare strutture di convertitori particolarmente raffinate, ad esempio provviste di sistemi di ricalibrazione digitale, anche in virtù delle richieste non particolarmente onerose riguardanti la DNL. Tuttavia per correggere eventuali errori dovuti alle variazioni di processo, che possono ad esempio provocare disuniformità fra le correnti dei generatori dei due array, è consigliabile tenere a disposizione dei piedini per permettere una calibrazione analogica del dispositivo.

Bisogna quindi stabilire quale fra le strutture analizzate in precedenza possa adattarsi meglio a queste specifiche e come inserirla al meglio all'interno del sistema.

4.2.2 Struttura di base

Riassumendo si ha bisogno di un circuito integrato di struttura semplice che sia in grado di lavorare ad alta frequenza. Per ottenere queste specifiche la soluzione più efficiente è applicare la modalità di funzionamento a redistribuzione di corrente completamente differenziale. Ovvero utilizzare dei generatori di corrente e dei deviatori che indirizzino la corrente a seconda della codifica su due diverse linee. In tal modo si riesce ad ottenere una struttura composta unicamente di transistori a corrente fissa, particolarmente adatta all'integrazione, per cui la velocità complessiva è limitata unicamente dalla velocità dei MOS impiegati come switch nella distribuzione di corrente. [10]

Vediamo in figura 4.6 l'insieme dei blocchi che compongono il DAC selezionato nella sua interezza

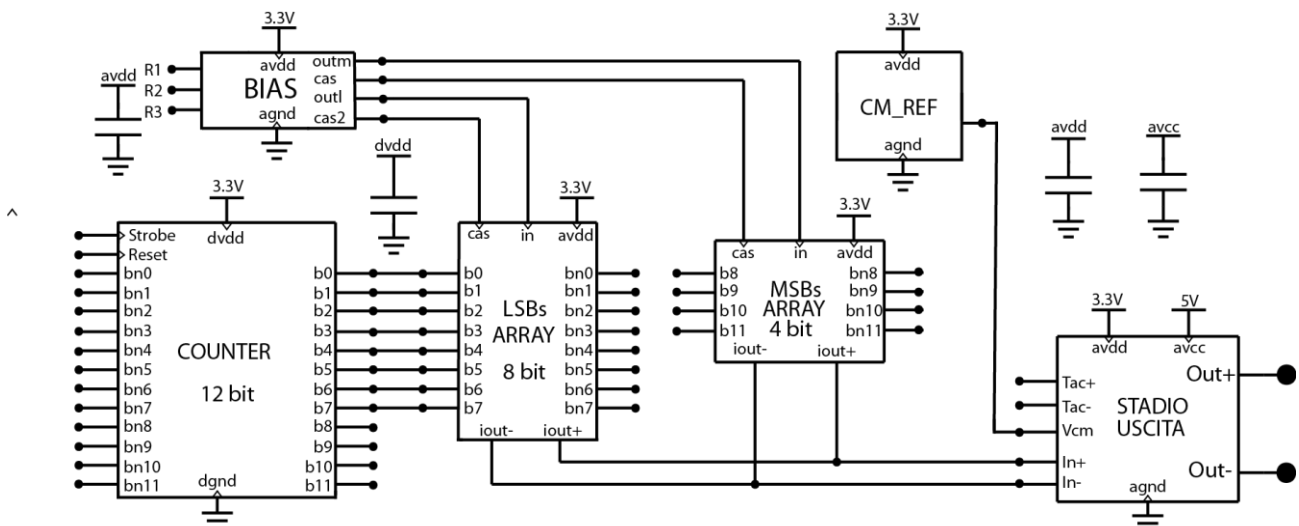


Figura 4.6 Blocchi che compongono il DAC

Come si è visto l'architettura ideale dei generatori di corrente per avere una migliore linearità sarebbe ovviamente termometrica. Tuttavia i 12 bit richiesti comporterebbero un numero di transistori troppo elevato, rendendo particolarmente complessa la gestione delle linee di pilotaggio ed eccessivo il dispendio di area per il circuito. Pertanto la scelta è caduta su una struttura segmentata. Considerazioni progettuali hanno portato a fissare quindi il numero degli MSB termometrici a 4 lasciando gli altri 8 LSB a peso binario, suddividendo quindi i generatori in due differenti array (LSB e MSB per l'appunto). Naturalmente i generatori da soli non sono sufficienti, ma è necessaria la realizzazione di un unico stadio di polarizzazione dedicato, che soddisfi le esigenze di precisione e linearità del DAC.

Onde evitare il pilotaggio esterno dei bit di comando si è considerata la natura deterministica del segnale analogico da prodursi che altro non è che un onda triangolare che passa in rassegna tutti i livelli disponibili in uscita. Questo compito può essere svolto efficientemente da un contatore a 12 bit, con l'accortezza che, raggiunta la fine della sua dinamica, inverta il verso del conteggio invece di riazzersarsi. Il vantaggio dell'impiego del contatore è evidente: non dovendo mai partire da una codifiche intermedie della dinamica sono sufficienti 2 segnali dall'esterno per comandare il segnale di dithering. Il primo che deve essere sincronizzato con la misura per comandare l'incremento o decremento del conteggio al momento giusto, il secondo per effettuare il reset immediato del conteggio quando c'è da effettuare una nuova misura.

Infine è presente uno stadio di uscita che ha il duplice compito di traslare le correnti in uscita dai generatori in tensione e agganciarsi all'uscita del TAC per effettuare la somma dei 2 segnali per poi fornire i valori complessivi con un uscita differenziale all'ADC seguente nella catena di acquisizione.

4.23 Inserimento nel sistema

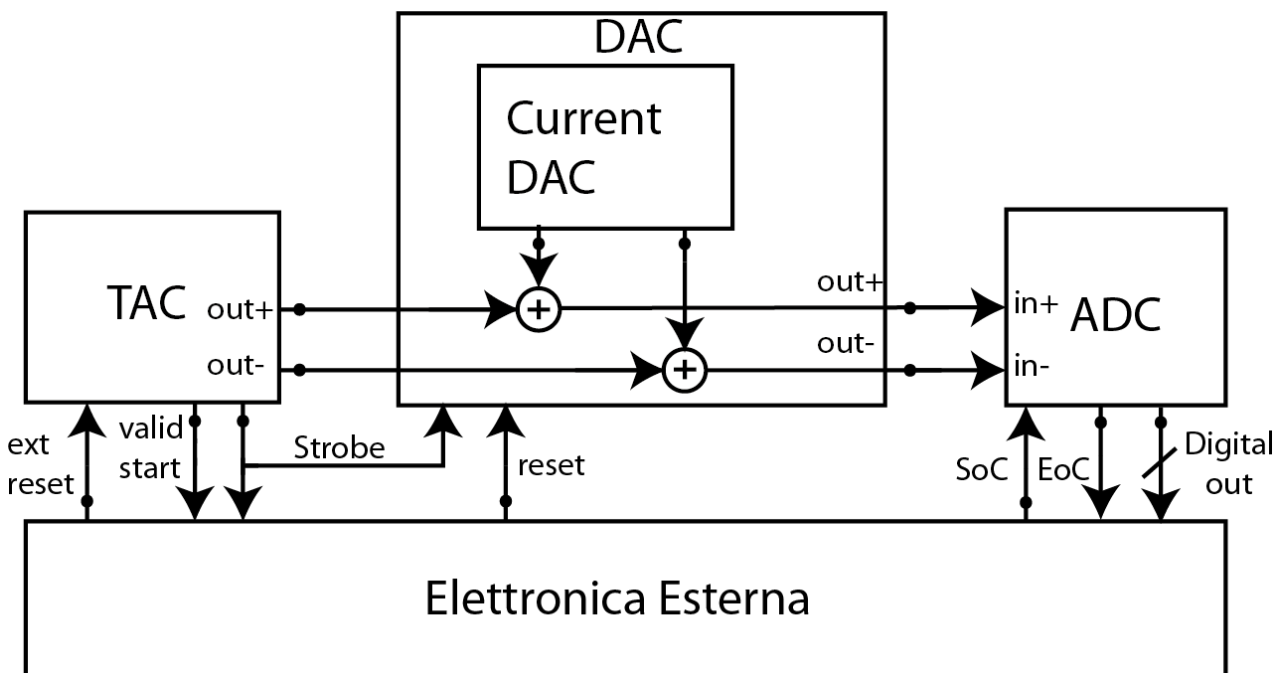


Figura 4.7 Gestione dei segnali nel sistema

Dato che il sistema mette a disposizione entrambe le tensioni a 3,3V e 5V si è cercato di utilizzare la tensione inferiore ovunque fosse possibile in modo da determinare una dissipazione di potenza

minore. L'unica eccezione è rappresentata dalla parte finale dello stadio di uscita dove le tensioni di uscita differenziali di DAC e TAC vengono sommate e il segnale prodotto vien passato all'ADC.

Per sincronizzare la misura è ideale utilizzare il segnale di Strobe, già disponibile in uscita dal TAC, il quale indica la fine della conversione tempo-ampiezza. Infatti appena giunto il segnale inizia il tempo morto e quindi la fase di attesa della conversione. Il DAC ha così il tempo di commutare la sua codifica presentando un nuovo valore di uscita stabile all'ADC.

Il segnale di Reset invece non è da confondersi col segnale utilizzato nella precedente conversione, ma si tratta di una linea del tutto nuova con cui il sistema impone l'azzeramento al contatore digitale in modo da cominciare il processo di dithering e ovviamente far sì che il sistema possa avere un riferimento sullo stato della codifica nel contatore.

All'inizio della misura quindi l'elettronica esterna del sistema impone il reset al contatore interno al DAC così che la codifica iniziale parta dal livello più basso. Ad ogni fronte di Strobe il sistema quindi sa che la codifica sarà aumentata di un livello e provvederà alla sottrazione digitale del giusto valore alla parola digitale ottenuta in uscita dall'ADC, effettuando così l'operazione di dither sottrattivo.

CAPITOLO 5 COMPONENTI

In base alle specifiche stabilite nel capitolo precedente e alle risorse fornite dalla tecnologia utilizzata sono stati progettati i diversi blocchi che compongono il convertitore.

5.1 Stadio di polarizzazione

Lo stadio di polarizzazione (schematizzato in figura 5.1) è disegnato per poter garantire un riferimento ai generatori di corrente. Poiché le specifiche richiedono stabilità sia in termini di temperatura, sia di robustezza ai disturbi delle linee di alimentazione, sia alle variazioni dei parametri di processo oltre che buone prestazioni di rumore, la struttura è stata progettata molto attentamente sia a livello circuitale che di layout.

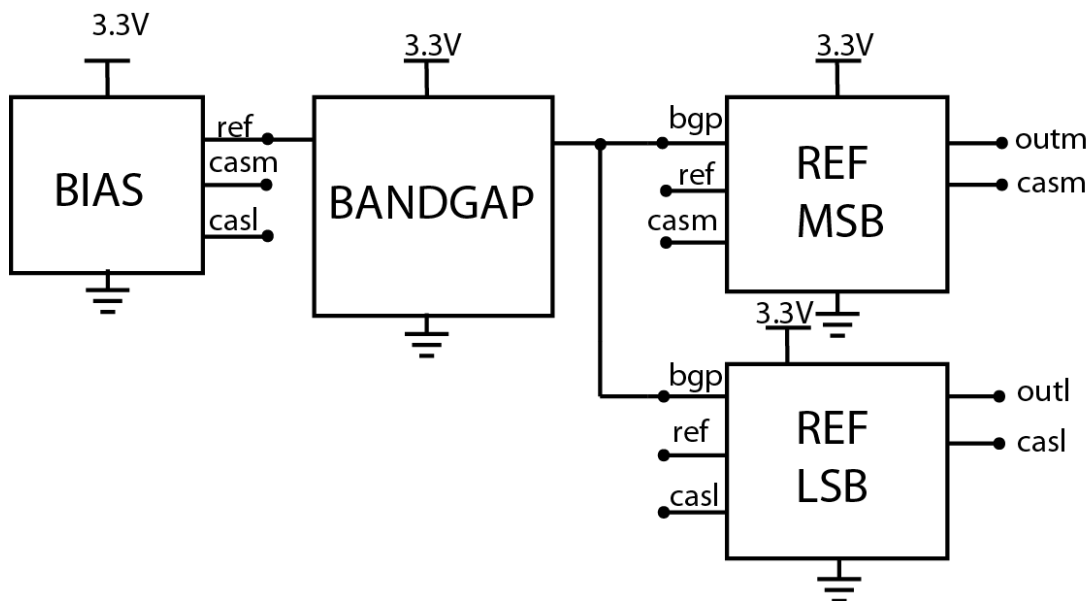


Figura 5.1 Blocchi dello stadio di polarizzazione

Il cuore dello stadio è il bandgap reference, che garantisce le proprietà di robustezza di cui sopra; il riferimento così generato è quindi portato a uno stadio di transconduttanza per generare i riferimenti di corrente veri e propri, questi infatti verranno usati per essere specchiati sui vari generatori.

Sebbene la soluzione ottimale in tecnologie integrate sarebbe uno specchiamento unitario è impensabile realizzare i riferimenti per tutte le quantità di corrente prodotte nei generatori, sia

per questioni di area occupata, sia per il fatto che le tolleranze dei parametri della tecnologia aumenterebbero a dismisura i mismatch interni, danneggiando irreparabilmente la linearità del convertitore. Inoltre realizzare il riferimento per le correnti più piccole degli LSB si sarebbe rivelato troppo impreciso. Pertanto si sono disegnati solo 2 riferimenti, uno per gli MSB utilizzando costantemente rapporti di specchiamento 1:1 e l'altro per gli LSB sfruttando rapporti differenti per il dimensionamento delle giuste correnti.

5.1.1 Riferimento a bandgap

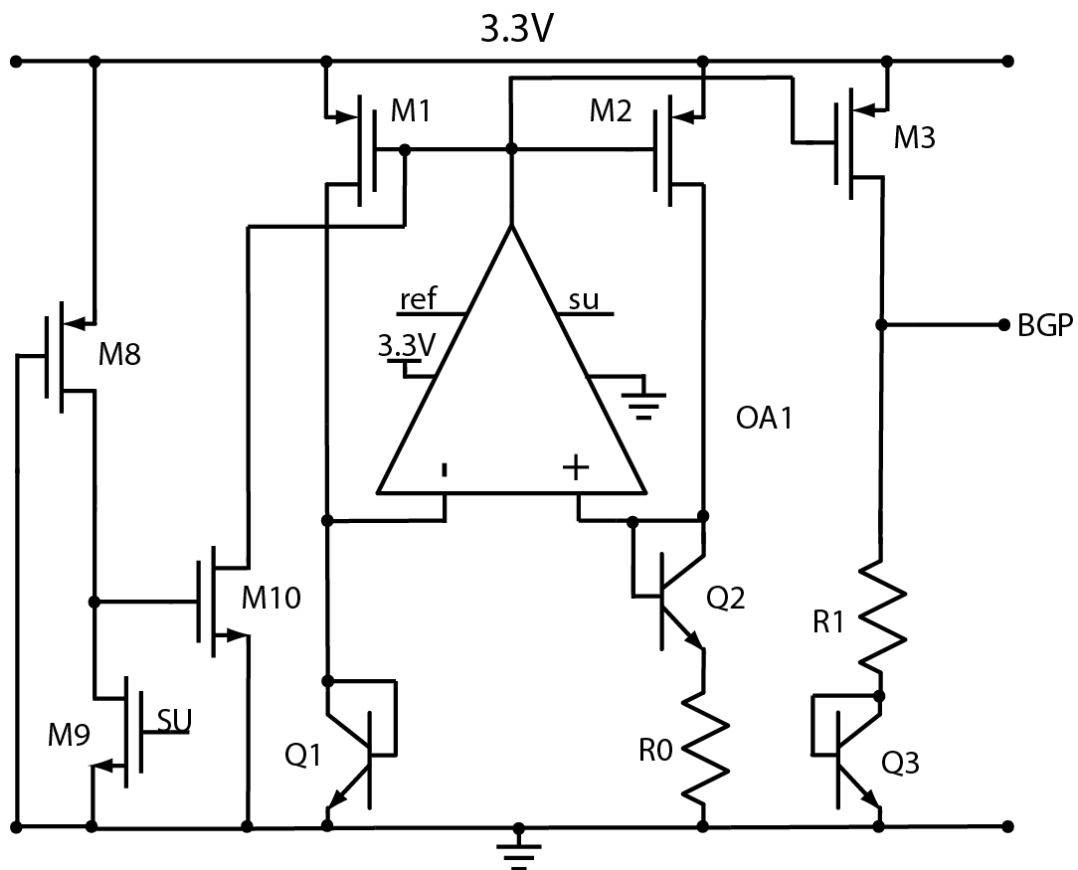


Figura 5.2 Circuito del riferimento a bandgap

Il vantaggio della tecnologia Si-Ge è la disponibilità di transistori bipolari npn invece dei tipici transistori parassiti impiegati nelle tecnologie CMOS. Questo fatto, oltre a portare vantaggi dal punto di vista della velocità anche in altri tipi di circuiti, che vedremo in seguito, è molto utile poiché i bipolari sono una componente fondamentale di questo tipo di circuito.

Utilizzando questi dispositivi nella parte centrale di figura 5.2 viene realizzata una corrente proporzionale alla temperatura assoluta (PTAT), che si ottiene facendo cadere la differenza delle tensioni base-emettitore dei due bipolari Q1 e Q2 (ovvero $V_{be1} - V_{be2}$), opportunamente

dimensionati con aree rispettivamente di N_1 e N_2 , sulla resistenza grazie alla reazione esterna fornita dall'operazionale che chiude la maglia. Infatti:

$$V_{be1} - V_{be2} = V_{th} * \ln\left(\frac{I_S}{N_1}\right) - V_{th} * \ln\left(\frac{I_S}{N_2}\right) = V_{th} * \ln\left(\frac{N_2}{N_1}\right) \quad \text{con } V_{th} = \frac{KT}{q} \text{ tensione termica}$$

Essendo la corrente $I = \frac{(V_{be1} - V_{be2})}{R_0} = \frac{V_{th}}{R_0} * \ln\left(\frac{N_2}{N_1}\right)$ ovvero la corrente è proporzionale al logaritmo del rapporto delle aree ma soprattutto alla temperatura assoluta.

La corrente viene specchiata poi sul ramo di destra, dove viene iniettata sulla serie composta dalla resistenza R1 e il transistor bipolare Q3 in configurazione a transdiodo. La tensione sulla resistenza sale come la corrente proporzionalmente a T, mentre la V_{be} del transdiodo ne è inversamente proporzionale. Al nodo superiore si ottiene dunque la somma delle due tensioni e quindi la compensazione della temperatura entro un certo range. Fissando R1 a 9,8 K Ω il punto di incontro delle curve dove si trova il massimo della caratteristica (il cosiddetto punto Zero Temperature Coefficient, ZTC) si porta intorno ai 60°, come visibile nel grafico, valore realistico per il range di temperature che si suppone di utilizzare. Ottenendo quindi una precisione in ppm:

$$\frac{1.17949 \text{ V} - 1.1791 \text{ V}}{1.1793 \text{ V} * 50^\circ\text{C}} = 0.0000066 = 6,6 \frac{\text{ppm}}{^\circ\text{C}}$$

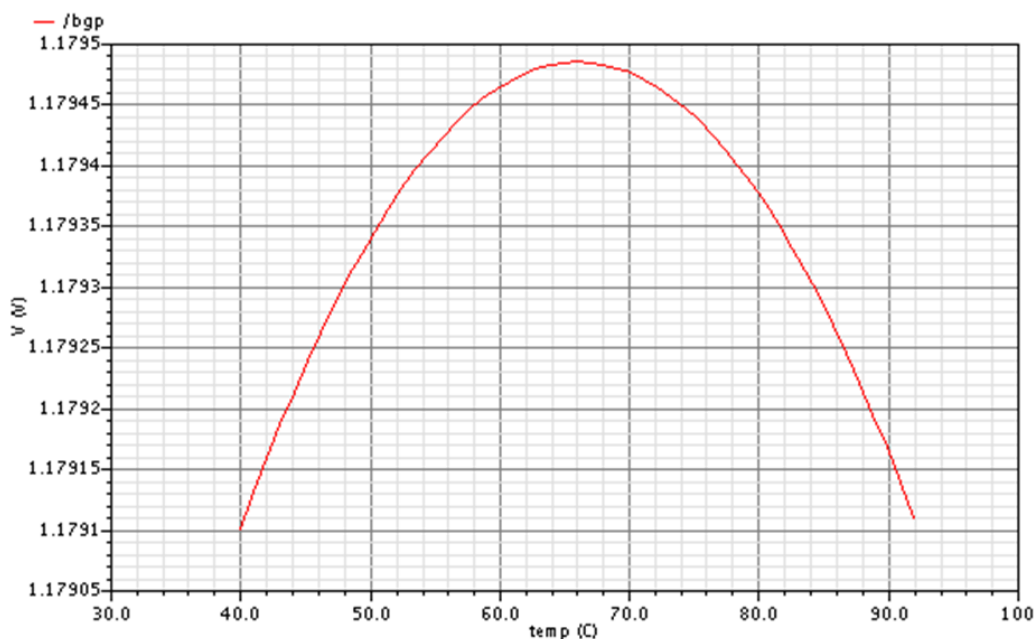


Figura 5.3 Compensazione di temperatura nel bandgap

Per un'analisi più accurata bisogna tenere conto anche della dipendenza dalla temperatura delle resistenze. Tuttavia la corrente viene prima moltiplicata e poi divisa, pertanto la dipendenza risulta solo del secondo ordine, inoltre le resistenze scelte in polisilicio ad alta resistività hanno coefficiente termico molto basso. Ne consegue che quest'effetto risulta trascurabile ai fini della compensazione.

Per assicurarsi che le variazioni di processo della tecnologia non abbiano effetti rilevanti su questa polarizzazione un piedino dell'integrato è stato connesso a un capo di R1 in modo da poter correggere a posteriori eventuali errori.

Un altro vantaggio del circuito è che correnti e tensioni generate non dipendono direttamente dalle tensioni di alimentazione e massa, sebbene vi sia comunque l'intervento di effetti del secondo ordine. Questo fattore risulta decisivo per l'ottenimento di una buona reiezione ai disturbi, che altrimenti tenderebbero a rendere la polarizzazione e di conseguenza l'uscita del convertitore non stabile. Svolgendo una simulazione in AC su un ampio spettro di frequenze per i disturbi sull'alimentazione con ampiezza di 1 V si osserva come la tensione rimanga costante fino all'intervento dei picchi capacitivi fissa a circa 1,7 mV, per una precisione di:

$$\frac{1,7 \text{ mV}}{1,179 \text{ V}} = 0,001442 = 1442 \frac{\text{ppm}}{\text{V}}$$

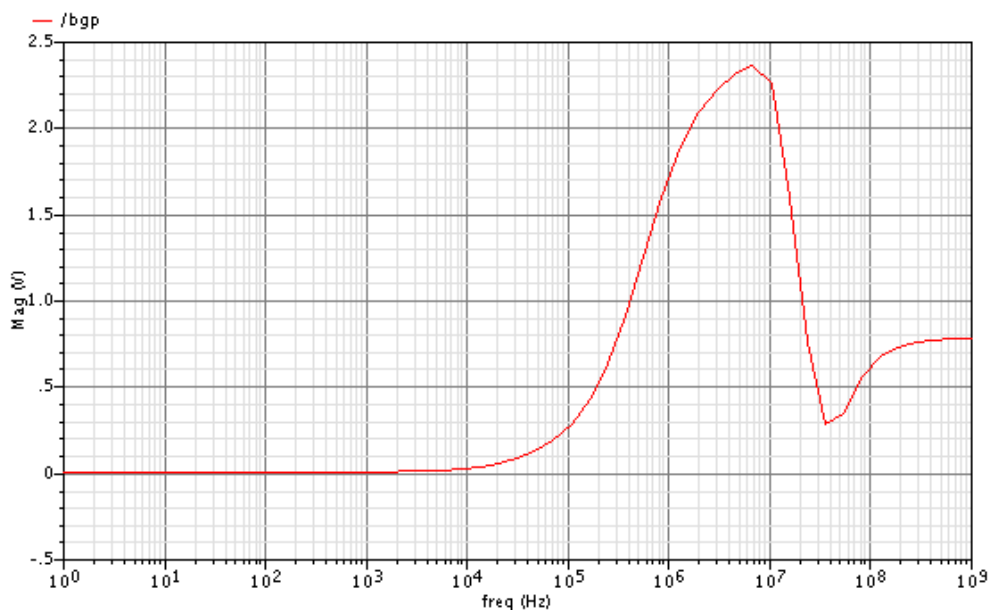


Figura 5.4 Simulazione AC della tensione di riferimento con 1V di disturbo all'alimentazione

Abbiamo visto le condizioni di lavoro del bandgap in fase di compensazione della temperatura ma in realtà esiste un altro possibile stato stabile, ovvero quando le correnti sono nulle in quanto l'anello rimane ben agganciato. Queste sono tra l'altro le condizioni iniziali di funzionamento, per cui il circuito tenderebbe a rimanere spento. Per evitare questo inconveniente è stato introdotto un semplice circuito di start-up che, qualora la tensione di uscita dell'operazionale sia troppo alta (indice dell'assenza di corrente nei rami del circuito), forza l'operazionale a muoversi in tensione in modo da poter raggiungere lo stato stabile di interesse. Si è scelto di intervenire direttamente sull'operazionale invece che sul bandgap vero e proprio in quanto, sebbene il circuito di start-up sia di fatto spento, la corrente di base dei bipolari ne impedirebbe il funzionamento.

Infine il blocco a destra in figura 5.1 (BIAS) ha il compito di fornire i riferimenti in tensione necessari all'operazionale e ai riferimenti di corrente. Poiché non è necessario un riferimento compensato in temperatura, queste tensioni sono generate tramite una semplice rete a g_m costante.[11]

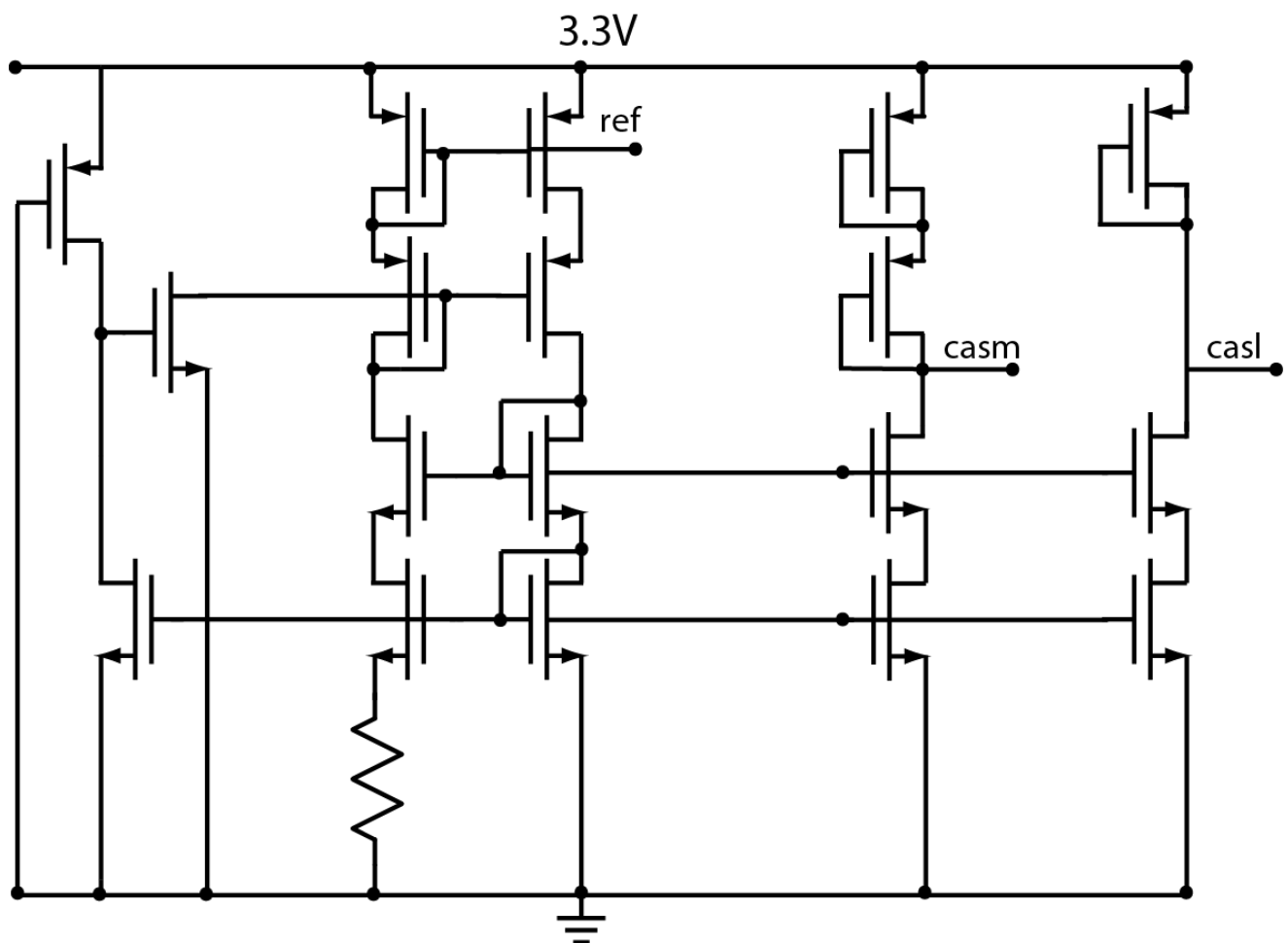


Figura 5.5 Circuito per la polarizzazione di operazionali e cascode

5.1.2 Riferimenti di corrente

Ottenuta la tensione di riferimento dal circuito di bandgap, i 2 riferimenti di corrente sono costituiti da generatori riferiti alle resistenze R2 e R3 in figura 5.6. La tensione del precedente stadio viene infatti riportata mediante due operazionali, che vedremo nel paragrafo successivo, in configurazione a buffer ai capi di R2 e R3, a loro volta in polisilicio ad alta resistività. Queste ultime sono state dimensionate per ottenere correnti di 256 μA , riferimento dell'MSB, e 64 μA come riferimento arbitrario per gli LSB. Di conseguenza essendo la tensione di Bandgap pari a 1.17 V si ottiene $R2 = 4,95 \text{ K}\Omega$ e $R3 = 19,81 \text{ K}\Omega$.

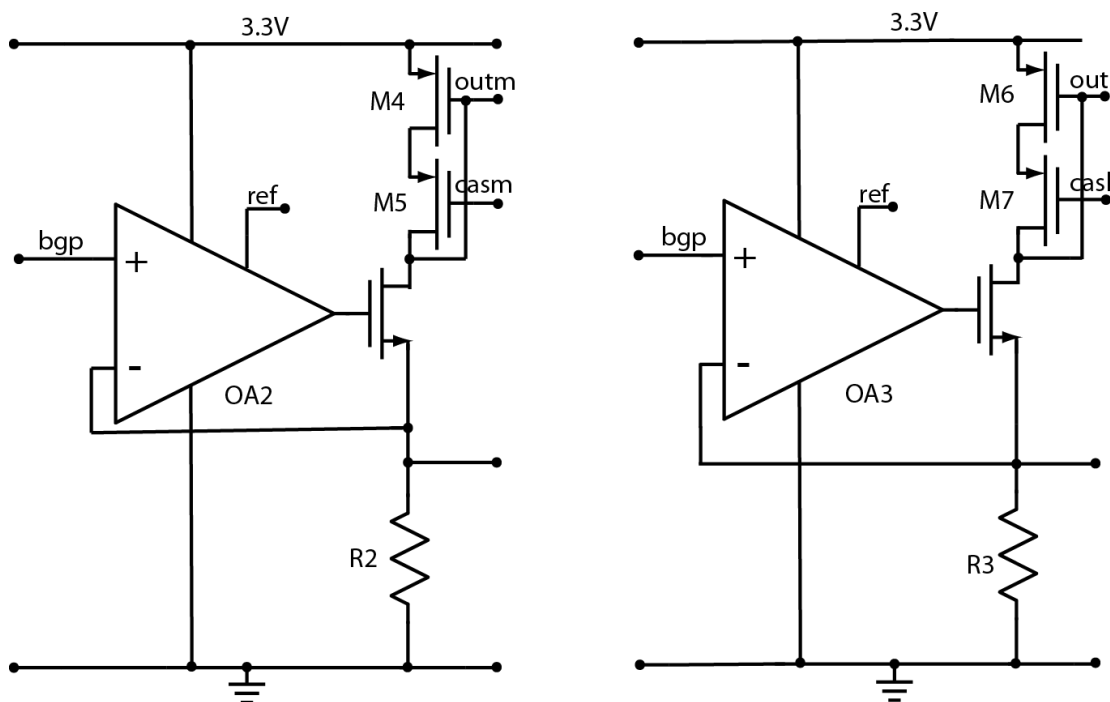


Figura 5.6 Generatori di corrente riferiti a resistenze

La corrente è poi fornita a due pMOS in configurazione specchio di corrente "cascode enhanced". Il cascode è introdotto per minimizzare l'errore di specchiamento e aumentare la resistenza di uscita oltre che per una migliore simmetria con i generatori. La configurazione enhanced invece è stata implementata in modo da preservare la dinamica e mantenere i transistori in zona operativa di saturazione poiché questo rappresentava un grave limite nella configurazione classica.

Si ottengono così le 4 linee di tensione (outm, outl, casl, casm in figura 5.6) che rappresentano le uscite di tutto il blocco di polarizzazione. In aggiunta a queste sono connessi ai pad dell'integrato anche i capi delle resistenze R2 e R3, in modo da poter regolare la corrente anche in quei casi in

cui gli errori dovuti alle variazioni di processo inducano disuniformità fra i riferimenti che si tradurrebbero in maggiore contributo di DNL.

La scelta di questo tipo di riferimento è comunque dettata dalla realizzazione dello stadio di uscita che, come vedremo, fa a sua volta utilizzo di resistenze dello stesso tipo per trasdurre la corrente in tensione. In tal modo, sebbene le dipendenze dalla temperatura di R2 e R3 inizialmente tendino a danneggiare la compensazione ottenuta dal circuito precedente, essa viene recuperata successivamente. In base a questa proprietà si è privilegiata quindi la scelta della configurazione in esame in opposizione ad altre, come ad esempio compensazioni dirette in corrente, più raffinate ma meno funzionali all'architettura del convertitore.[12]

5.1.3 Amplificatori Operazionali

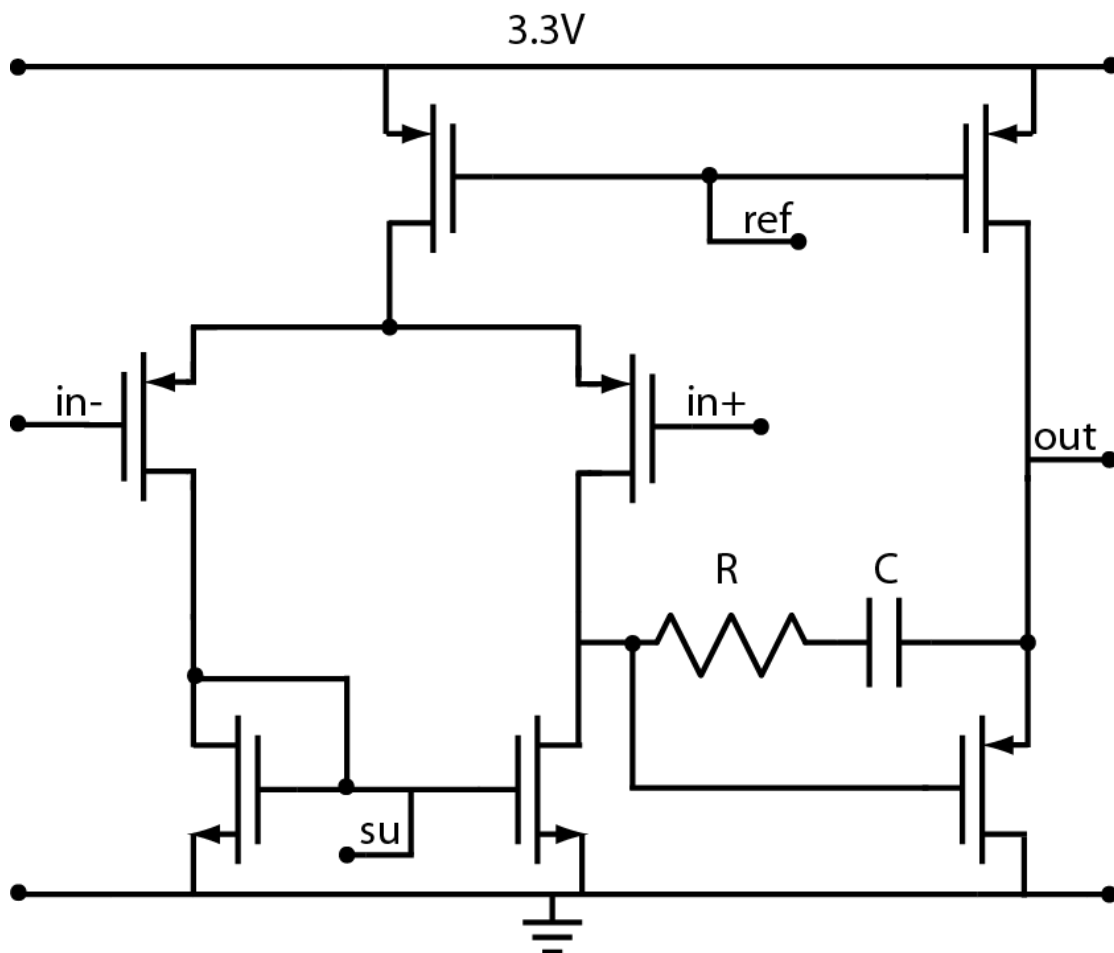


Figura 5.7 Amplificatore operazionale a 2 stadi

Per le sezioni precedenti, come abbiamo visto, ci si è giovati dell'impiego di amplificatori operazionali per le reazioni necessarie a stabilizzare le tensioni nei riferimenti. L'ingresso è

costituito da una coppia di pMOS, oltre che per minimizzare il rumore $1/f$, per il basso valore di tensione degli ingressi. Poiché l'operazionale, è utilizzato (per un totale di 3 volte) lavorando sempre in continua, date le finalità di polarizzazione del circuito, non è richiesto alcun requisito in termini di velocità e quindi di banda e Slew-Rate. Rilevanti sono invece la precisione e in particolare il rumore iniettato oltre che l'offset che devono essere i più bassi possibile. La scelta naturale con queste specifiche risulta quindi una configurazione a 2 stadi con compensazione a polo dominante, come si vede in figura 5.7, cercando di ottenere la minima banda possibile per minimizzare il rumore. Col dimensionamento della capacità di compensazione a 1,5 pF si posiziona il polo dominante a frequenza estremamente bassa e la resistenza a 4 k Ω per spostare lo zero destro, ottenendo un prodotto guadagno-banda (GBWP) pari a 29 MHz con un guadagno di 103 db come osservabile nel grafico sottostante in figura 5.8. Il margine di fase raggiunge un valore di circa 74° garantendo la stabilità dell'amplificatore.

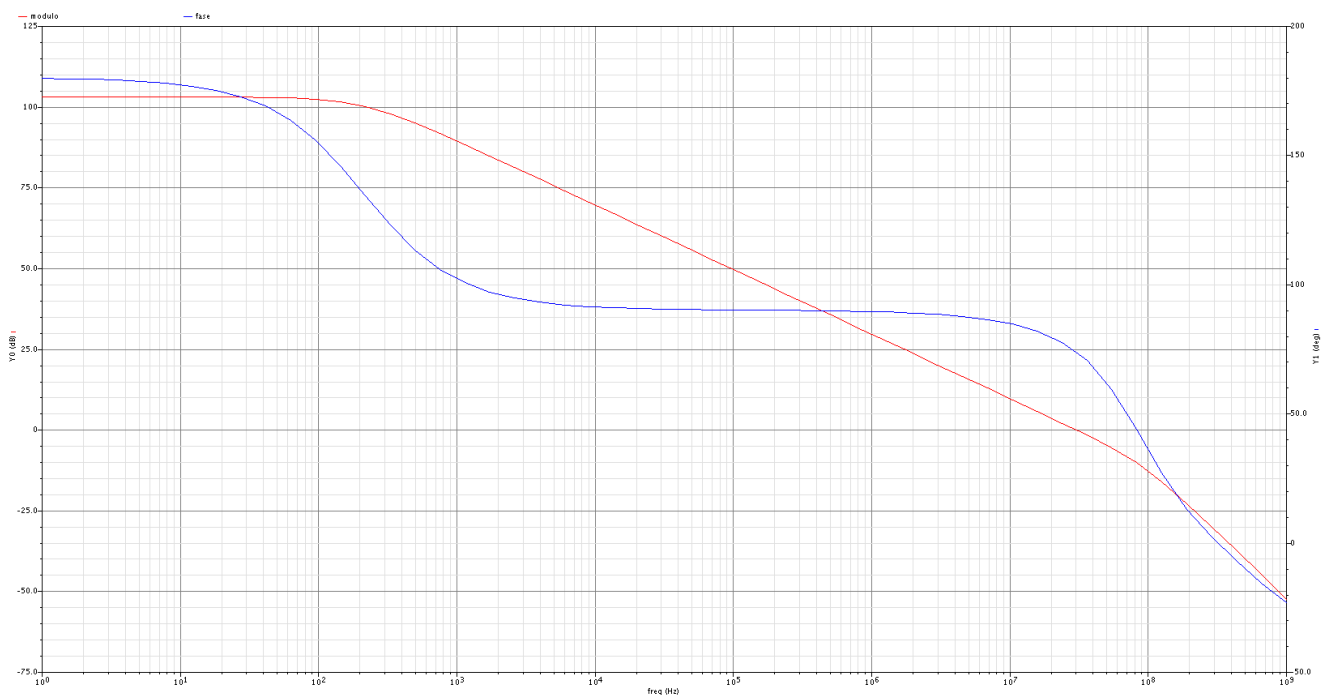


Figura 5.8 *Guadagno e fase dell'operazionale a 2 stadi*

Con le simulazioni delle variabili di processo effettuate con il metodo Montecarlo si mettono in luce gli scostamenti dei risultati con le variazioni dovute al processo tecnologico. Simulando su 100 campioni il margine di fase cambia entro il range di 3° mentre il GBWP rimane sempre nello stesso ordine di grandezza.

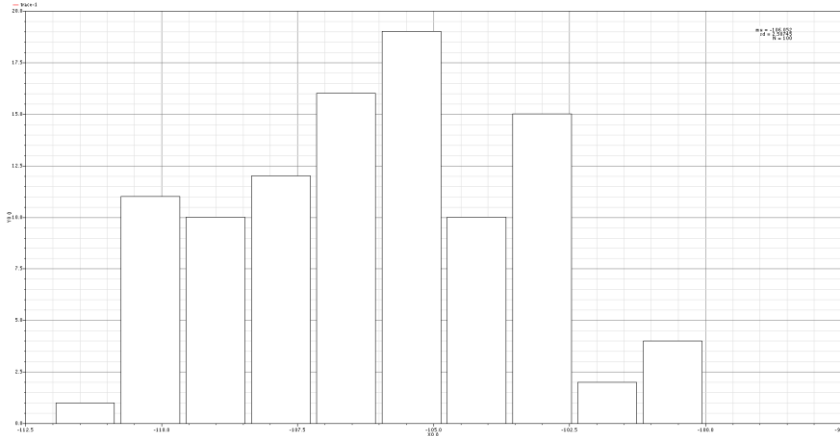


Figura 5.9 Distribuzione del margine di fase con simulazione Montecarlo

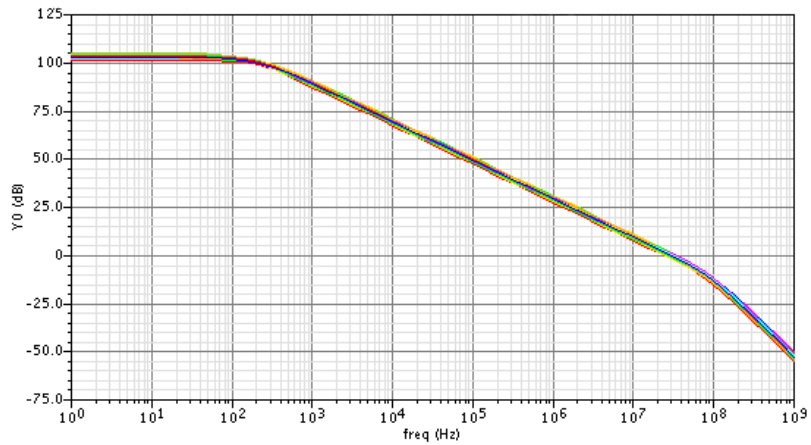


Figura 5.10 Possibili andamenti del guadagno con simulazione Montecarlo

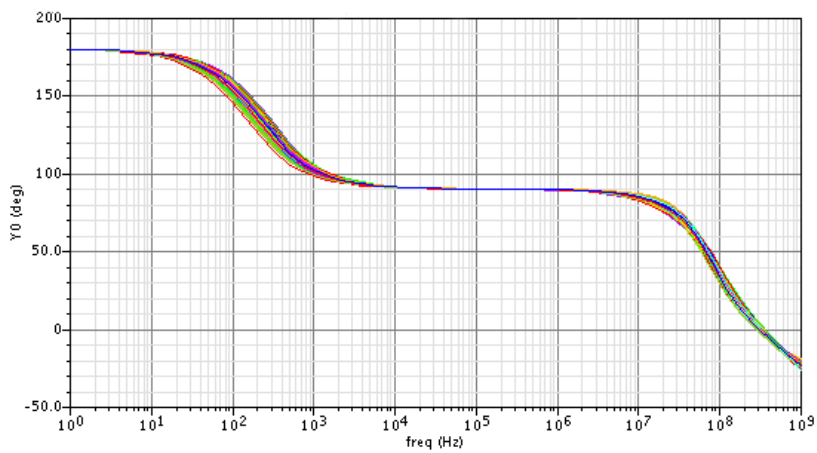


Figura 5.11 Possibili andamenti della fase con simulazione Montecarlo

5.1.4 Layout



Figura 5.12 Layout della sezione di polarizzazione

Il layout prevede il posizionamento del bandgap al centro, in figura 5.12, per una migliore interazione con gli altri blocchi. La polarizzazione è collocata alla sua destra per i medesimi motivi. Ai vertici del blocco troviamo quindi i 3 operazionali e i riferimenti di corrente disposti verso il centro del layout complessivo in modo da essere immediatamente vicini ai generatori di corrente.

5.2 Generatori di corrente

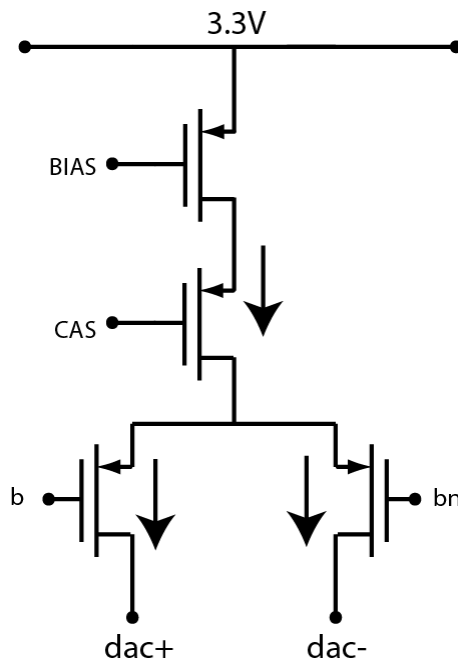


Figura 5.13 *Struttura composta da generatore di corrente e interruptori*

I generatori di corrente veri e propri sono costituiti da due transistori di cui uno in configurazione a cascode, con lo scopo di aumentare l'impedenza d'uscita. Ci sono poi due transistori a lunghezza di canale minima che svolgono la funzione di switch deviando sui due rami differenziali la corrente a seconda della codifica in ingresso. Di conseguenza questi pMOS devono essere pilotati con segnali complementari in modo che la corrente venga incanalata solo nella direzione giusta.[13]

5.2.1 Segmentazione

Gli MSB di tipo termometrico sono quindi costituiti da 4 diversi gruppi di generatori da 256 μA e per tanto specchiati a 1:1 col riferimento. Ogni gruppo è pilotato da un bit diverso della codifica ed hanno ovviamente dimensioni diverse. Pertanto il primo è un singolo generatore da 256 μA , il

secondo sono due per un totale di 512 μA e conseguentemente l'MSB vero e proprio si compone di 8 generatori per un totale di 2,048 mA. Di fatto questa sezione che denominiamo "MSB array" trasporta praticamente tutta la corrente, per un totale di $(2,048 + 1,024 + 0,512 + 0,256)=3,84$ mA, in gioco ed è di fatto è responsabile della dissipazione di gran parte della potenza dell'intero DAC.

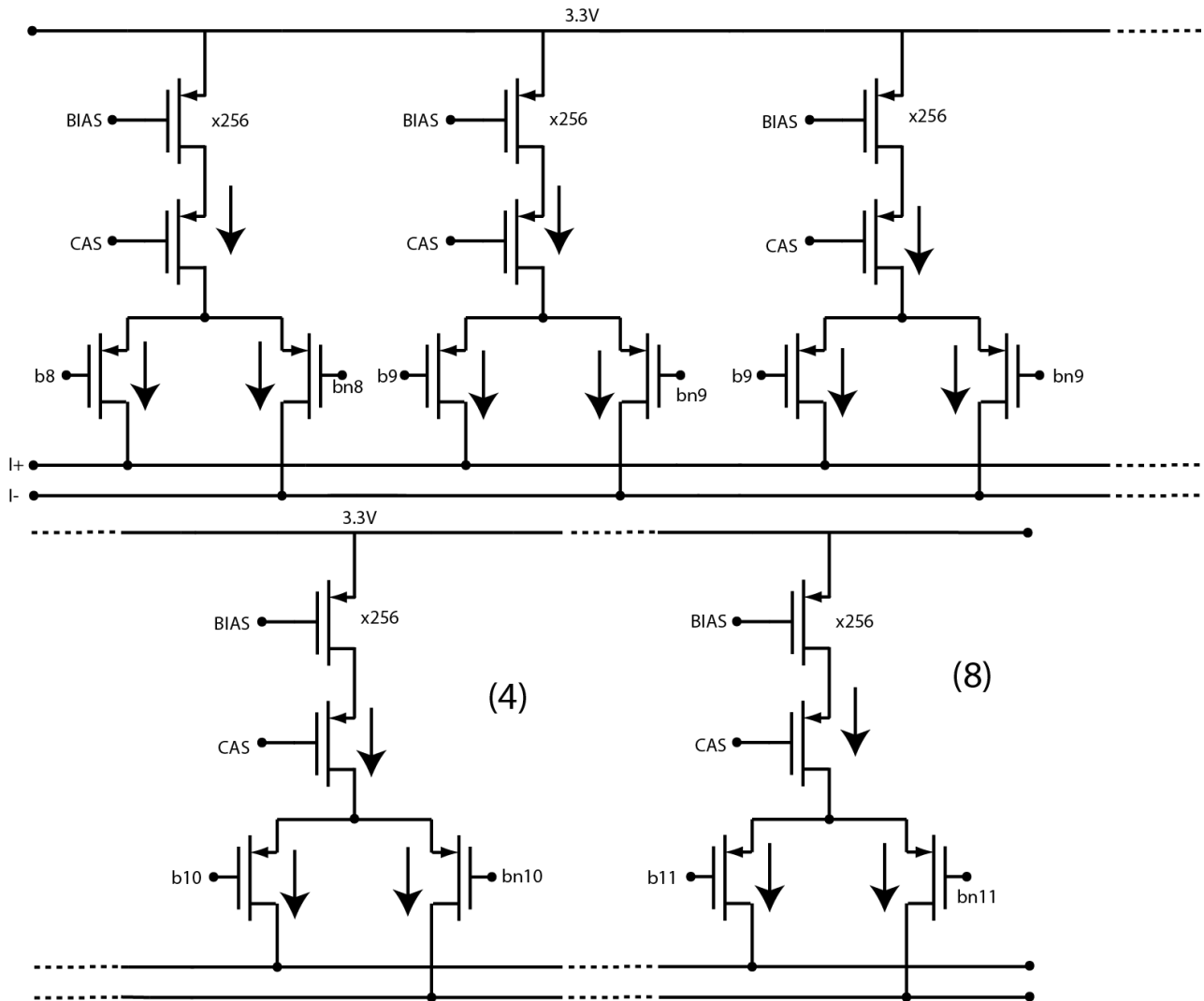


Figura 5.14 Generatori che compongono l'array degli MSB

Gli LSB a peso binario sono invece costituiti da un unico generatore e sono quindi in numero pari agli 8 bit che rappresentano. Essendo il riferimento a 64 μA il bit più significativo di questi avrà rapporto 1:2 col riferimento per ottenere i 128 μA di corrente. Di conseguenza il primo MSb a 256 μA potrebbe essere considerato ancora a peso binario ma per ragioni di matching è stato incluso nell'array MSB. Per i bit successivi i rapporti vanno a scalare da 1:1 a 64:1 con le potenze di 2. Si ottiene quindi un LSB di 1 μA forzando il transistore in pratica a lavorare in sottosoglia. La corrente prodotta nell'"LSB array" risulta pari a $(0,128 + 0,064 + 0,032 + 0,016 + 0,008 + 0,004 + 0,002 +$

0,001) = 0,255 mA. La corrente complessiva usata nei generatori quindi pari a $3,84+0,255=4,095$ mA in modo che per l'appunto ognuno dei livelli della codifica sia rappresentato da un singolo μA .

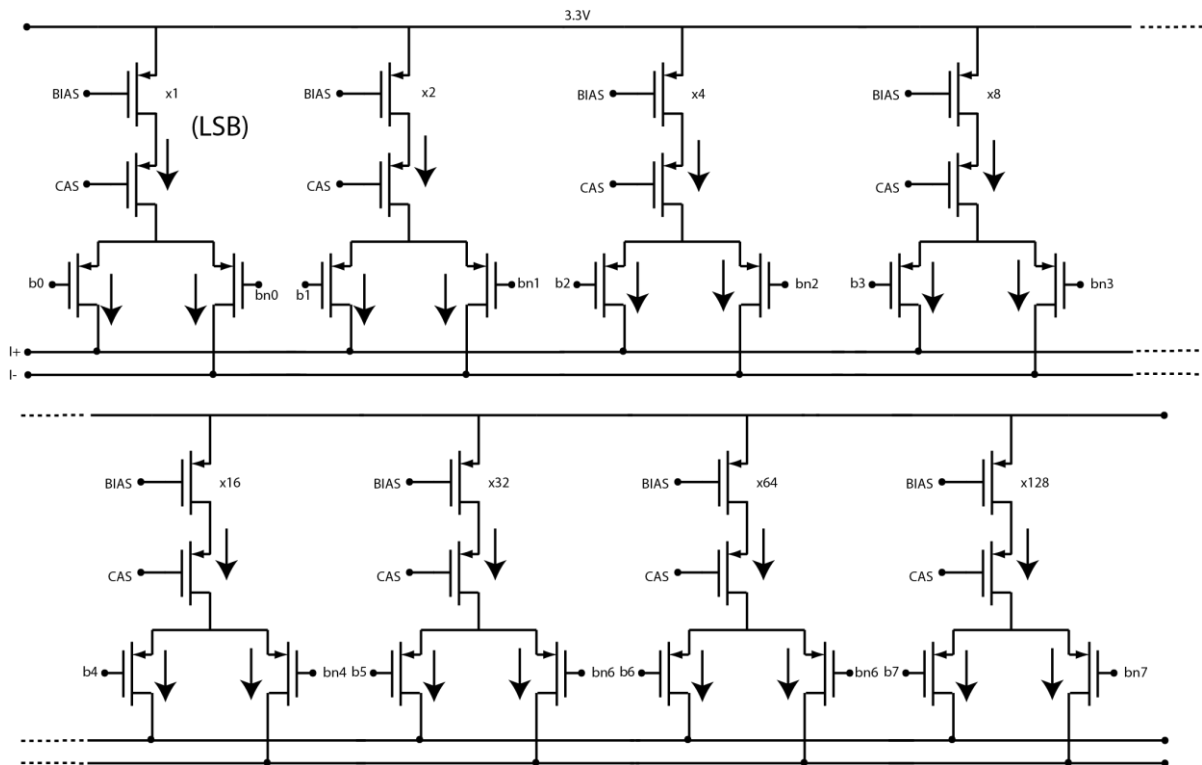


Figura 5.15 Generatori che compongono l'array degli LSB

La scelta del dimensionamento dei generatori deriva difatti, stante la scelta di realizzare il DAC a 12 bit, dalle minime dimensioni possibili dell'LSB per non costringere il transistor ad andare in sottosoglia per cui andare sotto il μA sarebbe risultato eccessivo. Ovviamente si sarebbe potuto fare uso di LSB più consistenti in corrente ma così facendo la potenza dissipata e le difficoltà di layout nel portare grandi correnti per gli MSB sarebbero state proibitive.

5.2.2 Layout

I layout dei 2 array sono profondamente diversi a causa della diversa natura di MSB e LSB.

Gli MSB sono perfettamente simmetrici fra di loro e ne consegue come migliore soluzione un layout molto regolare. I transistori sono perfettamente affiancati l'uno all'altro e nell'insieme sono disposti in modo da essere pilotati dal contatore da vicino onde ridurre parassitismi vista l'importanza per la linearità generale di questa parte della codifica. In fondo sono disposte due grosse linee di metallo in modo da raccogliere le correnti prodotte e portarle allo stadio di uscita.

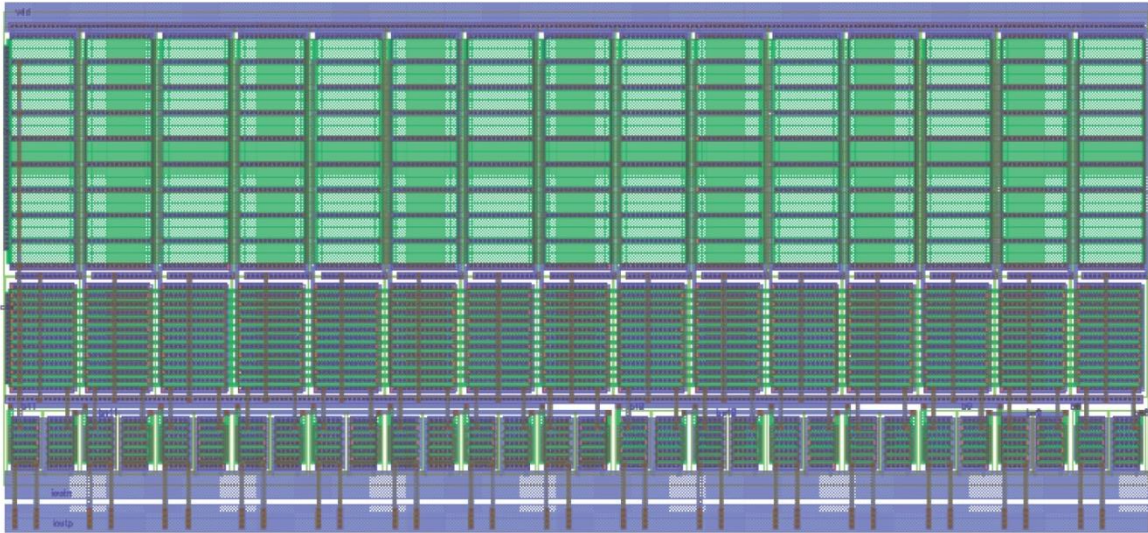


Figura 5.16 *Layout degli MSB*

Gli LSB a causa della struttura “pesata” sono invece decisamente asimmetrici determinando quindi una struttura complessiva più libera. Inoltre le linee di metal portando sempre correnti di entità modesta sono sempre a larghezza minima o quasi. Ne consegue che la disposizione dei transistori è stata realizzata in funzione delle esigenze del layout complessivo. I MOS sono interdigitati in maniera differente in modo da lasciare più spazio nella zona di destra che corrisponde alle zone centrali del disegno del DAC.

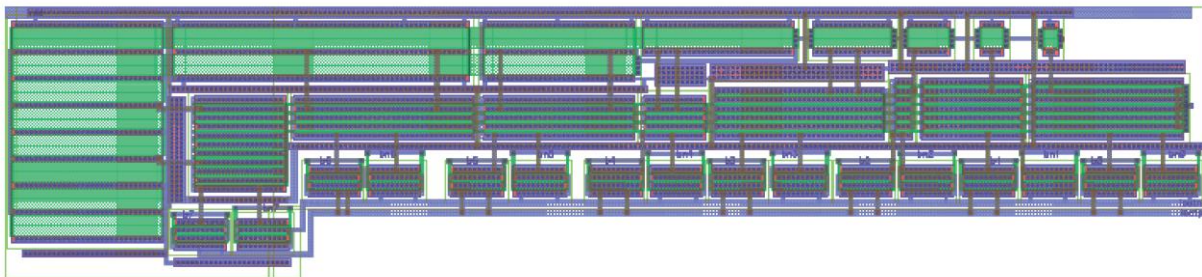


Figura 5.17 *Layout degli LSB*

5.3 Stadio di uscita

Questa sezione ha il compito di intervenire sulle correnti in uscita dagli array dei generatori e sull’uscita differenziale del TAC per fornire come risultato l’uscita differenziale comprensiva del segnale di dithering all’ADC.

5.3.1 Configurazione dell'uscita

L'impiego di una corrente di 4 mA, resosi necessario per ottemperare alle specifiche di risoluzione del convertitore, complica non poco la realizzazione dello stadio di uscita. Infatti trattare tale quantità di corrente con un amplificatore operazionale sarebbe estremamente oneroso in termini di area. Risulta pertanto più comodo traslare la corrente in tensione mediante due rami di resistenze, sempre in polisilicio ad alta resistività (in modo che la loro dipendenza dalla temperatura si semplifichi con quella di R2 e R3 nello stadio di polarizzazione in figura 5.6).

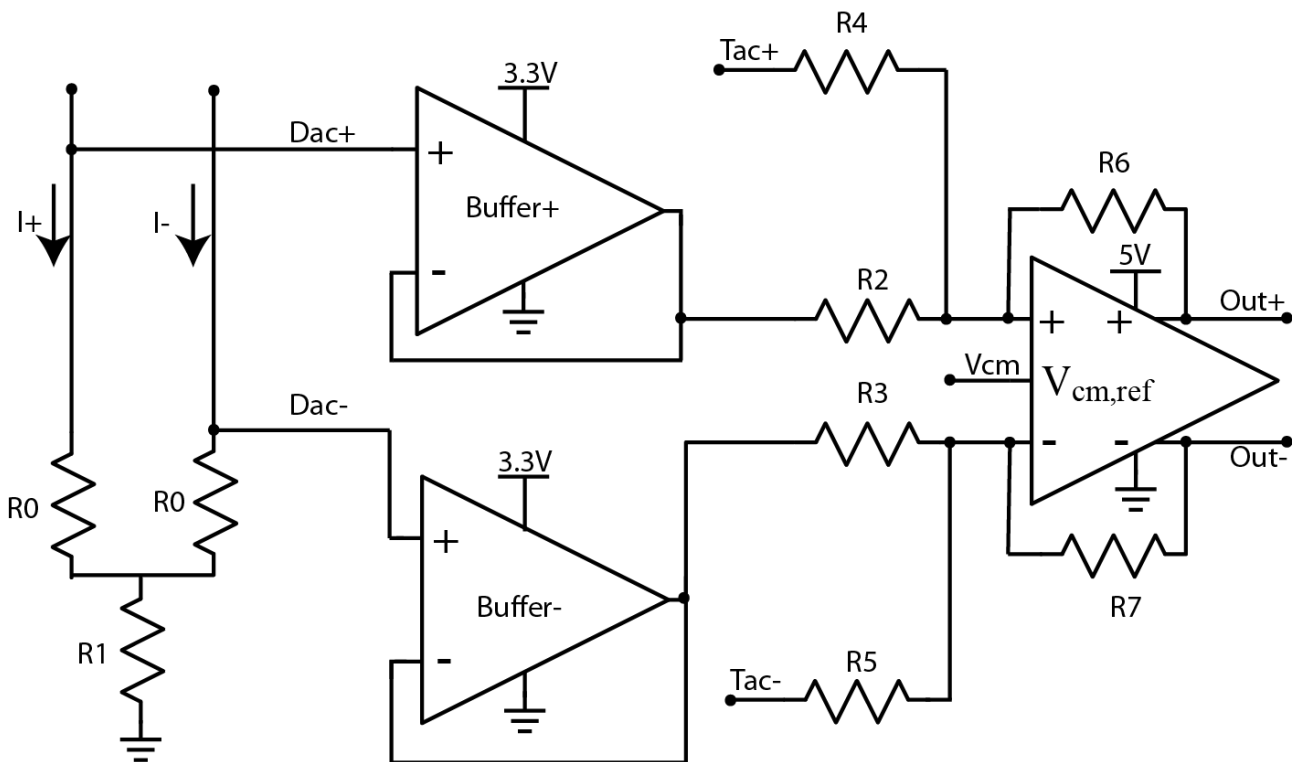


Figura 5.18 Configurazione circuitale dello stadio di uscita

Le resistenze sono in realtà costituite da paralleli di più elementi, in modo da meglio supportare le quantità di corrente. Successivamente le tensioni dei due rami sono portate al morsetto non invertente di due operazionali in configurazione a buffer, in tal modo le uscite in tensione del convertitore sono portate all'esterno senza interferire con la corrente. Il valore scelto per ogni ramo è di circa 200 Ω , per avere quindi una tensione imposta ai capi di circa 800 mV quando la corrente è massima e 0 V in sua assenza. Allo stesso modo il singolo μA di LSB corrisponde a una tensione di 200 μV . Dato che il valore di interesse delle tensioni è in realtà la loro differenza, per evitare problemi con la dinamica d'ingresso dei buffer è stato posto un ulteriore parallelo di resistenze al di sotto dei 2 rami del valore anch'esso di circa 200 Ω in cui viene iniettata sempre

tutta la corrente del convertitore, con una conseguente tensione costante di 800 mV ai suoi capi. Si ottiene quindi di avere delle tensioni ai transistori d'ingresso degli operazionali comprese sempre tra circa 0,8 V e 1,6 V, più semplici rispetto a tensioni di pochi mv che vi sarebbero altrimenti. In questo modo la tensione differenziale all'uscita dei buffer è di fatto l'uscita vera e propria del DAC.

La parte finale dello stadio di uscita è costituita invece da un amplificatore operazionale completamente differenziale in configurazione di sommatore. Le uscite differenziali di TAC e DAC vengono fornite ai suoi morsetti per essere, opportunatamente pesate, sommate nell'uscita differenziale generale che rappresenta quindi il segnale del TAC sovrapposto al segnale triangolare di dithering.

La dinamica complessiva del DAC (V_{dac}) è quindi da -0,8 V a +0,8 V e quindi 1,6 V differenziali, mentre i morsetti di uscita del TAC (V_{tac}) si muovono fra 0,9 V e 2,9 V per 4 V complessivi. Dato che per il dithering è sufficiente coprire 1/16 della dinamica dell'ADC (2 V), ne consegue che il segnale di DAC in uscita vada pesato per 0,31 e per tale scopo è sufficiente dimensionare le resistenze della retroazione.

Se si considera in figura 5.18 $R_4 = R_5 = R_6 = R_7$ e $R_2 = R_3$ si ottiene facilmente come uscita

$$V_{out} = - \left[V_{tac} + V_{dac} * \left(\frac{R_4}{R_2} \right) \right]$$

portandoci a definire quindi $\frac{R_4}{R_2} = 0,31$. Per dimensionare le resistenze si osserva la necessità di rendere la retroazione non troppo esigente in termini di corrente in modo da non appesantire ulteriormente i requisiti già imposti dal carico all'uscita. D'altra parte resistenze di dimensioni imponenti non sono utilizzabili perché occuperebbero troppo spazio su silicio. Scegliendo $R_1 = 5k\Omega$ e quindi $R_2 = 16,2K\Omega$ si hanno resistenze integrabili al prezzo di correnti accettabili. Infatti nel caso peggiore in cui DAC e TAC si trovino ambedue agli estremi della loro dinamica in uscita si ha un valore di $2 V + 0,31 * 0,83 V = 2,25 V$ circa. Quindi stabilita la tensione di modo comune a 1,9 V i morsetti in uscita si trovano sopra o sotto questo valore di circa 1,1 V quindi la dinamica di uscita dei morsetti si sposta fra 0,8 V e 3 V circa. Si ricava quindi che la corrente richiesta dalla retroazione in questo modo è di circa $1,1 V / 5 K\Omega = 220 \mu A$. Per fissare il valore della tensione di modo comune la si fornisce all'operazionale fully-differential con un circuito esterno che possa offrire un riferimento stabile.

5.3.2 Buffer

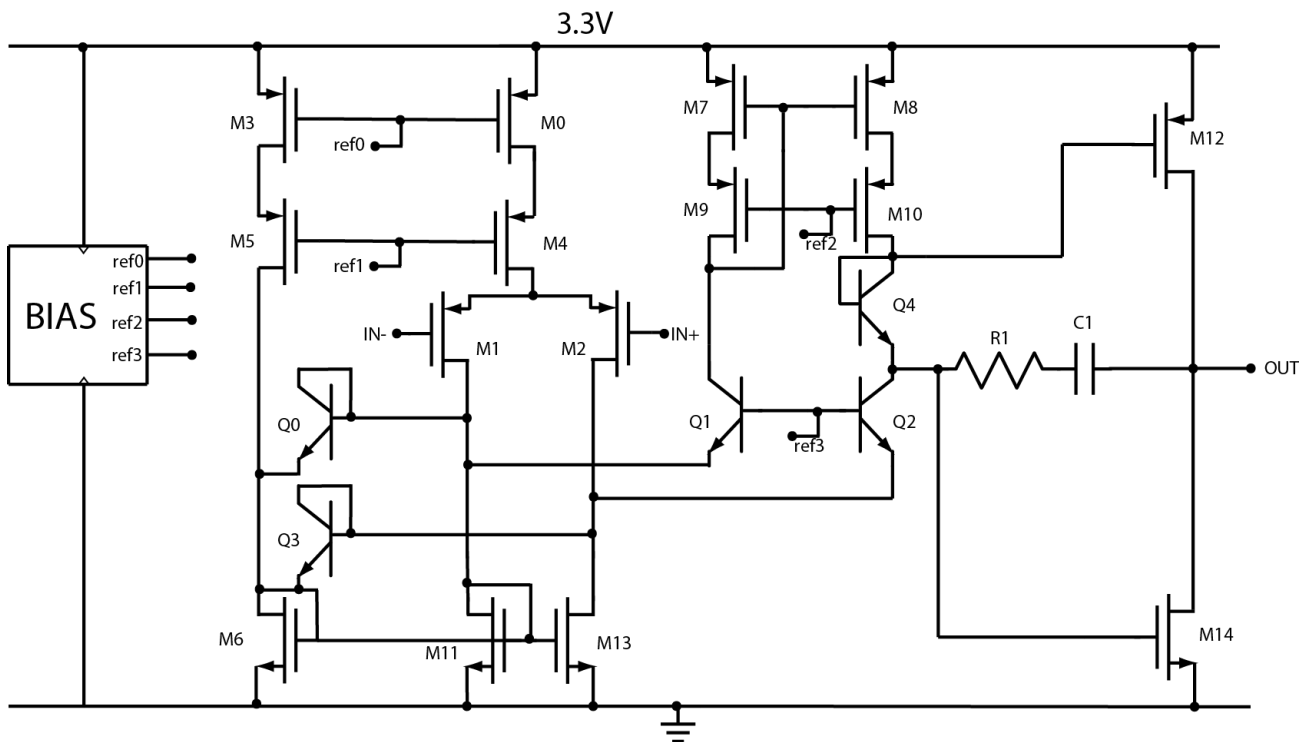


Figura 5.19 Circuito interno dell'operazionale in configurazione a buffer

Due amplificatori operazionali in configurazione a buffer occorrono per portare la tensione differenziale del DAC al sommatore, senza andare a disturbare la corrente dei generatori o alterare le resistenze che la ricevono. A differenza degli amplificatori usati per la polarizzazione, stavolta i circuiti devono tenere conto dei repentini cambiamenti del DAC, che deve poter raggiungere frequenze operative dell'ordine di 20 MHz. Per poter seguire nel dettaglio il segnale nei tempi previsti è dunque necessaria un'ampia banda di utilizzo. Per tale motivo è ragionevole quanto meno un GBWP di 200 MHz.

I requisiti di dinamica sia d'ingresso che di uscita sono piuttosto rilassati essendo le tensioni di DAC fra 0,8 V e 1,6 V. Al buffer seguono resistenze di 16,2KΩ verso la tensione di modo comune di 1,9 V. Pertanto in uscita può essere richiesta corrente fino a $\frac{(1,9V - 0,8V)}{16,2K\Omega} = 67 \mu A$ che non è certo problematica.

Per raggiungere i requisiti richiesti è stata disegnata una struttura folded cascode a 2 stadi, in cui si è fatto ampio utilizzo dei transistori bipolari npn per migliorarne le caratteristiche di velocità. l'ingresso è quindi ovviamente a pMOS, anche in considerazione della dinamica sbilanciata verso

massa e del rumore. I transistori d'ingresso hanno dimensioni di 49 μm di larghezza e 0,7 μm di lunghezza, polarizzati a una corrente di circa 70 μA , mentre la parte "foldata" dispone di una corrente di circa 50 μA per ramo. L'uscita è costituita da uno stadio in cui un transdiodo si pone a metà tra le uscite per forzare i transistori all'uscita a portare meno corrente. [9]

Per la compensazione a polo dominante si è dimensionata la capacità a 500 fF e la resistenza a 2 K Ω si ottiene quindi una GBWP di 244 MHz con guadagno di 106 dB e raggiungendo un margine di fase di circa 80°.

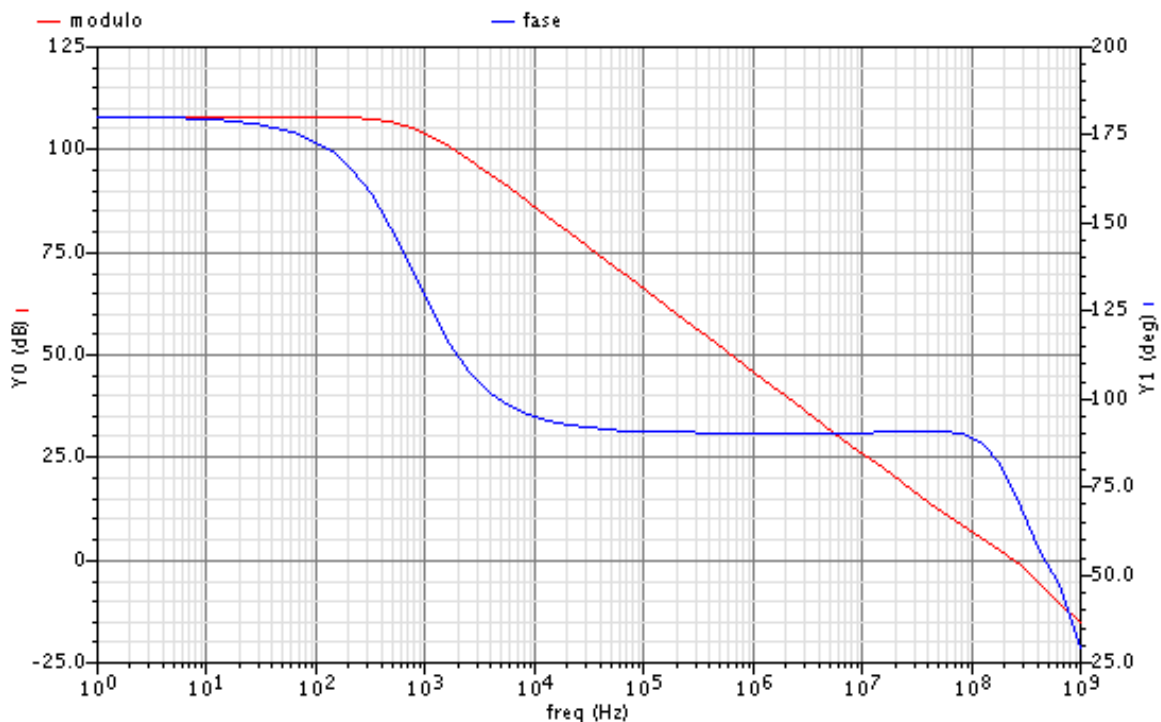


Figura 5.20 Guadagno e fase dell'operazionale in configurazione a buffer

A fronte di queste prestazioni lo stadio assorbe comunque poca corrente così che la dissipazione in continua sia contenuta in meno di 600 μW .

L'amplificatore risulta comunque robusto alle variazioni imposte dal processo tecnologico come visibile nelle figure 5.21,5.22 e 5.23. Infatti il margine di fase ha una dispersione statistica di circa 4° e il GBWP è sempre superiore ai 200 MHz per tutti i casi.

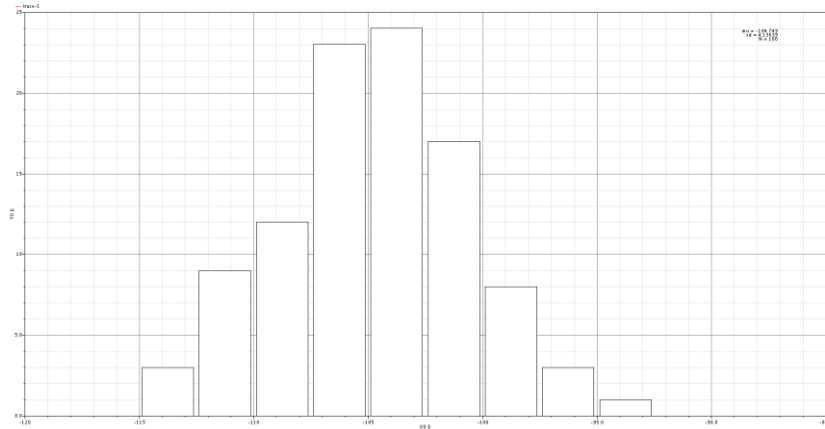


Figura 5.21 *Distribuzione del margine di fase con simulazione Montecarlo*

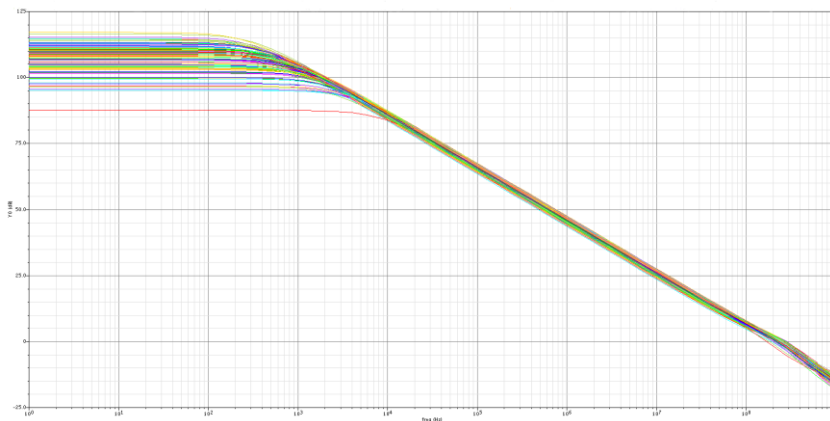


Figura 5.22 *Possibili andamenti del guadagno con simulazione Montecarlo*

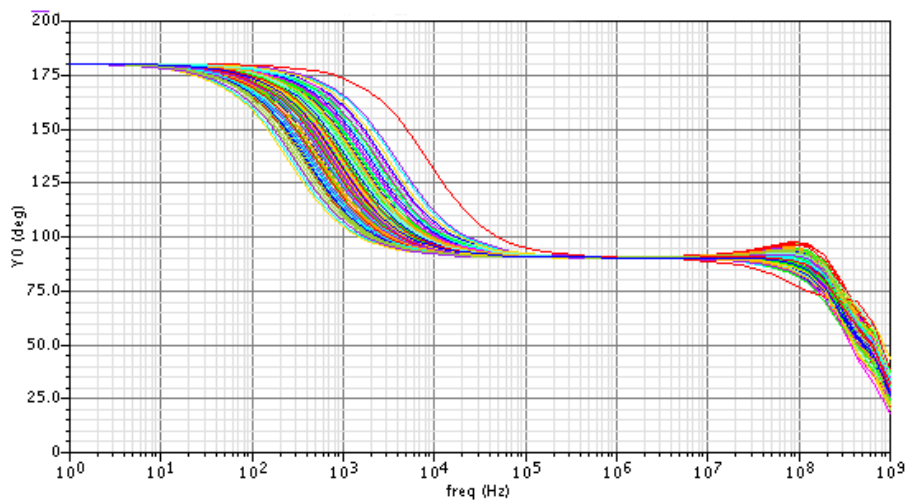


Figura 5.23 *Possibili andamenti della fase con simulazione Montecarlo*

5.3.3 Operazionale fully-differential

Ben più complessa risulta la progettazione dello stadio amplificante finale, se non altro per la struttura completamente differenziale che forza l'impiego di una reazione di modo comune per stabilizzare la polarizzazione. Inoltre, come discusso in precedenza, è questo stadio che deve garantire il pilotaggio esterno dell'ADC. Nel nostro caso dobbiamo garantire che lo stadio possa pilotare un carico di qualche pF e qualche centinaio di Ω . L'uscita dello stadio deve essere quindi in grado di poter erogare fino a una decina di mA di corrente.

Inoltre per la ragioni di dinamica è necessario realizzare il tutto con transistori a 5V, che dispongono di caratteristiche differenti oltre che occupazione di area maggiore. Il tutto deve essere realizzato tenendo conto di dover seguire in velocità sia il TAC che i buffer del DAC e quindi bisogna avere a disposizione una banda sufficientemente larga a garantire che il segnale in uscita risulti il segnale del TAC sovrapposto al dithering con precisione.

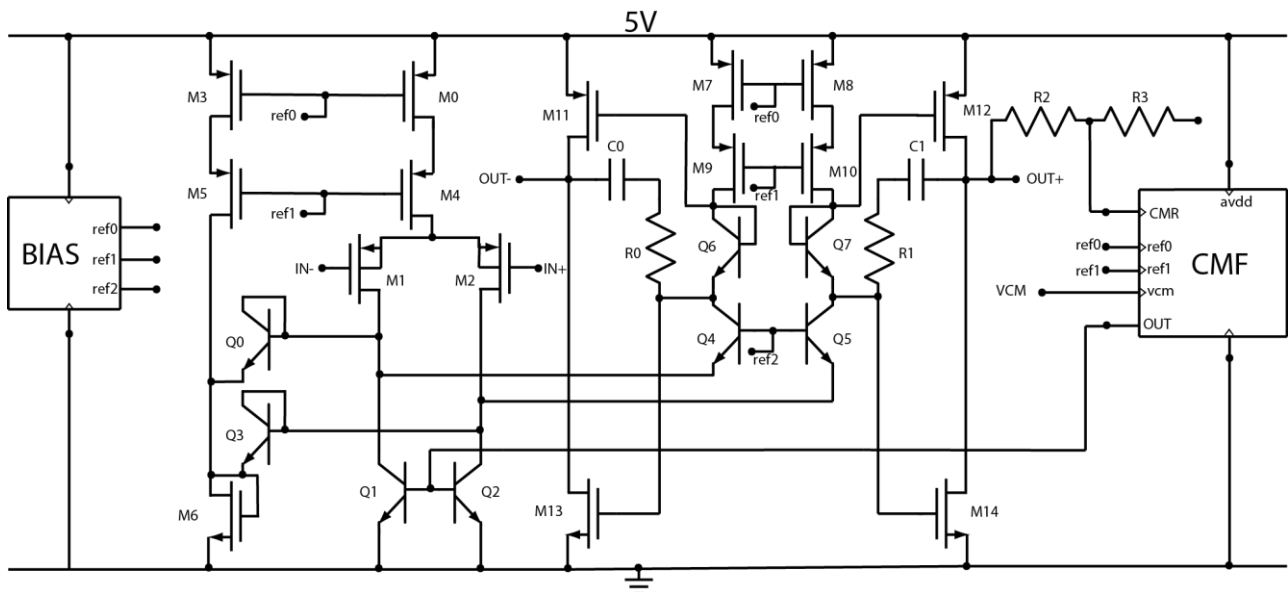


Figura 5.24 Circuito interno dell'operazionale completamente differenziale

La struttura utilizzata è perciò ancora quella di folded cascode a 2 stadi con ingresso a pMOS e l'uscita con il transdiodo. Le correnti dei due rami risultano ancora pari rispettivamente a 70 e 50 μA , mentre i dimensionamenti, a causa della natura differente dei transistori, differiscono dal caso precedente con i transistori d'ingresso pari a $70 \times 0,7 \mu\text{m}$, mentre i transistori d'uscita a causa dell'alta corrente da portare sono pari $30 \times 0,5$ (nMOS) μm e $90 \times 0,5$ (pMOS) μm . La compensazione

a polo dominante è collocata su entrambi i rami d'uscita con resistenze da 800 ohm e capacità da 250 fF.

La reazione di modo comune è costituita da una semplice stadio che riceve in ingresso il riferimento di modo comune a 1,9 V e il modo comune dell'uscita prelevato tramite partizione resistiva ai nodi d'uscita per intervenire quindi sui bipolari che fungono da generatori del primo stadio per chiudere l'anello.

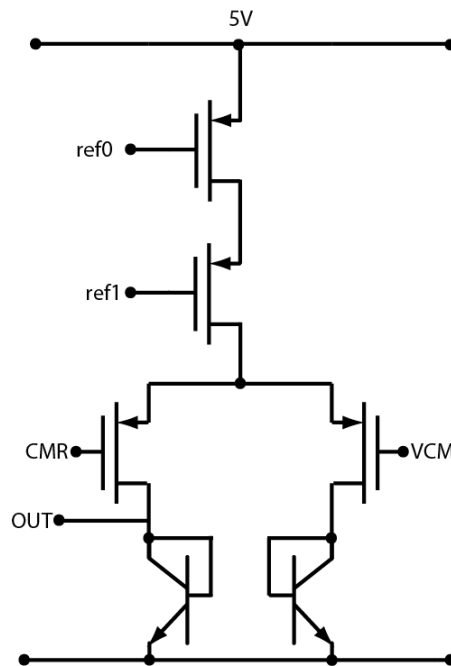


Figura 5.25 *Stadio addetto alla reazione di modo comune*

Il circuito è un semplice stadio differenziale con carico a bipolari, in modo da migliorare il matching con i bipolari dell'operazionale. In questo modo la reazione fa sì che il modo comune delle uscite si porti al valore del riferimento e la polarizzazione si stabilizzi. Il suo andamento in frequenza è visibile in figura 5.27 con banda oltre i 130 MHz e margine di fase di circa 90°

Il riferimento di modo comune è prodotto tramite un ulteriore circuito, esterno all'amplificatore vero e proprio, a bandgap del tutto simile a quello utilizzato nello stadio di polarizzazione. A loro volta vengono prodotte attraverso una rete a g_m costante le polarizzazioni richieste dai rami dell'operazionale vero e proprio (blocco BIAS in figura 5.24). Il numero di diverse strutture richieste fa dunque sì che il circuito in esame sia fra i più ingombranti all'interno del circuito integrato complessivo.[14]

Le prestazioni raggiungono quindi gli scopi prefissati. Il GBWP risulta pari a 285 MHz con un margine di fase di 92° come visibile in figura 5.26.

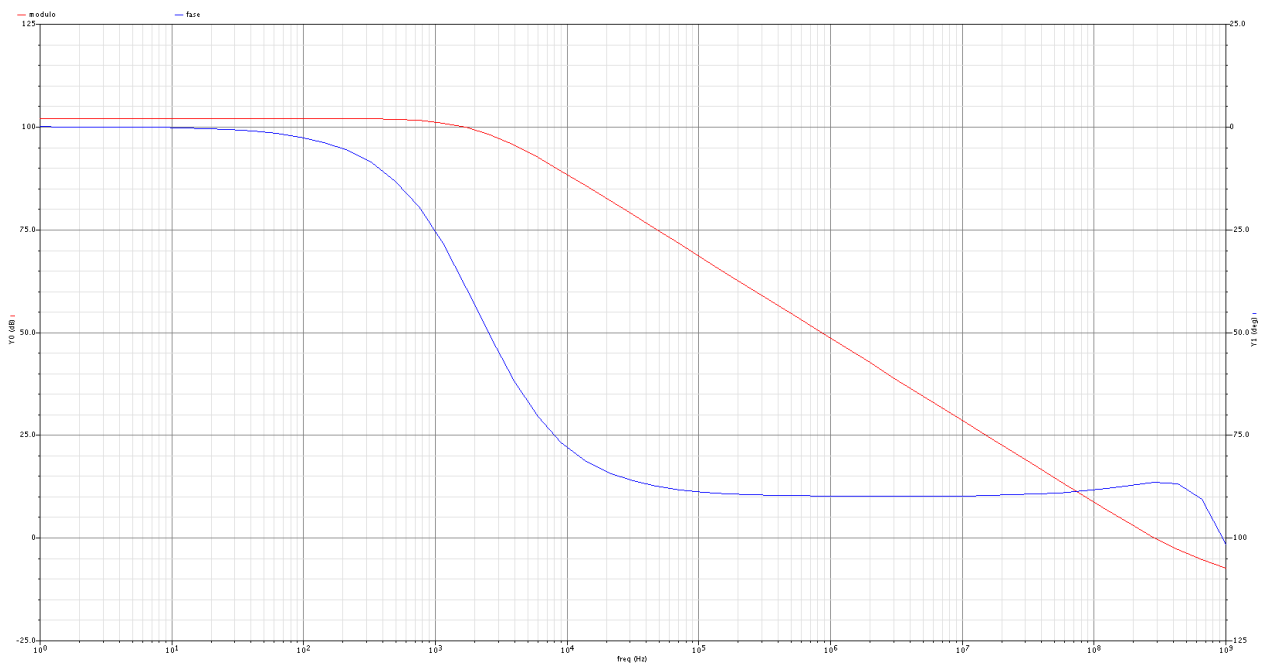


Figura 5.26 *Guadagno e fase dell'operazionale fully-differential a 5 V*

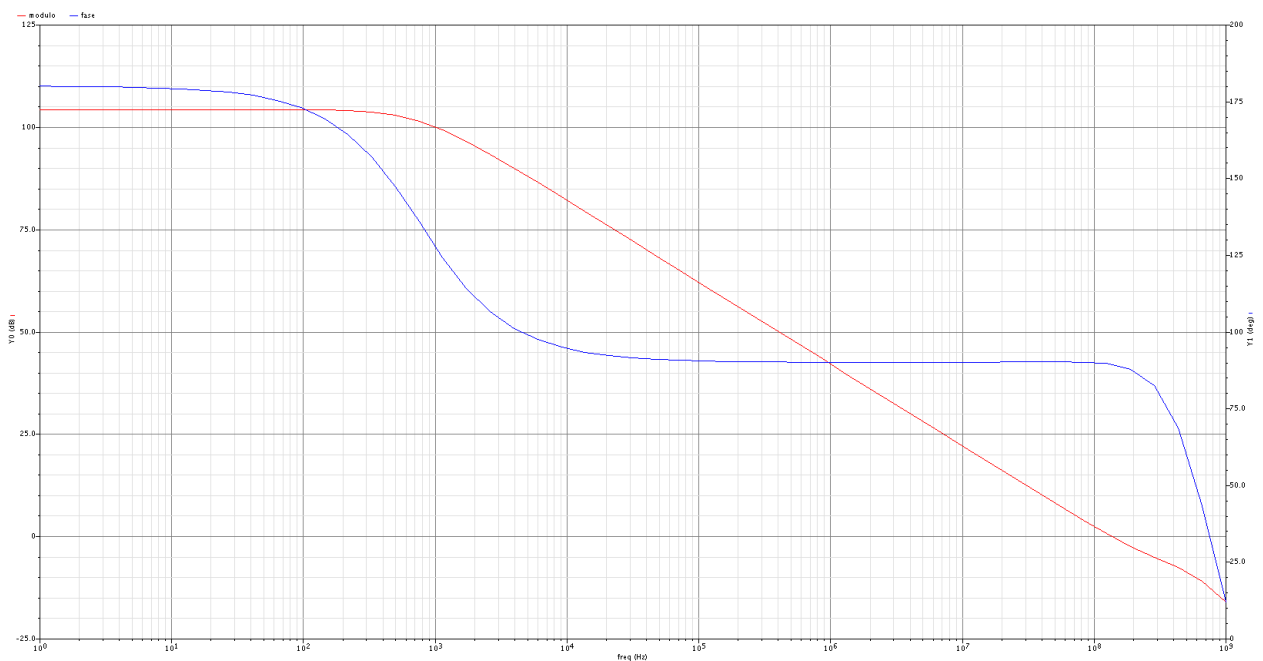


Figura 5.27 *Guadagno e fase della reazione di modo comune*

In figura 5.28, 5.29 e 5.30 vediamo come anche le variazioni dei parametri di processo modifichino banda e margine di fase in maniera marginale

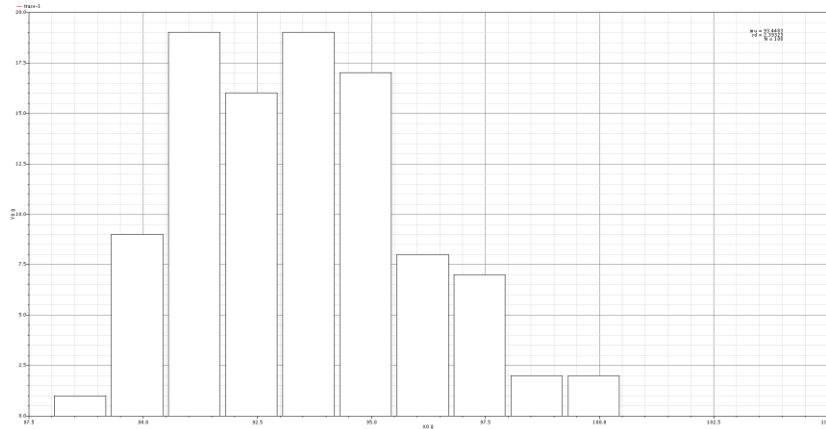


Figura 5.28 *Distribuzione del margine di fase con simulazione Montecarlo*

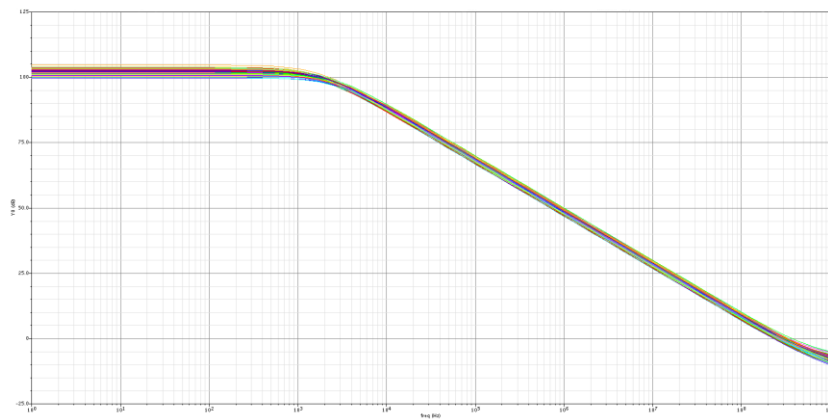


Figura 5.29 *Possibili andamenti del guadagno con simulazione Montecarlo*

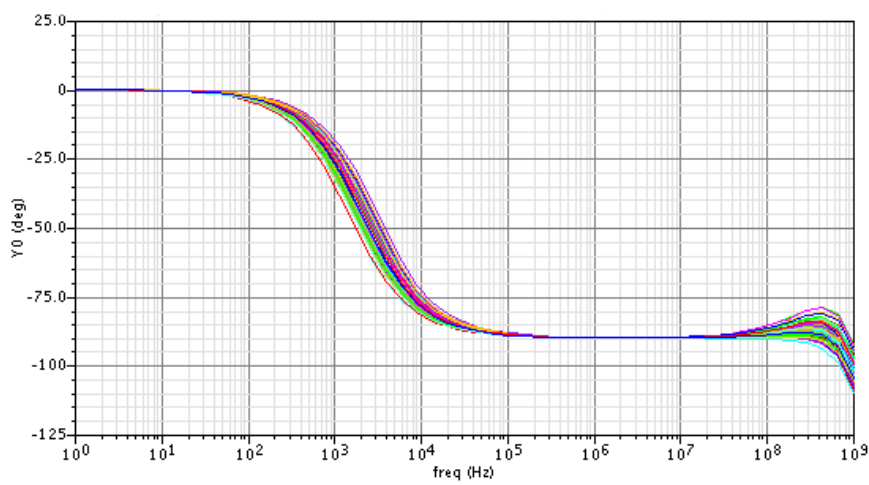


Figura 5.30 *Possibili andamenti della fase con simulazione Montecarlo*

5.3.4 Layout

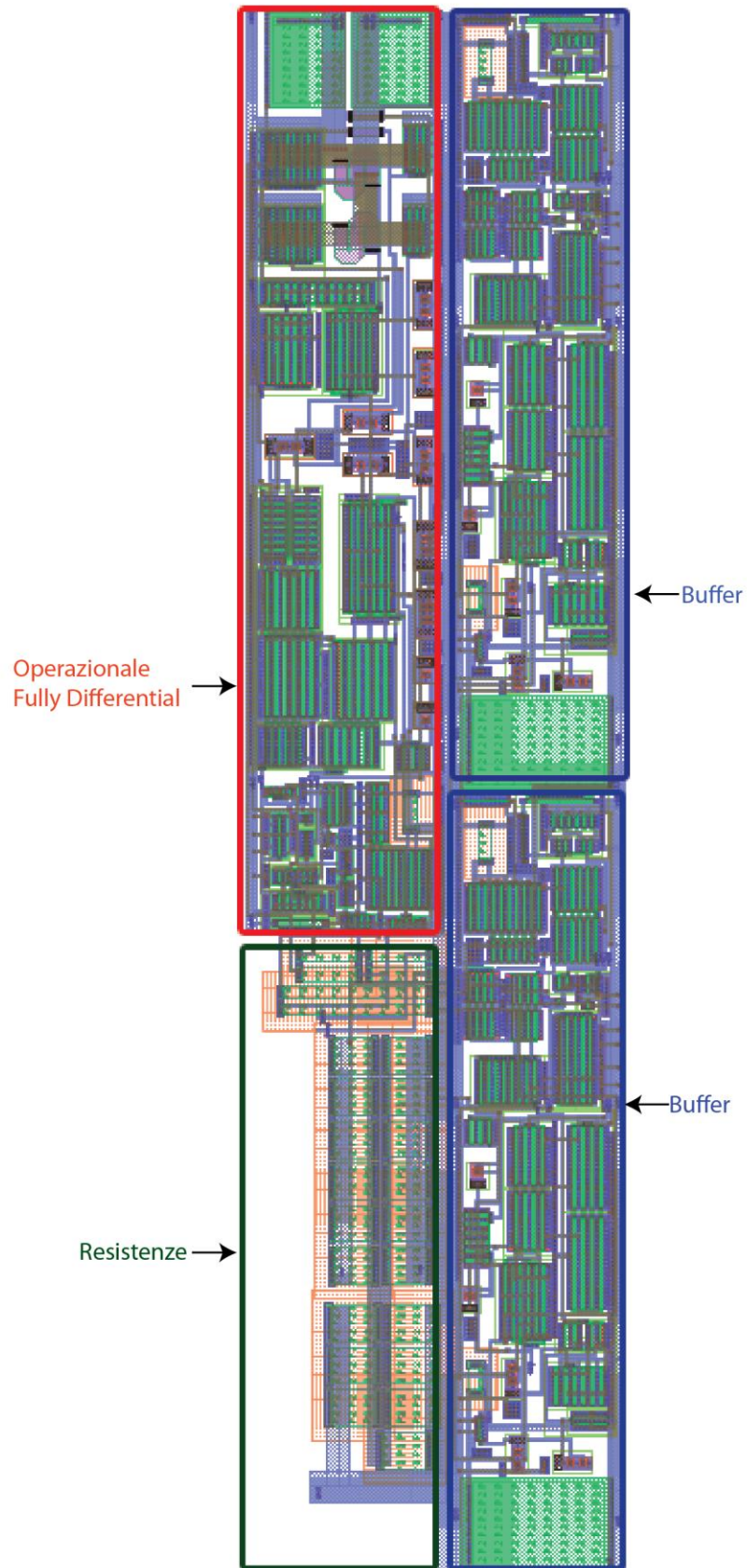


Figura 5.31 Layout dello stadio di uscita

Il layout dello stadio di uscita risulta come preannunciato piuttosto ingombrante. L'operazionale fully-differential ha la reazione di modo comune al suo interno in modo da poter disporre dei segnali di uscita direttamente sulla parte esterna del chip. All'interno dello stadio complessivo è stato disposto sul livello superiore in modo da poter sistemare le resistenze alla sua sinistra a ricevere le correnti dai generatori a cui sono dedicate le grandi metallizzazioni. Invece i buffer a 3,3V sono disposti sotto in modo da agganciarsi direttamente sulla linea di massa, pur restando vicine alle resistenze con cui interagiscono.

5.4 Contatore Digitale

Il contatore rappresenta la sezione digitale del progetto ed è pertanto costituito essenzialmente da porte logiche. Il suo compito è modificare la codifica ad ogni fronte di Strobe e riazzersarsi qualora sia presente un segnale di reset. Inoltre deve poter essere in grado di pilotare gli switch contenuti nei MSB e LSB array senza rallentare la frequenza operativa del dispositivo.

5.4.1 Architettura

I contatori digitali possono essere realizzati in numerosi e differenti modi, ad esempio possono essere sincroni o asincroni. Dovendo operare sul segnale di Strobe proveniente direttamente dal TAC, risulta estremamente comodo utilizzare un contatore asincrono seguito da un insieme di 12 latches che commutino sul fronte di discesa dello Strobe.

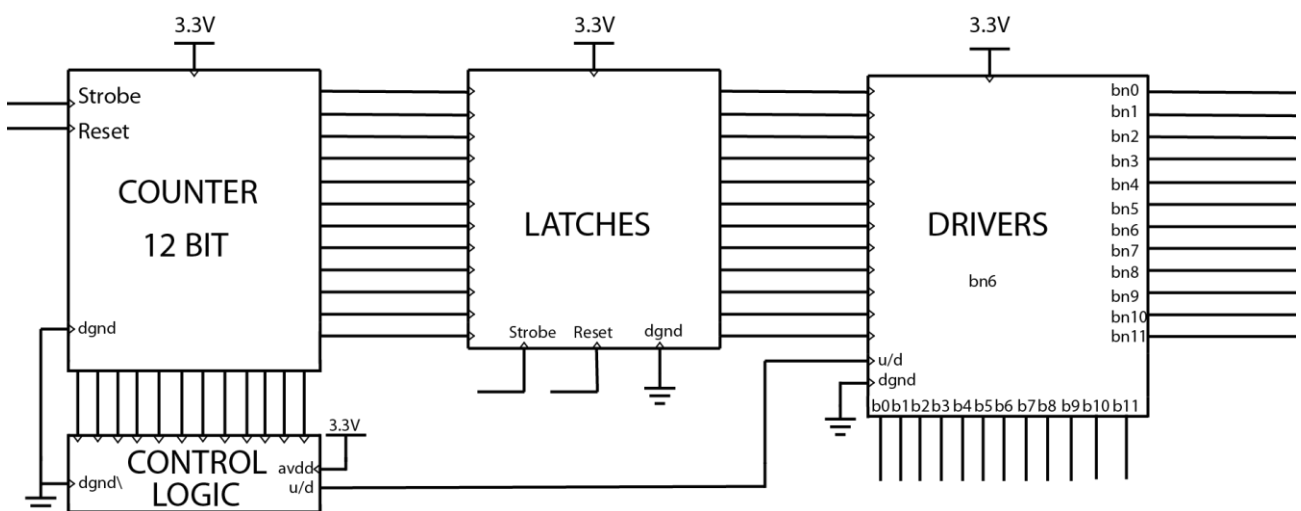


Figura 5.32 Schema a blocchi del contatore digitale

basso. Il contatore funziona con lo stesso principio visto in precedenza ma è composto da un unico flip-flop di tipo D.

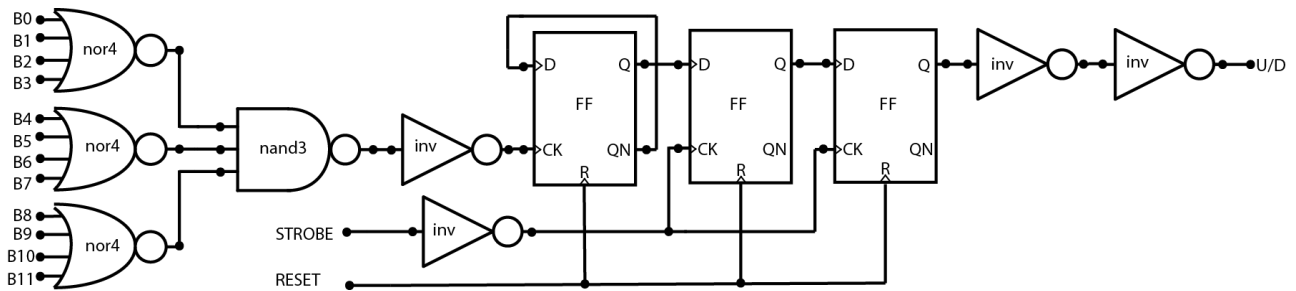


Figura 5.34 Logica di controllo del segnale triangolare

Il bit così uscito (U/D), il cui funzionamento vediamo nel prossimo paragrafo, è ritardato da un ulteriore flip-flop Delay sincronizzato sul fronte di discesa dello Strobe in modo da sincronizzarlo con le uscite dei latches e portarlo ai driver di uscita.

5.4.3 latches e drivers

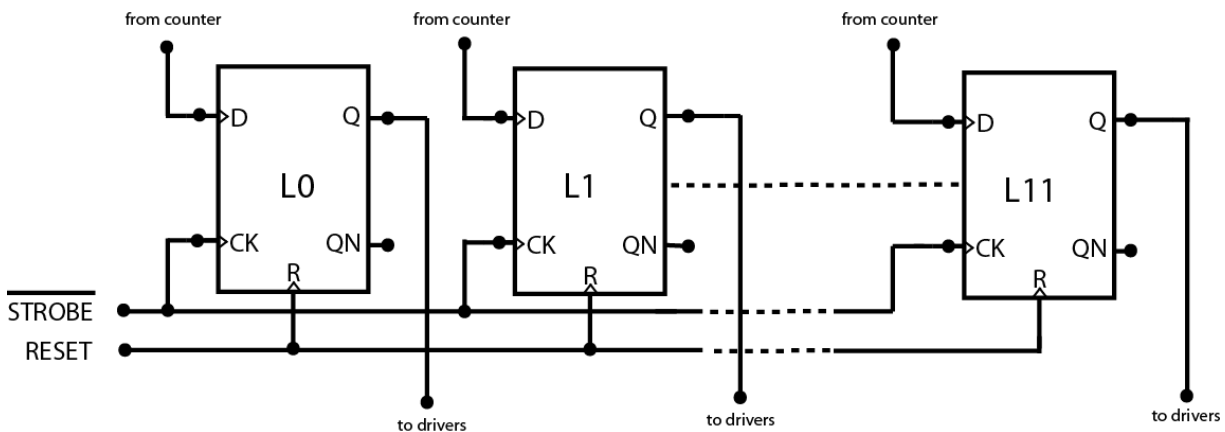


Figura 5.35 Schema dei latches del contatore

I latches impiegati per la sincronizzazione della codifica sono costituiti da semplici repliche dei 12 flip-flop del contatore da cui ricevono le uscite per campionarle sul fronte di discesa dello Strobe generato come alto da un invertitore. Le uscite dai latches sarebbero già pronte per essere portate ai generatori di corrente ma rimangono in realtà alcuni problemi come il bit di controllo U/D e il pilotaggio complementare di più switches che possono comportare grandi capacità come nel caso dell'MSB che ha il compito di pilotare 8 transistori (più 8 per il suo negato).

I bit di uscita vengono allora mandati a delle porte XOR il cui secondo ingresso è indirizzato dal bit U/D in modo che le porte logiche invertano le uscite in caso il suo livello logico sia alto. Dalle XOR il

segnale viene prelevato da 2 catene di invertitori una in numero pari e l'altra dispari per generare i bit complementari e pilotare le capacità più insidiose con la tecnica del "tromboncino". Sebbene non ce ne sia bisogno per gli LSB I catene vengono implementate allo stesso modo per tutti i bit in modo che l'arrivo dei segnali sia il più sincronizzato possibile

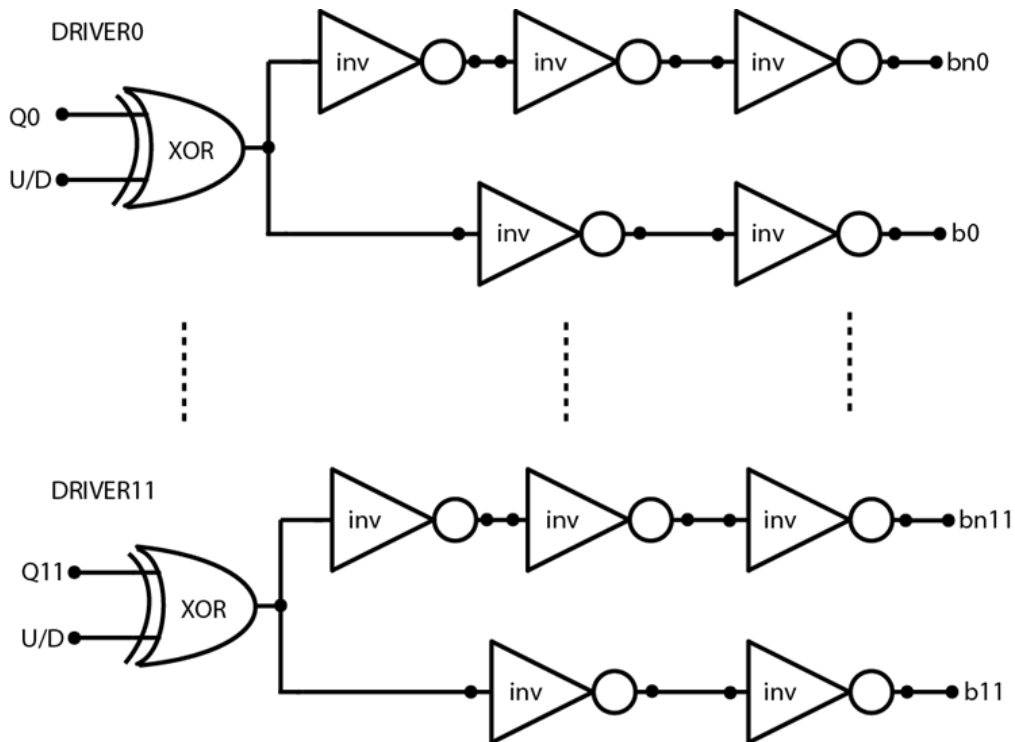


Figura 5.36 Driver che portano i bit di comando in uscita

5.4.4 layout

Il layout del contatore presenta numerose difficoltà a causa della grande quantità di componenti presenti ma soprattutto dell'alto numero di linee di connessione.

Il disegno si presenta infatti a più strati per lasciare dello spazio intermedio per le metallizzazioni. Il contatore asincrono si dispone in alto a sinistra in modulo 4x3 affiancato dai latches a destra perfettamente simmetrici. I drivers e la logica di controllo si collocano al di sotto in modo da essere più vicini agli array di generatori. Uno spazio in basso a sinistra è volutamente lasciato per permettere alle linee di connessione di portarsi agli LSB.

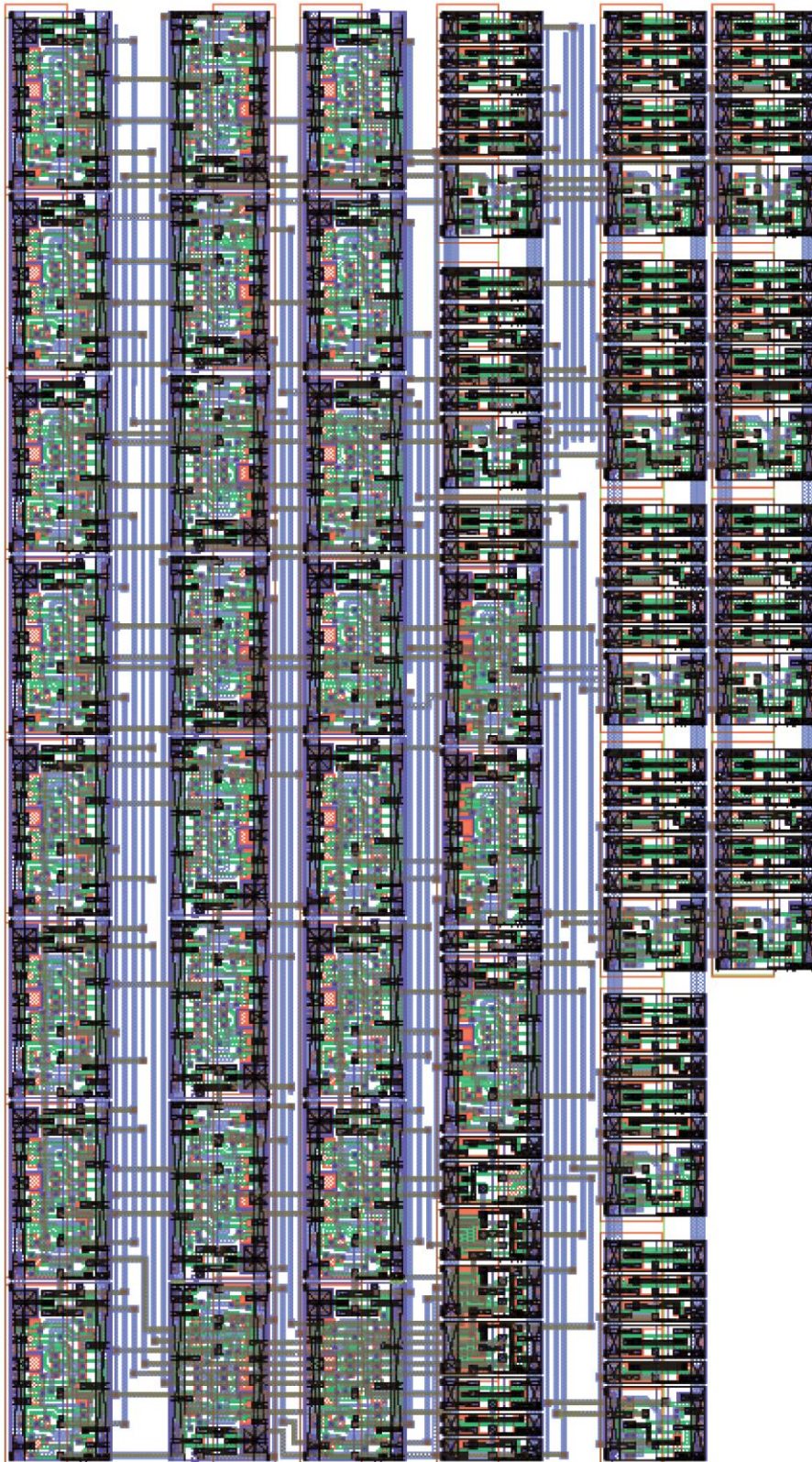


Figura 5.37 *Layout del contatore*

5.5 Layout finale

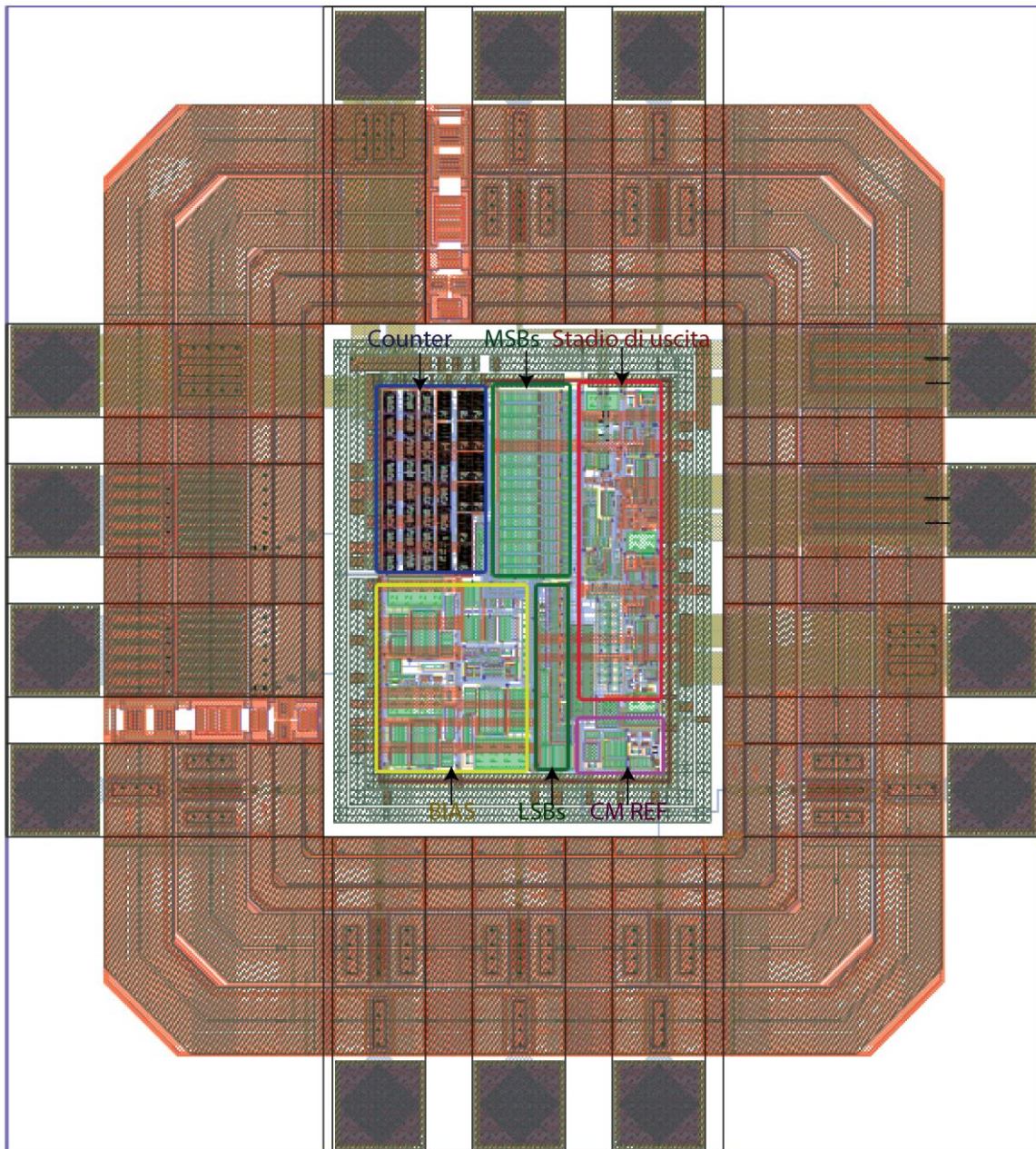


Figura 5.38 Layout del DAC

Il layout complessivo del dispositivo è rappresentato in figura 5.38, composto anche dai pad e dagli anelli di alimentazione che separano le alimentazioni digitali da quelle analogiche. All'interno in alto a sinistra è posizionato il contatore digitale, mentre al di sotto si colloca lo stadio di polarizzazione. Le linee uscenti da queste sezioni vengono convogliate verso gli array di generatori posizionati al centro. Le grandi metallizzazioni che portano le correnti sono condotte quindi alle resistenze di trasduzione, che risultano anch'esse in posizione centrale. Lo stadio di uscita quindi occupa gran parte della porzione a sinistra dell'area, il rimanente spazio è dedicato al riferimento di modo comune. Le uscite del convertitore sono quindi connesse ai due pad in alto a sinistra.

Capitolo 6 RISULTATI

Dopo aver osservato nel dettaglio la struttura e la fisica del dispositivo progettato procediamo ad esaminare le sue reali caratteristiche.

6.1 Caratteristiche

Il DAC progettato presenta un'area di $404 \mu\text{m}$ di altezza per $517 \mu\text{m}$ di larghezza senza pad ($1230 \times 1110 \mu\text{m}^2$ con l'aggiunta di questi), dunque paragonabile alla superficie occupata dal TAC.

La potenza dissipata dal dispositivo risulta invece di circa 42 mW , di questi tuttavia oltre 20 mW sono dissipati dallo stadio sommatore in coda allo stadio di uscita. In realtà lo stadio di uscita del TAC, che era a sua volta responsabile di gran parte della dissipazione del precedente convertitore, vede ora ridotta la potenza da erogare e dissiperà molto meno, pertanto possiamo considerare la sua potenza come già conteggiata a livello di sistema. Di conseguenza al netto di questo circuito possiamo asserire che il DAC abbia un consumo di potenza inferiore a 20 mW .

Vediamo ora di considerare altre caratteristiche statiche rilevanti:

6.1.1 rumore

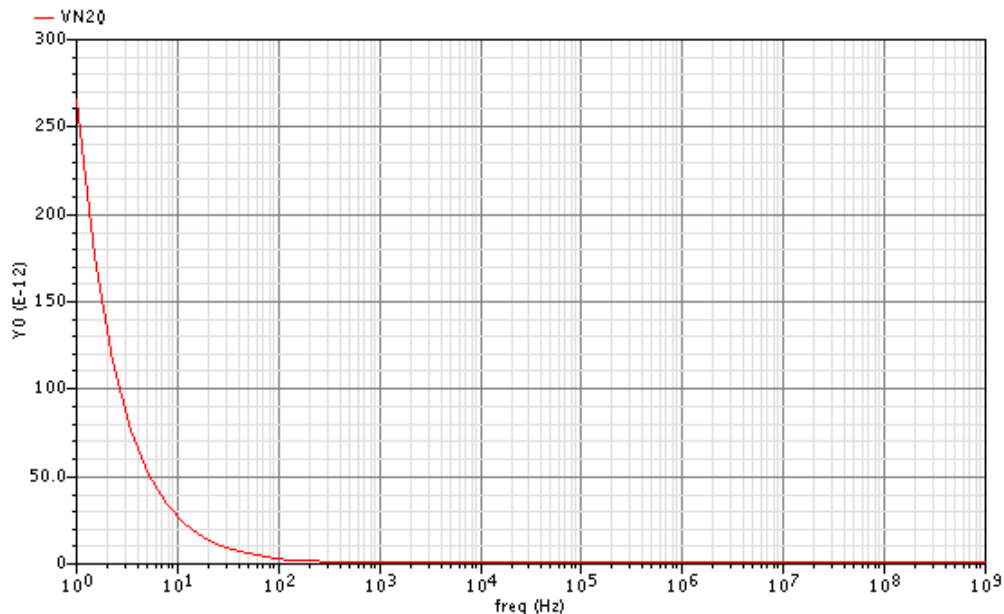


Figura 6.1 Spettro del rumore sull'uscita da 1 Hz a 1 GHz

Il rumore, come già anticipato, ha grande importanza poiché il segnale del DAC viene introdotto prima dell'acquisizione della misura analogica da parte dell'ADC. Di conseguenza un'eventuale eccessiva iniezione di rumore da parte del nuovo dispositivo potrebbe portare a problemi non trascurabili, in quanto comporterebbe un peggioramento della risoluzione della misura.

Nel nostro caso, integrando il rumore sull'uscita del convertitore da 1 Hz a 1 GHz, si ottiene un valore rms di 864 μV che, considerando la risoluzione FWHM data dal TAC di 45 ps su 50 ns per 4 V di fondo-scala, comporta una perdita di risoluzione pari a:

$$\frac{50\text{ns} * 864 \mu\text{V}_{rms}}{4 \text{ V}} = 10,8 \text{ ps}_{rms} = 25,38 \text{ ps}_{fwhm}$$

che non incide quindi sulla risoluzione del TAC.

6.1.2 Compensazione in temperatura

Un altro parametro importante del circuito è il suo comportamento al variare della temperatura poiché non si può permettere che l'uscita del DAC cambi in maniera imprevedibile a seconda delle condizioni della misura in corso.

La compensazione in temperatura deriva, come visto nel precedente capitolo, dallo stadio di polarizzazione che bilancia le resistenze all'ingresso dello stadio di uscita. Come si può osservare in figura 6.2 la compensazione rimane comunque conservata fino all'uscita vera e propria del DAC con il punto ZTC che rimane fisso ancora intorno ai 60°.

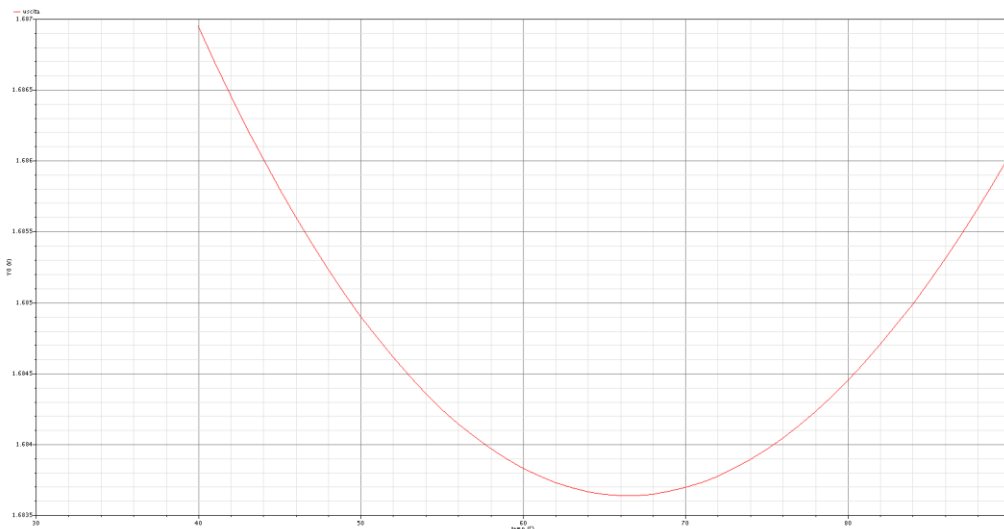


Figura 6.2 Andamento in temperatura dell'uscita differenziale del DAC a piena dinamica

Con i valori ottenuti possiamo calcolare la stabilità in parti per milione fra 44° e 90° pari a:

$$\frac{1.686 \text{ V} - 1.6837 \text{ V}}{1.685 \text{ V} * (90^{\circ}\text{C} - 44^{\circ}\text{C})} = 0.0000296 = 29,6 \frac{\text{ppm}}{^{\circ}\text{C}}$$

6.1.3 Disturbi sull'alimentazione

Anche i disturbi sulle linee di alimentazione e massa possono recare problemi all'uscita del convertitore, spostando i risultati in modo irrimediabile. Come osservato, nei disegni degli stadi del circuito ci si è sempre mantenuti indipendenti da questi disturbi, in particolar modo per lo stadio di polarizzazione e i generatori di corrente che al primo ordine non risentono in alcun modo delle variazioni dell'alimentazione. Tuttavia effetti del secondo ordine possono indebolire la reiezione così ottenuta. Di contro, la scelta di un'uscita di tipo differenziale risulta vantaggiosa da questo punto di vista in quanto soffre di meno i disturbi di modo comune.

In figura 6.3 si può osservare come l'uscita, dato 1 V di disturbo su entrambe le alimentazioni, subisca degli scostamenti molto contenuti, ad esempio di soli 4 mV a media frequenza, sino all'intervento dei picchi capacitivi.

Possiamo quindi calcolare la precisione in parti per milione:

$$\frac{4 \text{ mV}}{1,68\text{V}} = 0,002381 = 2381 \frac{\text{ppm}}{\text{V}}$$

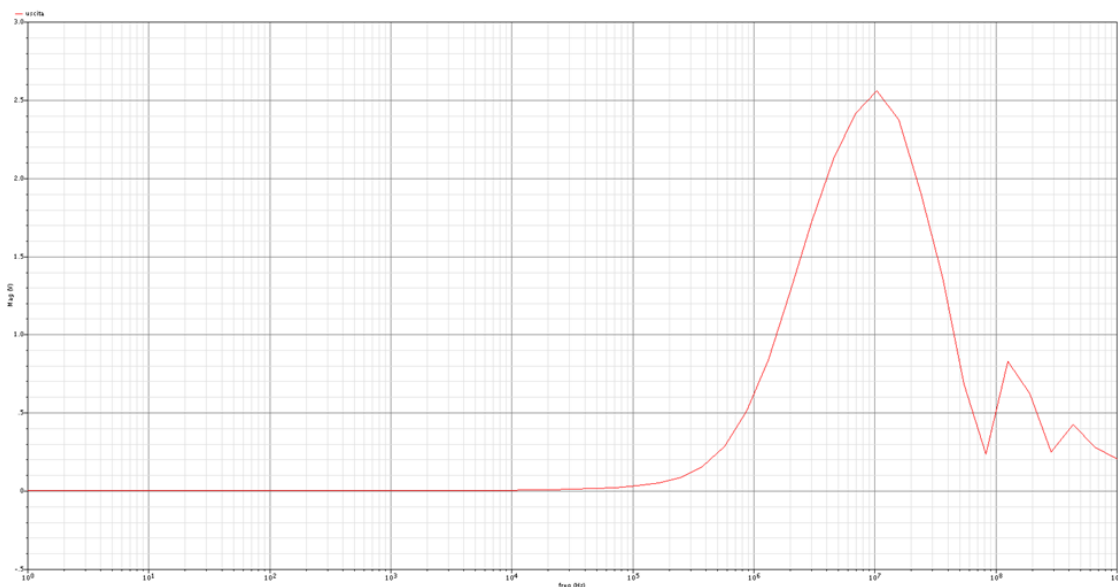


Figura 6.3 Scostamento dell'uscita dato un disturbo di 1V su ciascuna alimentazione

6.1.4 Variazioni del processo tecnologico

Anche il processo tecnologico può influire con le sue variazioni sulla misura. Ad esempio i cambiamenti possibili a livello del silicio possono indurre derive dell'offset e mismatch fra i generatori di corrente, oltre che variazioni della polarizzazione. Qualunque sia l'effetto più grave, il risultato a cui si è portati è l'aver delle variazioni imprevedibili dell'uscita del DAC, oltre che peggioramenti della linearità della sua caratteristica. Sebbene questi errori siano inevitabili, per quanto minimizzabili con scrupoloso layout e dimensionamenti, la loro natura è sistematica; pertanto grazie all'utilizzo dei pad addetti alla regolazione della polarizzazione è possibile apportare delle correzioni a posteriori per rientrare nei parametri necessari alla corretta esecuzione delle misure. Inoltre in caso di traslazione della caratteristica dovuta ai riferimenti della polarizzazione è possibile tenerne conto successivamente nella sottrazione di dithering digitale per eliminare l'errore sistematico.

Per rendere conto di quanto le uscite del convertitore possano variare a causa di questi errori abbiamo simulato col metodo Montecarlo la dispersione statistica dell'uscita calcolata su 100 possibili combinazioni ottenendo una varianza di 127 mV ovvero del 7,5% della dinamica massima dell'uscita differenziale pari a circa 1,6 V.

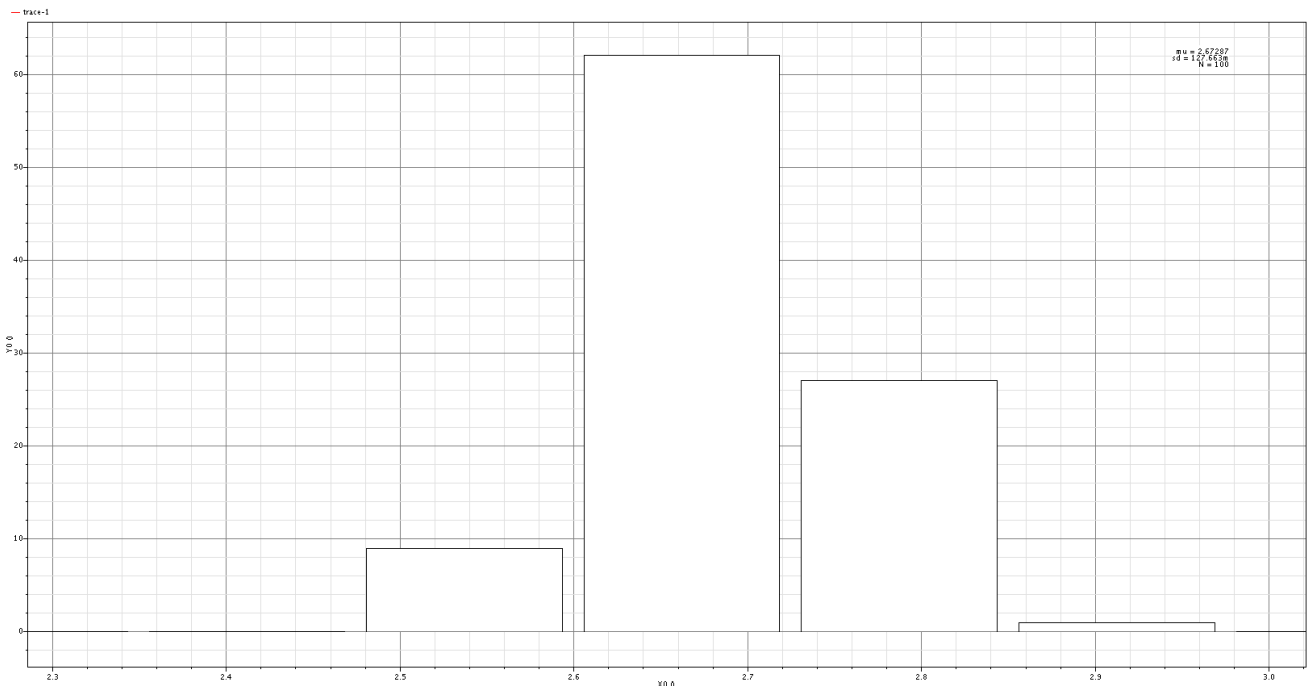


Figura 6.4 Simulazione Montecarlo dell'uscita in DC

6.2 Prestazioni

Passiamo quindi ad analizzare il comportamento del convertitore nel suo effettivo funzionamento, ovvero quando si esegue l'addizione di dithering sulla misura analogica del TAC.

Per realizzare le simulazioni necessarie ad analizzare gli andamenti di nostro interesse ci siamo serviti dello stadio di uscita del TAC già progettato e testato per fornire il segnale in ingresso al nostro dispositivo. Abbiamo impostato questo segnale in modo che commuti l'uscita da un estremo all'altro della dinamica al massimo rate per cui è previsto il suo funzionamento sincronizzando il segnale di Strobe generato idealmente e ovviamente resettando il convertitore all'inizio del transitorio. Come carico si sono utilizzate resistenze e capacità ideali di valore realistico, rivolte verso una tensione di modo comune di 1,9 V.

La disposizione circuitale è visibile in figura 6.5:

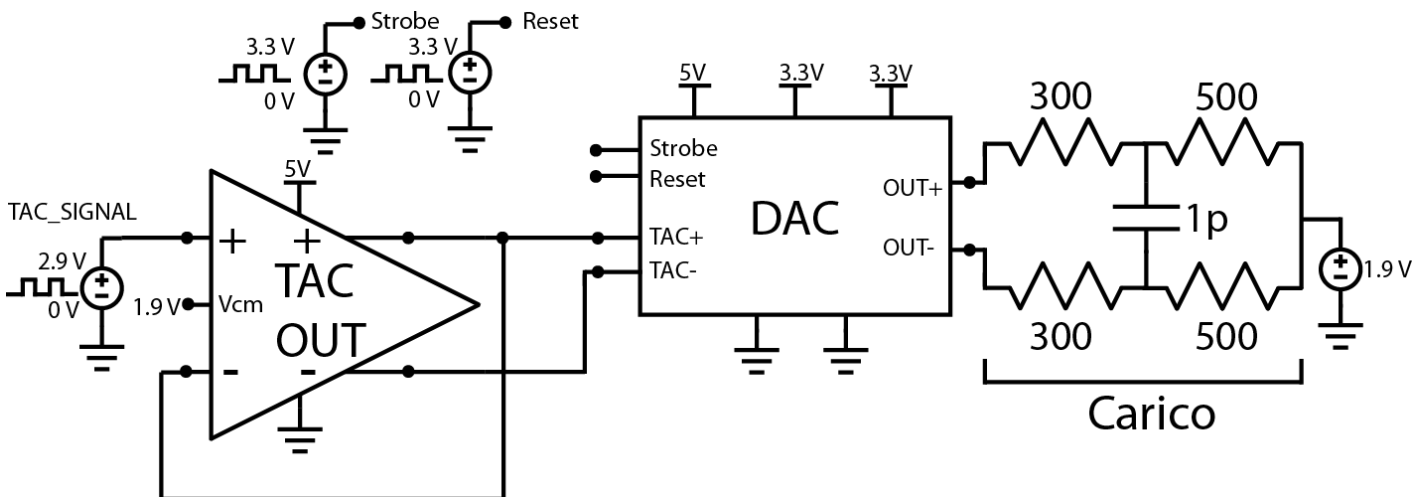
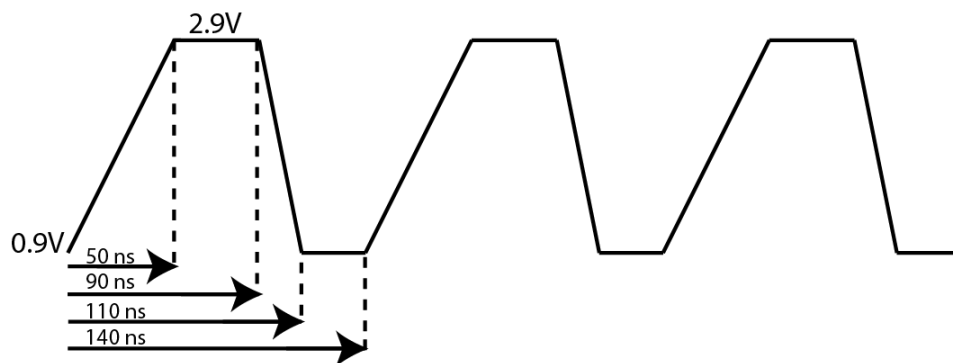


Figura 6.5 Setup della simulazione di transitorio per il DAC

6.2.1 velocità

Considerato un periodo di 140 ns per il segnale di TAC nella forma che meglio simula il suo comportamento reale e sincronizzando lo Strobe sullo stesso periodo (la forma dei segnali è visibile in figura 6.6) si ottiene l'uscita sommata al segnale del DAC, ovviamente formato da una rampa a scalini. Come si può osservare in figura 6.7 che mostra 4 transizioni dello strobe le uscite che sono complementari si stabilizzano ampiamente entro il periodo del segnale, permettendo così all'ADC che segue di poter leggere un valore stabile.

TAC :



STROBE:

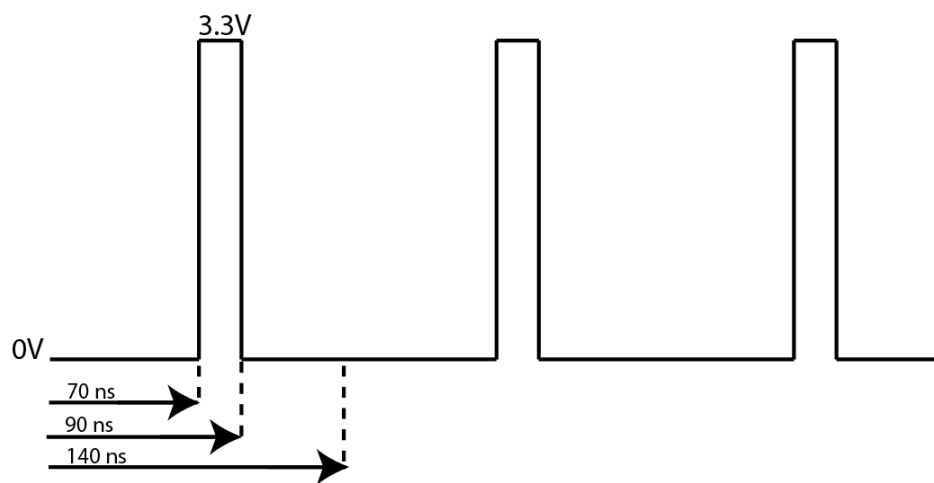


Figura 6.6 Forma dei segnali in ingresso al DAC

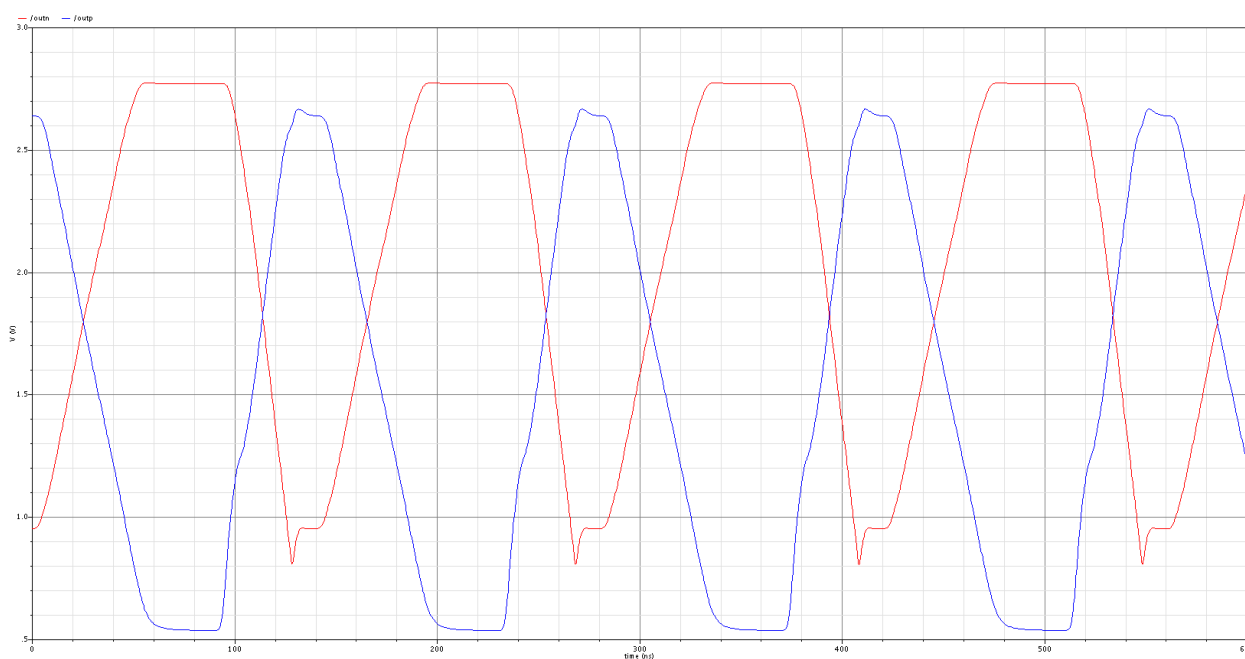


Figura 6.7 Transitorio dei morsetti dello stadio sommatore del DAC

Da figura 6.8 si possono vedere le tensioni dai buffer dello stadio di uscita, che rappresentano i valori veri e propri del DAC e che andranno a sommarsi all'uscita del TAC. Anche i cambi di codifica in cui le transizioni sono più brusche l'uscita si riporta ai valori corretti entro il tempo di settling di circa 40 ns pertanto possiamo confermare per il convertitore una frequenza operativa reale attorno ai 25 MHz.

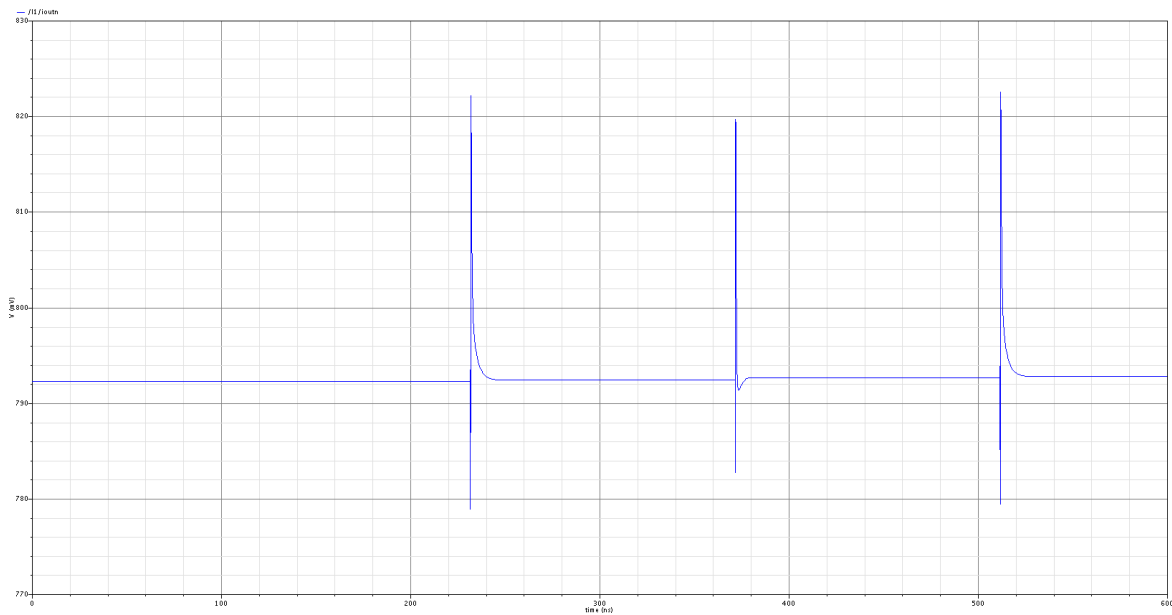


Figura 6.8 Prime transizioni di una delle uscite del DAC prima dello stadio sommatore

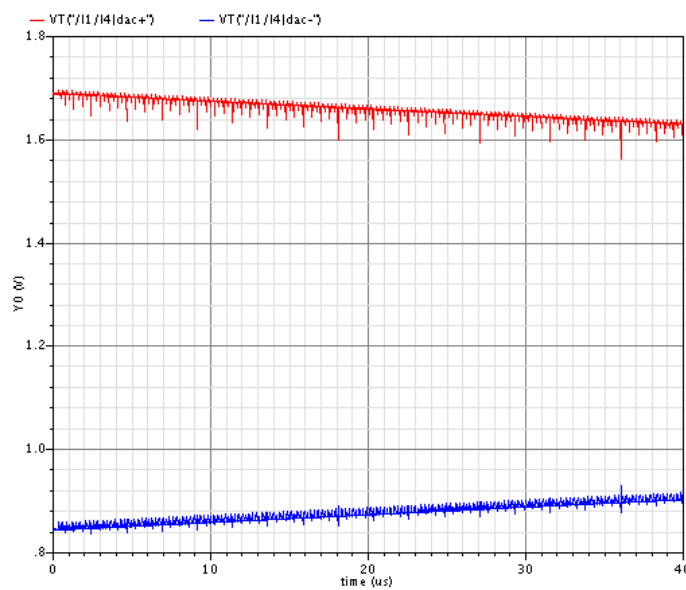


Figura 6.9 Uscite del DAC nei primi 40 us

Il DAC è quindi tranquillamente in grado di operare alle frequenze di conversione del TAC e pilotare l'ADC senza presentare alcuna difficoltà.

6.2.2 Linearità

L'altro aspetto dinamico di fondamentale importanza del convertitore è la linearità della sua caratteristica di uscita.

Campionando l'uscita differenziale una volta raggiunto il valore stabile della codifica, ad esempio alla fine del periodo del TAC, è possibile ottenere simulando per tutto il periodo della rampa del DAC è possibile ottenere tutti i 4095 valori rappresentanti i livelli del DAC e quindi ricostruirne la caratteristica a punti.

Da questi valori si possono poi estrarre i valori delle non-linearità differenziale e integrale.

Per calcolare la DNL è sufficiente mediare la derivata dell'uscita e calcolare quindi la differenza fra la media e la derivata vera e propria pesandola per la media stessa.

Con MATLAB detti "outp" e "outn" i vettori contenenti i valori delle tensioni campionate ai morsetti dell'uscita differenziale:

```
out=outp-outn;
```

```
d=diff(out);
```

```
dm=mean(d);
```

```
DNL=(d-dm)/dm;
```

Per ottenere la INL basta fare la sommatoria degli elementi della DNL. Ovvero:

```
in=ones(length(DNL),1);
```

```
for i=1:1:length(DNL)
```

```
in(i)=trapz(DNL(1:i));
```

Disegnando i valori così ottenuti su dei grafici (visibili in figura 6.10 e 6.11) si mostra come la DNL del DAC rimanga contenuta entro i valori di 0,4 LSB in corrispondenza delle transizioni più brusche (corrispondenti all'attivarsi degli MSB) e anche la INL viene mantenuta entro i valori del 60% di

LSB. Possiamo affermare che la caratteristica del DAC è sufficientemente lineare per le nostre applicazioni.

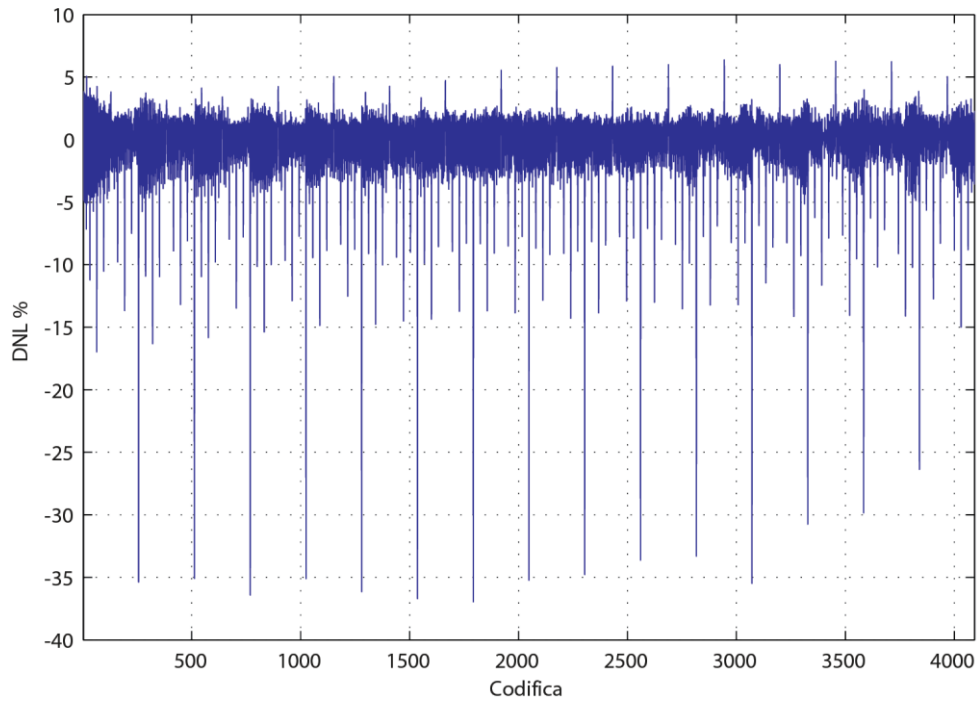


Figura 6.10 *DNL calcolata con MATLAB*

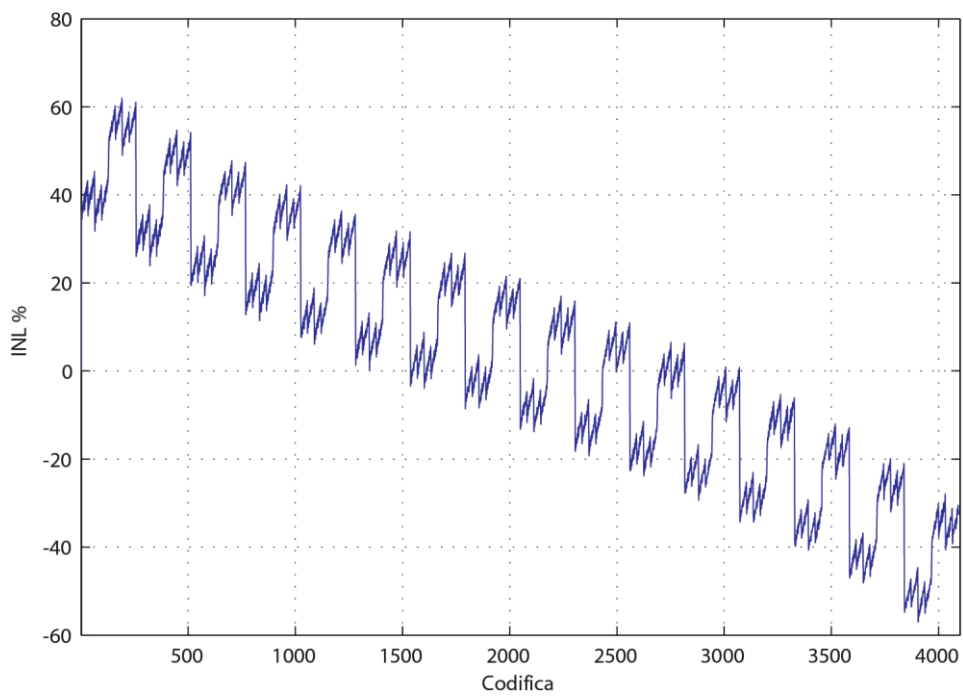


Figura 6.11 *INL calcolata con MATLAB*

Conclusioni

In questo lavoro di tesi è stato realizzato un convertitore digitale-analogico (DAC) completamente integrato a 12 bit in tecnologia Si-Ge, a lunghezza di canale minima $0.35\ \mu\text{m}$, con lo scopo di essere inserito in una matrice di fotorivelatori per applicazioni Time-Correlated Single Photon Counting al fine, attraverso un processo di dithering, di migliorarne le prestazioni di non-linearità differenziale nell'acquisizione dei canali. Questa è una strada di sviluppo non ancora percorsa nel campo delle misure TCSPC a conversione tempo-analogica, ma si ritiene che possa rivelarsi molto promettente nel campo delle moderne applicazioni a cui questa tecnologia si rivolge.

Il convertitore presenta pertanto caratteristiche completamente dedicate alla compatibilità col sistema TCSPC con cui prevede d'interfacciarsi, a partire dall'integrazione di una logica digitale che sia in grado di generare una codifica d'ingresso prefissata del segnale che si intende utilizzare per l'elaborazione analogica in modo da snellire l'interazione con l'elettronica esterna. Inoltre necessita di un'occupazione di area particolarmente contenuta (circa $0,25\ \text{mm}^2$ senza i pad esterni) affinché la sua presenza non riduca eccessivamente il fill factor della matrice.

Il DAC sviluppato è in grado di operare a una frequenza di 25 MHz a fronte di una velocità massima di conversione prevista del segnale analogico da elaborare di 16 MHz, pertanto soddisfacente sebbene la tecnologia permetta il raggiungimento di velocità superiori. Il limite principale infatti deriva dai ritardi di commutazione delle porte logiche che generano la codifica in ingresso poiché, a causa della risoluzione di 12 bit, risultano tutt'altro che trascurabili.

La non-linearità differenziale del circuito, necessaria per poter effettuare il processo di dithering correttamente, è contenuta entro il 40% di LSB, ottimo valore a fronte della velocità e delle ridotte dimensioni del convertitore. In questo caso il limite è rappresentato dalle difficoltà di matching dei componenti interni del generatore costituito in gran parte da una moltitudine di generatori di corrente in correlazione tra di loro.

Si è inoltre prestata particolare attenzione al rumore introdotto e alla reiezione ai disturbi, in modo che questi non rappresentino un limite per i miglioramenti nella risoluzione della misura temporale che si intendono raggiungere col successivo sviluppo del sistema.

Il convertitore è attualmente in fase di produzione e verrà dapprima inserito nel sistema come componente discreto in fase di testing. Si prevede in seguito di cominciare il suo utilizzo in un sistema integrato comprensivo di fotorivelatori e convertitori tempo-ampiezza dapprima semplice e poi via via sempre a più alta densità.

Bibliografia

- [1] W. Becker; *“Advanced Time-Correlated Single Photon Counting Techniques”*; Springer, 2005
- [2] D. Resnati; *“Microelectronics and Instrumentation with picosecond resolution for Single Photon Detectors”*, Tesi di dottorato presso il Politecnico di Milano
- [3] M. Crotti, I. Rech, M. Ghioni; *“Fully integrated time-to-amplitude converter in Si-Ge technology”* Review of scientific instruments 81, 1, Jul.2010
- [4] M. Crotti *“Sviluppo di un TAC integrato in tecnologia Si-Ge per misure di applicazioni TCSPC”* Tesi di laurea magistrale presso il Politecnico di Milano
- [5] D. Leoni; *“Progetto e realizzazione di un sistema di conversione A/D a bassissima DNL per applicazioni TCSPC”* Tesi di laurea magistrale presso il Politecnico di Milano
- [6] M. Fawzy Wagdy; *“Effect of various forms on quantization errors of ideal A/D converters”*; IEEE Transactions on Instrumentation and Measurement vol.38, no.4, Aug. 1989
- [7] I. De lotto, G. Paglia; *“Dithering improves A/D Converter Linearity”*; IEEE Transactions on instrumentation and measurement. Vol.IM-35, no.2, June 1986
- [8] S. Antonioli, A. Cuccato; *“Progetto e realizzazione di un sistema di acquisizione compatto per misure TCSPC”* tesi di laurea magistrale presso il politecnico di Milano
- [9] D. Johns, K. Martin; *“Analog Integrated Circuit Design”*; John Wiley & Sons, 1996
- [10] I.Banamrane, Y.Savaria; *“Desing Techniques for high speed current steering DACs”* Circuits and systems, 2007 NEWCAS 2007. IEEE Northeast Workshop on, vol., no., pp.1485-1488, aug.2007
- [11] B. Razavi; *“Design of Analog CMOS Integrated Circuits”*; McGraw Hill, 2001
- [12] N. Bhattar, A. Gupta; *“On-chip resistors can make a stable Current Reference”*; IEEE Potentials, Jan.-Feb. 2008, pp. 31-36
- [13] F. Luo, Y. Yin, S. Liang, M. Lao; *“Current switch driver and current source designs for high-speed current-steering DAC”* IEEE Anti-counterfeiting, security and identification, 2008 ASID 2008 2nd international Conference on, vol., no., pp.364-367, Aug.2008
- [14] P. Gray, P. Hurst, S. Lewis, R. Meyer; *“Analysis and Design of Analog Integrated Circuits” IV Edition*; John Wiley & Sons, 2001