Politecnico di Milano

Facoltà di Ingegneria dell'Informazione
Corso di Laurea Specialistica in Ingegneria Elettronica

Progetto di un 10-bit DAC a 2.5 GS/s con circuito DDS per il test della linearità in CMOS 32nm

Relatore: Prof. Salvatore Levantino

Tesi di Laurea di:

Edoardo MARINO

Matricola 740341

Anno Accademico 2010-2011

Indice

Introduzione **iv**

1 Applicazione e stato dell'arte **1**

1.1 Conversione digitale-analogica ad alto bit rate: ambito di applicazione 1

1.2 L'architettura di riferimento per wireless HDMI: il Current Steering DAC 4

1.3 Stato dell'arte 7

2 Metodologia progettuale basata sulla riduzione degli errori statici **10**

2.0.1 Segmentazione 10

2.0.2 Schema a blocchi 13

2.1 Linee guida del progetto: analisi degli errori 14

2.1.1 Dimensionamento della cella di corrente 14

3 Progetto del DAC secondo l'approccio digital assisted **32**

3.1 L'approccio digital assisted 32

3.1.1 Dimensionamento della cella di corrente 35

3.1.2 Segmentazione: numero di bit da assegnare alla sezione MSB e alla sezione LSB 39

3.1.3 Scelta della corrente di polarizzazione 40

3.2 Dimensionamento del driver e del circuito di sincronizzazione: analisi degli errori dinamici 42

3.2.1 Dimensionamento dell'invertitore che pilota la cella di corrente 45

3.2.2 Dimensionamento del latch 51

3.2.3 Dimensionamento del driver: tromboncino 55

3.3 Simulazione circuitale del DAC: linearità statica e dinamica 57

4 Testing del DAC **62**

4.1 Introduzione alla Direct Digital Synthesis 62

4.2 Architettura di base: funzionamento e parametri caratteristici 63

4.3 Studio dello spettro del segnale di uscita 65
4.3.1 Quantizzazione di ampiezza 68
4.3.2 Metodo per la valutazione dello spettro del segnale di uscita dovuto alle quantizzazioni di ampiezza e di fase 72
4.3.3 Troncamento di fase 75
4.4 Modello Simulink del DDS 82
4.4.1 Sfruttamento della simmetria della funzione seno 82
4.4.2 Modello finale: test multitono e rampa 85
4.4.3 Scelta dei parametri del DDS: simulazioni dello spettro di uscita 87
4.5 VHDL del sistema completo 88
4.5.1 Spettri del segnale di uscita del sistema sintetizzato 91
4.6 Risultati 93

A Appendice **95**
A.1 Caratterizzazione delle prestazioni dei DAC 95
A.1.1 Specifiche generali 95
A.1.2 Specifiche statiche 96
A.1.3 Specifiche dinamiche 97

Conclusioni **101**

Bibliografia **104**

Ringraziamenti **106**

Introduzione

Le condizioni socio-economiche maturate negli ultimi anni hanno reso necessaria l'introduzione di sistemi di elaborazione e trasmissione dell'informazione capaci di garantire facilità e velocità di comunicazione, a costi contenuti. Tali esigenze si sono tradotte in un continuo sviluppo del mondo dell'elettronica, basato sulla continua riduzione delle dimensioni dei dispositivi e sulla progressiva diffusione dell'utilizzo di sistemi digitali, a scapito di quelli analogici, legata alla loro maggiore flessibilità e robustezza.
In quest'ottica i convertitori digitale-analogico (*DAC*) e analogico-digitale (*ADC*) sono diventanti componenti essenziali in tutti i circuiti integrati *mixed-signal*, dove è richiesta un'elaborazione digitale dei segnali. D'altro canto l'avanzare della tecnologia a semiconduttore ha permesso la realizzazione di blocchi caratterizzati da alte prestazioni, con la conseguente necessità di avere a disposizione circuiti di interfacciamento con prestazioni altrettanto elevate. Questa continua spinta ha trovato sbocco nell'implementazione di DAC ad alta velocità ed elevata risoluzione, che sono impiegati in diverse aree, come ad esempio l'HDTV.
In tali applicazioni il Current Steering Digital to Analog Converter (*CS DAC*) rappresenta l'architettura di riferimento, essendo in grado di raggiungere alta velocità di operazione, nel range del GHz, ed elevata risoluzione (10-16 bit). Numerosi sforzi, sia dal punto di vista topologico che dal punto di vista circuitale, sono stati compiuti al fine di aumentare la massima frequenza di lavoro (*sample rate*) di questi blocchi, che, a tal proposito, incontrano forti limitazioni nelle non linearità dinamiche che ne caratterizzano il comportamento ad alta frequenza. Per cui la sfida principale è quella di riuscire ad ottenere uno (*Spurious Free Dynamic Range*) (SFDR), che rappresenta il parametro che caratterizza un DAC dal punto di vista delle non linearità dinamiche, elevato nell'intera banda di Nyquist.
Per riuscire a quantificare in modo corretto le prestazioni in termini di tale specifica, è estremamente importante curare con attenzione la fase di testing del dispositivo. Una delle possibili soluzioni è quella di adoperare la *Direct Digital Synthesis* (DDS), la quale rende possibile la sintesi di una qualsiasi frequenza all'interno di un range

predefinito, a partire da una sorgente di clock a frequenza fissa. L'ingombro minimo, le alte prestazioni, i costi competitivi e la possibilità di integrare l'intero sistema DDS-DAC su un unico chip rendono tale architettura la scelta più conveniente dal punto di vista realizzativo.
In questo contesto si colloca il presente lavoro di tesi, il cui obiettivo è la progettazione di un CS DAC, caratterizzato da un sample rate di 2,5 GS/s e da un numero di bit pari a 10, in tecnologia CMOS 32 nm, per applicazioni wireless HDMI, e del circuito di testing, basato sulla Direct Digital Synthesis.
Per riuscire ad ottenere un SFDR di -50 dBc, su tutta la banda di Nyquist, viene adottata una metodologia progettuale che si fonda su un approccio totalmente innovativo, detto *digital assisted*. Di fatto viene realizzato un sistema complesso costituito dal CS DAC, e da un altro convertitore, resistivo, inseriti in un anello digitale di correzione, che confronta le uscite dei due convertitori e reagisce in modo da minimizzarne le differenze, tramite un filtro adattativo. Quindi, poichè il DAC resistivo, lavorando a bassa frequenza, è estremamente accurato, si riesce a ridurre l'influenza degli errori statici, sull'uscita del CS DAC. Pertanto, nel progetto del CS DAC, si focalizza l'attenzione soltanto sulle prestazioni dinamiche, mettendo da parte l'approccio classico al dimensionamento. Quest'ultimo, ampiamente trattato in letteratura, è basato sulla minimizzazione dei mismatch statici, e non permette il raggiungimento dell'SFDR indicato in precedenza. Ciò si verifica principalmente a causa della distorsione dovuta al valore finito dell'impendenza di uscita del convertitore, il cui effetto è facilmente gestibile a basse frequenze di lavoro, ma risulta estremamente difficile da limitare già a media frequenza. Pertanto, dopo aver evidenziato i parametri da cui dipende tale non linearità, si procede ad un dimensionamento che ne contenga l'impatto sulle prestazioni.
Grazie al ricorso alla tecnologia scalata (32nm), il circuito di testing DDS può essere realizzato in modo da permettere anche un test multitono. Infatti, le dimensioni estremamente ridotte si traducono in una bassa potenza dissipata, consentendo al progettista di pensare ad una soluzione circuitale più flessibile. Quindi si implementano due *DDS*, in modo da poter effettuare una scelta del tipo di test da fare: due toni, un tono o una rampa. Quest'ultima viene utilizzata per ottenere la caratteristica statica del DAC. L'analisi approfondita su fenomeni quali la quantizzazione di ampiezza e la quantizzazione di fase consente di giungere ad un metodo innovativo per la valutazione delle non linearità che ne derivano. Si riesce, infatti, a dimostrare, ricorrendo al teorema di Taylor, che l'effetto della quantizzazione di fase sull'SFDR può essere trascurato, non appena il numero di bit con cui viene descritta la fase supera quello associato alla quantizzazione di ampiezza. Ciò determina la scelta dei

parametri del sistema.
Il presente lavoro di tesi è organizzato come segue.
Nel **capitolo 1** si descrive l'ambito di applicazione a cui è destinato il convertitore digitale-analogico progettato, e i vincoli, che ne derivano, sulle caratteristiche di quest'ultimo. Successivamente vengono analizzate le architetture in grado di lavorare a frequenze elevate, ossia quelle parallele, e le motivazioni che hanno condotto alla scelta del current steering. Infine si fa una panoramica dello stato dell'arte, mettendo in risalto le soluzioni più interessanti, presenti in letteratura, e anticipando le linee guida fondamentali del progetto.
Nel **capitolo 2** si passa al progetto vero e proprio, evidenziando prima il tipo di architettura scelta, ossia quella segmentata, e poi illustrando il dimensionamento di uno dei vari blocchi che compongono il DAC, ossia la cella di corrente. Inoltre si descrive, con più accuratezza, la struttura, mettendo in rilievo le problematiche da affrontare e, partendo da un approccio classico, ossia quello basato sulla minimizzazione dei mismatch statici, si giunge ad un primo dimensionamento della cella di corrente. Da questa prima analisi scaturisce la necessità di cambiare approccio, al fine di garantire le prestazioni richieste ad alta frequenza.
Il **capitolo 3** descrive il modo in cui si superano i problemi che avevano caratterizzato il primo dimensionamento della cella di corrente. Pertanto si introducono gli aspetti fondamentali dell'approccio *digital assisted*, e i miglioramenti che esso è in grado di apportare. Dalla nuova metodologia adottata deriva una nuova impostazione, descritta ampiamente nel prosieguo del capitolo, in cui si dà importanza prettamente ai problemi dinamici, tralasciando quelli statici. Successivamente vengono esposti i dimensionamenti degli altri blocchi del DAC, ossia il driver, il circuito di sincronismo e quello di polarizzazione. Infine vengono presentati i risultati raggiunti, tramite una tabella riassuntiva, contenente tutte le specifiche di rilievo.
Nel **capitolo 4** vengono presentati gli aspetti rilevanti inerenti alla Direct Digital Synthesis. Dopo una breve introduzione sulle potenzialità della sintesi digitale diretta e dell'ambito in cui si va ad inserire, ne vengono descritte le caratteristiche salienti e i parametri, sotto il controllo del progettista, che ne determinano le prestazioni. Poi, al fine di stimare la linearità del sintetizzatore nell'intera banda di funzionamento, si illustrano gli effetti della quantizzazione di ampiezza, di quella di fase e del troncamento di fase, sullo *Spurious Free Dynamic Range*. Di tutto ciò si tiene conto nella fase successiva, dove si descrivono i passi fondamentali dell'implementazione, a partire dal modello Simulink, fino alla sintesi del VHDL. Infine si riportano i risultati simulativi.

Capitolo 1

Applicazione e stato dell'arte

In questo capitolo viene inquadrato il contesto in cui si va ad inserire il presente lavoro di tesi, che ha come oggetto un convertitore digitale analogico. Inizialmente viene fatta una panoramica sull'ambito di applicazione, ossia wireless HDMI, con le relative specifiche da soddisfare, in particolare ACPR(Adjacent Channel Power Ratio) e banda dei segnali in gioco. Queste ultime impongono dei vincoli, rispettivamente, sulla linearità e sulla risoluzione del DAC, che, a loro volta, rendono necessaria un'accurata scelta dell'architettura da implementare. A tal fine vengono presentate le architetture parallele, le uniche in grado di lavorare a frequenze elevate, e viene, pertanto, dimostrata la necessità di ricorrere al current steering. *Infine viene presentata una panoramica riguardante lo stato dell'arte, mettendo in evidenza le prestazioni raggiunte da alcune importanti implementazioni, e anticipando le linee guida che si seguiranno nel progetto.*

1.1 Conversione digitale-analogica ad alto bit rate: ambito di applicazione

La continua evoluzione delle tecnologie al Silicio ed in particolare dei processi CMOS è stata probabilmente la principale fonte di innovazione nel campo dell'ingegneria elettronica che ha rivoluzionato la vita quotidiana delle persone. L'evoluzione della tecnologia dei circuiti integrati, che segue la famosa legge di Moore, è proseguita negli ultimi cinquanta anni e, come mostrato nella roadmap del ITRS in figura 1.1, l'attuale stato dell'arte della tecnologia CMOS mette a disposizione dispositivi con frequenze di taglio che superano gia i 200 GHz. Gli sviluppi della tecnologia CMOS e gli sforzi di ricerca profusi nel campo della progettazione di circuiti e sistemi a radiofrequenza (RF) in CMOS hanno reso ormai convenzionale l'implementazione

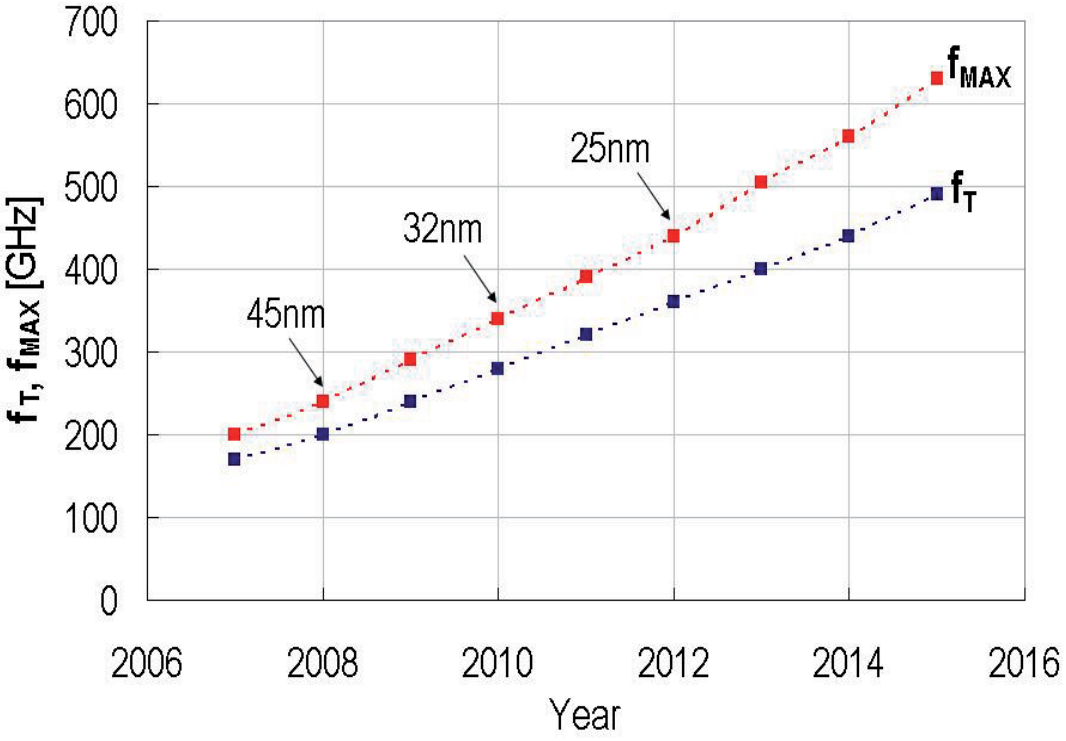

Figura 1.1: Roadmap del ITRS: andamento della f_T della tecnologia CMOS negli ultimi anni

di ricetrasmettitori radio monolitici a frequenze di lavoro di qualche gigahertz. La straordinaria capacità d'integrazione offerta dal CMOS ha abilitato l'integrazione completa di front-end RF, convertitori A/D e D/A e DSP in un unico system-on-chip a basso costo, spianando in tal modo la strada alla diffusione di un grosso numero d'applicazioni tra cui la televisione digitale, i telefoni cellulari, le reti di computer senza fili WiFi (Wireless LAN), i dispositivi ultra-wideband (UWB) e Bluetooth. A causa delle limitazioni di banda dei convenzionali sistemi di comunicazione a banda stretta e di potenza irradiabile in tecnologie a sovrapposizione di spettro, come l'UWB, i sistemi esistenti di comunicazioni senza filo offrono un throughput limitato (fino a 100Mbps per il WiFi) o una copertura limitata (circa 1.5m per UWB a 480 Mbps). Tale limitazione di capacità delle comunicazioni senza filo ha costantemente spinto verso l'incremento delle frequenze di lavoro. Le onde millimetriche, che vanno da 30 a 300 GHz, mettono a disposizione un'ampia banda largamente non utilizzata, che può essere efficacemente sfruttata in una varietà di nuove applicazioni. Tra queste, la comunicazione senza fili di segnale video digitale (Wireless video streaming) offre la possibilità di diffondere segnali video in tempo reale a brevi distanze per reti multimediali senza fili tra televisione ad alta definizione (HDTV), registratore video, decoder, videogiochi, calcolatori e altri dispositivi

elettronici portatili. Negli anni passati, vari enti normativi, in Giappone, Stati Uniti d'America ed Europa, hanno allocato ampie porzioni dello spettro attorno a 60 GHz per comunicazioni radio senza obbligo di licenza. Nel 2001, la commissione federale statunitense per le comunicazioni (FCC) ha allocato una banda ampia 7 GHz da 57 a 64 GHz per questo tipo di comunicazioni. In Giappone, dal 2000, lo spettro da 54.25 a 59 GHz è allocato per applicazioni con obbligo di licenza mentre la banda tra 59 e 66 GHz per applicazioni senza licenza. In Europa, l'organo europeo per le normative sulle comunicazioni (CEPT) ha allocato dal 2002 le bande 62-63 GHz e 65-66 GHz per le comunicazioni mobili a larga banda, mentre la banda tra 59 e 62 GHz per applicazioni Wireless LAN.

La trasmissione di un segnale video non compresso a 1600x1200 pixel, con 24 bit per pixel e 60 immagini al secondo, richiede una velocità di trasmissione di 5 Gb/s. La trasmissione di un segnale con una tale velocità a distanze superiori ai 10 m è possibile solo con antenne in visibilità. Per ridurre la potenza trasmessa e migliorare la sensitività del ricevitore è possibile utilizzare tecniche sofisticate quali la formatura del fascio irradiato e ricevuto. Gli schemi di modulazione estremamente complessi, utilizzati per migliorare l'efficienza di banda e la velocità di trasmissione, cosi come la banda elevata del segnale (oltre 2GHz), complicano significativamente il filtraggio di canale in banda base e la conversione analogico/digitale e digitale/analogica e pongono requisiti stringenti al rumore di fase dell'oscillatore locale (LO) ed alla linearità dell'amplificatore di potenza (PA). Uno schema semplificato di un trasmettitore eterodina è mostrato in figura 1.2. Una prima proposta di stan-

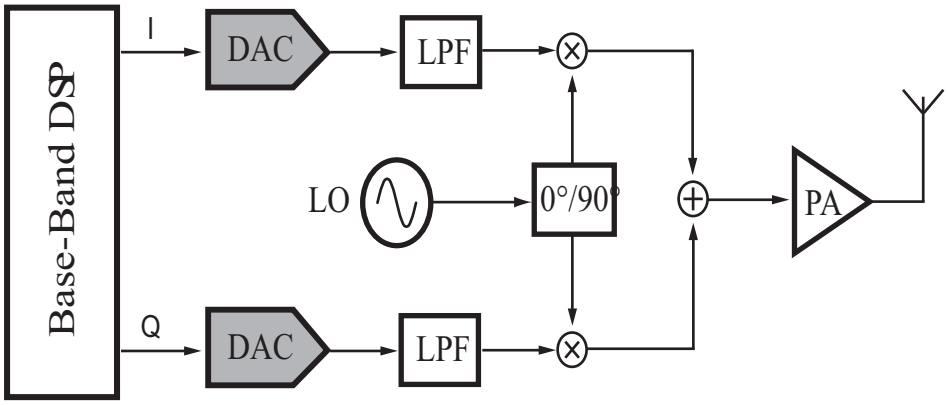

Figura 1.2: Trasmettitore eterodina: schema fondamentale

dardizzazione è l'ECMA-387, che propone uno standard per comunicazioni wireless personali (WPAN) dividendo la banda da 57 a 66GHz in 4 canali con larghezza di banda di 2.16 GHz. La velocità di comunicazione è variabile da 397 Mbps a 6.35 Gbps. La realizzazione in CMOS di questi sistemi pone diverse difficoltà, principalmente a causa della frequenza di funzionamento particolarmente elevata, dell'ampia

banda da coprire e dell'elevato data rate. La modalità operativa a singolo canale con 6.35 Gbps dell'ECMA-387 è quella più stringente in termini di EVM (*Error Vector Magnitude*), che deve essere minore di 12.5 dB. L'EVM del trasmettitore è deteriorato sia dal rumore di fase dell'LO, ma anche da imperfezioni dei DAC e dei filtri, da sbilanciamenti fra I e Q, e dalla non-linearità del PA. L'ACPR richiesto è pari a -30dBr. Tale specifica impone un minimo numero di bit di risoluzione, in quanto definisce la linearità minima che deve soddisfare il DAC. In questo contesto il parametro da considerare è lo Spurious Free Dynamic Range(vedi Appendice), misurato in dBc rispetto ad una portante full scale. Per avere sufficiente margine, si deve imporre un SFDR intorno ai -50 dBc, da cui si può calcolare il numero di bit: ipotizzando di considerare una sinusoide quantizzata ad N bit, come dimostrato da [1], tale parametro si può stimare nel seguente modo

$$SFDR|_{dBc} = -(9.03N + c(N)) \tag{1.1}$$

dove c(N) è una quantità empirica, che assume valori compresi tra 0 e -6 (dB) con N che varia da 1 a 12. Quindi per fare in modo che l'SFDR non sia limitato dalla quantizzazione, ma sia un indice della linearità dell'intero DAC, si deve scegliere un numero di bit pari a 10.
I segnali I e Q in banda base occupano una banda di circa 1GHz. I convertitori A/D e D/A richiesti nel ricevitore e nel trasmettitore richiedono quindi un data rate di almeno 2GS/s(vedi Appendice). Per il convertitore D/A questo valore va aumentato in modo da poter rilassare le specifiche del filtro analogico di ricostruzione. Infatti quest'ultimo presenta una selettività finita, che deve essere tanto più grande quanto più vicine sono tra loro le repliche dello spettro in banda base, ossia quanto più è bassa la frequenza di campionamento. Il concetto appena espresso è mostrato in figura 1.3, dove si nota la differenza di selettività tra il filtraggio reale e quello ideale. Si giunge, quindi, ad una specifica di circa 2.5GS/s.

1.2 L'architettura di riferimento per wireless HDMI: il Current Steering DAC

L'unica topologia di convertitori, capace di raggiungere un sample rate così alto, anche nelle odierne tecnologie CMOS decananometriche, è quella *current steering*(CS). Per giustificare tale affermazione, è stata svolta un'indagine tra le architetture candidate, ossia quelle "parallele" , le uniche in grado di poter raggiungere un sample rate di 2.5 GS/s. Dall' analisi, riportata in breve di seguito, deriva, appunto la decisione

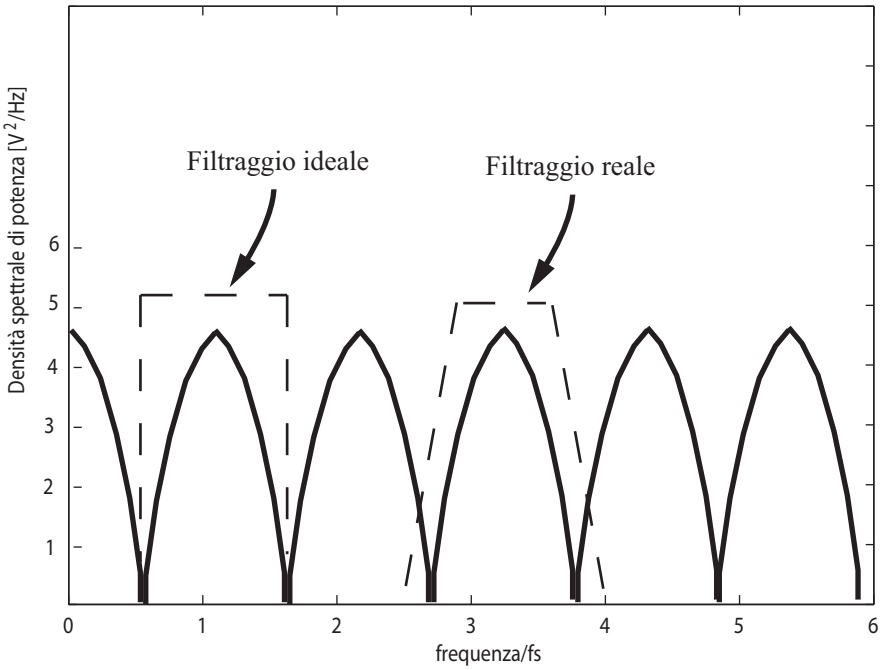

Figura 1.3: Spettro di un segnale campionato a $f = f_s$: filtraggio ideale con selettività infinita e filtraggio reale con selettività finita;f_s=frequenza del segnale campionato

di implementare un'architettura current steering, ritenuta la più idonea. Il motivo fondamentale è la velocità intrinseca del circuito, grazie alla bassa impedenza verso massa dei nodi del circuito. Inoltre l'assenza del buffer di uscita reazionato, realizzato tramite operazionali, permette di raggiungere frequenze di lavoro estremamente elevate, ossia superiori ai GHz, mantenendo il consumo di potenza entro limiti accettabili, ossia dell'ordine di decine di mW. Infatti, per poter lavorare su bande del GHz, sarebbero necessari operazionali con GBWP almeno dell'ordine delle decine di GHz, cioè caratterizzati da correnti estremamente elevate.
Si riportano di seguito le 3 topologie principali di DAC prese in esame [2].

1. *Architettura resistiva a divisione di tensione*
   Si tratta di un'architettura costituita da tre stadi: un divisore resistivo, una rete di interruttori e un buffer di uscita (figura 1.4). La tensione di riferimento *Vref* viene suddivisa in un numero di step pari a 2^N, con N numero di bit del DAC, usando una rete di resistori identici, e prelevando la tensione corretta ai loro capi tramite una rete di interruttori, controllati dal codice binario in ingresso, opportunamente elaborato. A parte l'elevato numero di resistori da integrare (scala con una potenza di N), il limite fondamentale di questa

implementazione è costituito dal buffer di uscita, che domina le prestazioni dinamiche e la rende di fatto inutilizzabile per gli scopi suddetti.

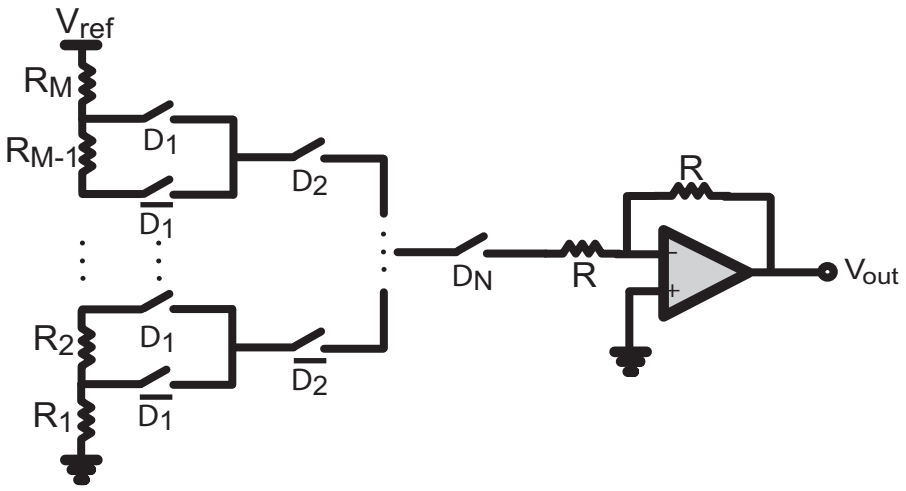

Figura 1.4: DAC resistivo a divisione di tensione: schema circuitale

2. *Architettura capacitiva a divisione di carica*
   Il concetto alla base di tale implementazione è la ridistribuzione di carica che avviene in una rete di *switched capacitor*, in cui le capacità assumono valori in progressione secondo la potenza di due. Il sistema, presentato in figura 1.5, viene preparato attraverso la precarica delle capacità ad un valore prefissato e, solo dopo tale operazione, inizia la conversione, che consiste nel collegare le capacità a massa o all'alimentazione in istanti successivi. La legge di conservazione della carica permette di avere, a seconda del codice di ingresso, una determinata tensione, che viene presentata in uscita tramite un buffer. Quindi, anche in questo caso, a causa della presenza del buffer, il circuito non può permettere il raggiungimento delle prestazioni prefissate.

3. *Architettura Current Steering*
   Come si nota dal diagramma concettuale in figura 1.6, tale architettura, inventata da B.M. Gordon, è costituita da una rete di generatori di corrente, a peso binario, collegati al nodo di uscita tramite una serie di interruttori, comandati dal codice binario d'ingresso. Un convertitore corrente-tensione, posto in uscita, permette di trasformare la grandezza elettrica principale, ossia la corrente, in tensione. L'assenza di un buffer d'uscita e la natura intrinsecamente veloce associata alla semplicità del circuito, rendono il Current Steering DAC il candidato migliore per il range di frequenza in esame ([3]). Peraltro la scelta effettuata consente anche il raggiungimento di un numero di bit da moderato ad alto (10-16 bit) [6] e, quindi, perfettamente idoneo alle specifiche proposte.

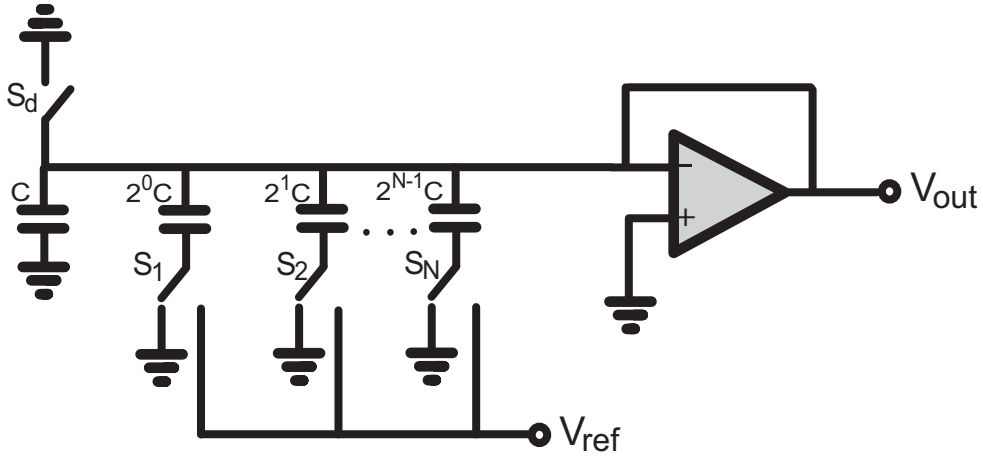

Figura 1.5: DAC capacitivo a divisione di carica: schema circuitale

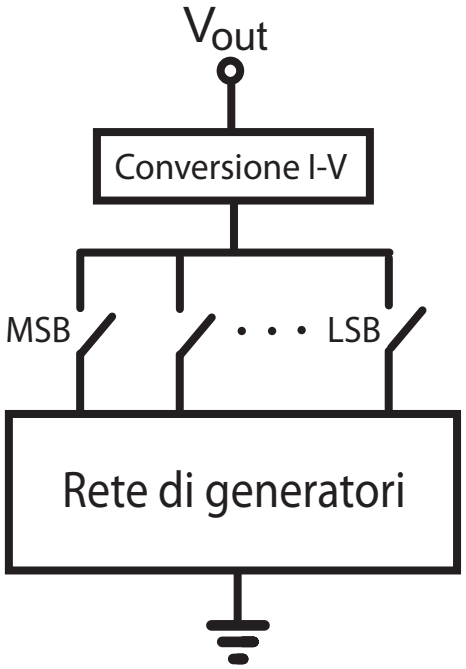

Figura 1.6: Current Steering DAC: diagramma concettuale

1.3 Stato dell'arte

Grazie all'assenza di operazionali e alla semplicità del circuito, i convertitori CS costituiscono quelli di riferimento per sample rate al di sopra del GS/s. Purtroppo, i convertitori CS, nello stato dell'arte, raggiungono le prestazioni richieste, ma, comunque, con consumi rilevanti. Per fortuna l'utilizzo di dispositivi scalati può aiutare a ridurre la potenza dissipata, ma richiede tecniche di calibrazione degli offset e delle temporizzazioni, in modo da mitigare il degrado del matching dei dispositivi, complicando quindi il sistema [5]. Infatti, all'aumentare del sample rate, il compromesso tra prestazioni a bassa ed alta frequenza diventa sempre più limitante,

imponendo il ricorso all'uso delle suddette tecniche. Nella tabella 1.7 sono riportate tre architetture estremamente interessanti, con sample rate maggiore di 1 GS/s.

Ref.	[4]	[5]	[3]
Architettura	Segmentata(5-5)	Segmentata(6-6)	Segmentata(6-6)
Processo (nm)	130	90	65
Alimentazione (V)	1.2/1.8	1.2 / 2.5	2.5
Sample rate (GS/s)	1.6	1.25	2.9
Risoluzione (bit)	10	12	12
SFDR@DC (dBC)	-74	-75	-74
SFDR (dBC)/Banda (MHz)	-54/550	-70/500	-60/550
Potenza (mV)	27	128	188
Tensione di uscita (Vpp)	0.25	0.8	2.5
Corrente di uscita (mA)	10	16	50
INL	0.5	0.34	1.2
DNL	0.3	0.29	0.5

Figura 1.7: Stato dell'arte dei DAC

L'architettura mostrata in [4], implementata in una tecnologia CMOS standard a 130 nm, si segnala per il ridotto consumo di potenza, pari a soli 27 mW. Essa raggiunge un SFDR di -54 dBc su una banda di 550 MHz, con un sample rate di 1.6 GS/s. Tali caratteristiche vengono raggiunte usando interruttori della cella di corrente con lunghezza minima di canale e usando un decoder termometrico a bassa potenza.

Per raggiungere prestazioni migliori in termini di linearità, si passa alla soluzione [5], dove, grazie all'utilizzo di una tecnica di calibrazione per migliorare la linearità statica, ad una tecnologia più scalata (90nm) e ad un più basso sample rate (1.25 GS/s), si ottiene un SFDR di -70 dBc fino a 500 MHz. Il prezzo da pagare è, ovviamente, una dissipazione maggiore di potenza, pari a 128 mW, oltre che DNL e INL

non così elevati, come nel caso precedente, nonostante la tecnica adottata.
Infine vengono messe in rilievo le prestazioni raggiunte nell'architettura implementata in [3], che si spinge fino a 2.9 GS/s. Nonostante un sample rate così alto, si riesce ad ottenere un SFDR di -60 dBc su una banda di 550 MHz, grazie alla particolare cella di corrente progettata. Essa, di fatto, è realizzata aggiungendo due strutture cascode, al di sopra degli interruttori della cella, che sono mantenute sempre accese, al fine di ridurre la distorsione associata al valore finito dell'impedenza di uscita. Infatti, in questo modo, viene ridotta la variazione del valore dell'impendenza di uscita, al variare del codice d'ingresso, che è una delle principali cause di non linearità ad alta frequenza.
In quest'ottica va da inquadrarsi il presente lavoro di tesi, basato sulla progettazione di un DAC current steering per applicazioni wireless HDMI, e, pertanto, come già giustificato poco fa, richiede una risoluzione di 10 bit e un sample rate di 2.5 GS/s. Le prestazioni, in termini di linearità a bassa ed alta frequenza, vengono ottimizzate ricorrendo alla realizzazione di un particolare sistema, che permette la correzione degli errori statici, attraverso un algoritmo digitale. Pertanto, nel progetto, si può seguire una linea guida ben definita, che consiste nel cercare di migliorare il più possibile le prestazioni ad alta frequenza, senza preoccuparsi di quelle a bassa frequenza.

Capitolo 2

Metodologia progettuale basata sulla riduzione degli errori statici

Dopo aver illustrato le motivazioni riguardanti la scelta dell'architettura, si passa alla descrizione delle possibili implementazioni, focalizzando l'attenzione su quella che permette di ottenere un migliore compromesso dal punto di vista delle prestazioni, ossia la segmentata. *Successivamente viene presentato lo schema a blocchi del Current Steering DAC, di cui vengono evidenziati i componenti fondamentali da realizzare. Si passa, quindi, al progetto vero e proprio, iniziando dal cuore del convertitore, ossia la cella di corrente. L'approccio iniziale è basato sulla minimizzazione delle non linearità a bassa frequenza, dovute ai mismatch del generatore di corrente. Ciò conduce, essenzialmente, all'aumento delle dimensioni di tale generatore, con conseguente peggioramento della linearità ad alta frequenza, causato dall'aumento del valore della capacità parassita, afferente al source degli interruttori. Tale capacità è responsabile della distorsione legata alla cosiddetta modulazione dell'impedenza di uscita, un effetto di non idealità che domina ad alta frequenza. Si dimostra, infine, che anche l'introduzione di un generatore cascode non comporta un miglioramento significativo delle prestazioni ad alta frequenza, rendendo, di fatto, necessario il ricorso all'approccio digital assisted, al fine di superare il compromesso tra linearità statica e linearità dinamica.*

2.0.1 Segmentazione

Come già visto, il Current Steering DAC rappresenta l'architettura generalmente usata per applicazioni ad alta velocità, ed è basato su una rete di generatori di corrente idealmente identici, che producono, grazie ad un insieme di interruttori controllati, una corrente di uscita diversa per ogni codice binario in ingresso. Se

la grandezza elettrica di interesse è la tensione, la rete di uscita consiste in un convertitore corrente-tensione, che, nel caso più semplice, coincide con una resistenza, come mostrato in figura 2.1. Da questo semplicissimo circuito di base, si nota che si

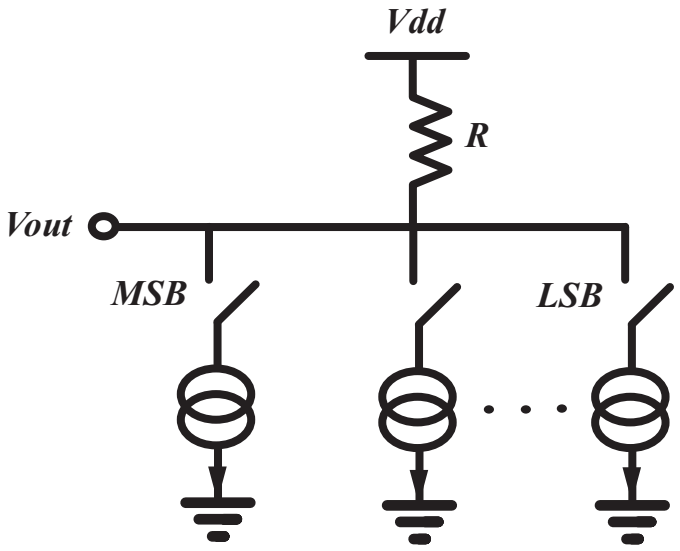

Figura 2.1: Schema di principio di un Current Steering DAC. I valori dei generatori di corrente non vengono specificati perchè dipendono dal tipo di implementazione scelta(binaria, termometrica o segmentata)

possono percorrere due strade diverse, al fine di dimensionare i generatori di corrente, e, in particolare, il loro rapporto. La prima consiste nell'utilizzare N generatori (N è il numero di bit del convertitore), ognuno di valore doppio rispetto al precedente, in modo che siano tutti pari ad una potenza di due moltiplicata per un riferimento. Ciò permette di associare un determinato generatore al singolo bit della parola d'ingresso, il quale, quindi, può essere usato direttamente per pilotare l'interruttore che gestisce il flusso di corrente verso il nodo di uscita. Pertanto la corrente di uscita I_{out} si può esprimere nel seguente modo

$$I_{out} = I \sum_{i=1}^{N} b_i 2^{i-1} \tag{2.1}$$

Tale implementazione, mostrata in figura 2.2, è detta *binary weighted*. I suoi vantaggi sono la semplicità e la compattezza, intesa come occupazione d'area, ma, al contempo, non garantisce la monotonicità(vedi Appendice) della caratteristica di trasferimento e soffre del problema dei glitch(vedi Appendice), che, a causa della imperfetta sincronizzazione delle forme d'onda che controllano gli interruttori, determinano l'insorgere, nell'uscita, di spikes di tensione, i quali provocano distorsione armonica. La seconda strada, invece, si fonda sull'impiego di 2^{N-1} generatori identici, ognuno avente un valore unitario, indicato solitamente con I_{unit}. Poichè l'ingresso

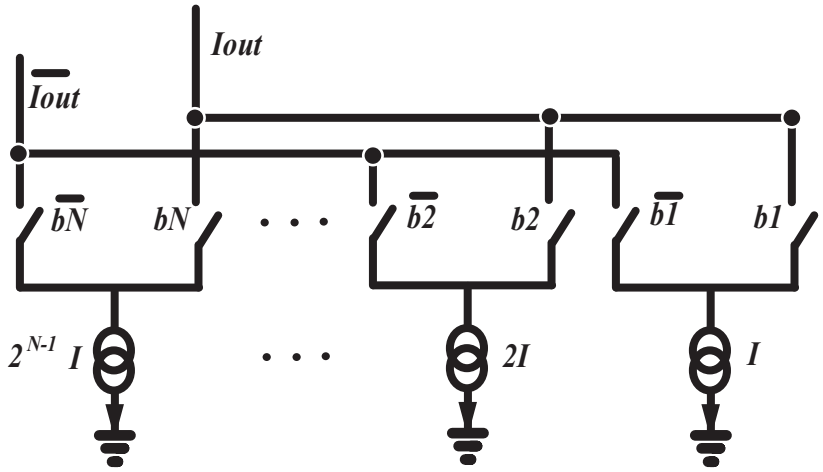

Figura 2.2: Schema di principio di un Current Steering DAC *binary weighted* ad N bit

è binario, è evidente che tale tecnica presuppone l'introduzione di un decoder, in grado di fornire gli esatti segnali di controllo degli interruttori. Si tratta di una soluzione che, rispetto al caso *binary weighted*, migliora le prestazioni in termini di linearità(vedi Appendice), glitch e monotonicità ([2] [6]). D'altro canto la forte limitazione di questo approccio è l'elevato numero di elementi, che, al crescere della lunghezza della parola binaria in ingresso, incrementa drammaticamente e richiede un decoder estremamente complesso e dispendioso in termini di occupazione d'area. Questa implementazione è detta *termometrica* ed è visibile in figura 2.3. In termini matematici, l'espressione della corrente di uscita è

$$I_{out} = I_{unit} \sum_{i=1}^{M} t_i \tag{2.2}$$

dove M è pari a 2^{N-1} e t_i è il peso associato alla codifica termometrica della parola d'ingresso. Per riuscire ad usufruire dei vantaggi di entrambe le strutture, risulta spesso conveniente ricorrere ad un compromesso, ossia alla cosiddetta architettura *segmentata*, in cui sarà presente una parte termometrica, dedicata alla conversione grossolana (sezione MSB), e una parte binaria, preposta alla conversione fine (sezione LSB). In questo modo si riescono a raggiungere prestazioni diverse a seconda di come vengono suddivisi i bit da assegnare alle due parti. Se degli N bit disponibili in ingresso, gli M meno significativi sono destinati alla sezione binaria e gli N-M più significativi alla sezione termometrica, allora la corrente di uscita è pari a

$$I_{out} = I \sum_{i=1}^{M} b_i 2^{i-1} + 2^M I \sum_{i=M+1}^{N} b_i 2^{i-(M+1)} \tag{2.3}$$

dove $b_i 2^{i-1}$ è il numero decimale corrispondente al bit i-esimo e I è la corrente associata all'LSB.
In questa tesi verrà descritto il progetto di un Current Steering DAC segmentato, in quanto tale scelta sembra essere la migliore per ottenere le prestazioni richieste, grazie alla sua flessibilità. La suddivisione del numero di bit, da assegnare ad ognuna delle singole sezioni, sarà stabilita nel capitolo successivo, dove verrà introdotto *l'approccio digital assisted*.

2.0.2 Schema a blocchi

Lo schema a blocchi del Current Steering DAC progettato è illustrato in figura 2.4. Si nota la presenza di un decoder da binario a termometrico sul cammino che conduce alla sezione MSB e di un equalizzatore di ritardo per la parte binaria, in modo da avere un certo sincronismo nell'arrivo dei segnali di comando. Tale sincronismo viene poi gestito con maggiore precisione tramite l'utilizzo di elementi di memoria, in particolare dei latches, attivati da un segnale di clock, generato esternamente e distribuito internamente per mezzo di una rete ad hoc. Il cuore del CS DAC è costituito dalla cella di corrente, in cui gli interruttori vengono pilotati dai segnali di controllo, ma non in modo diretto, bensì ricorrendo alla giustapposizione di un driver tra il latch e gli stessi interruttori, utile al fine di rigenerare i segnali. I generatori di corrente sono inseriti all'interno della cella e vengono opportunamente polarizzati tramite una rete apposita. Ora vengono presentate le linee guida del progetto, con particolare attenzione ai problemi associati cella di corrente, ossia gli errori dovuti al matching finito tra i dispositivi.

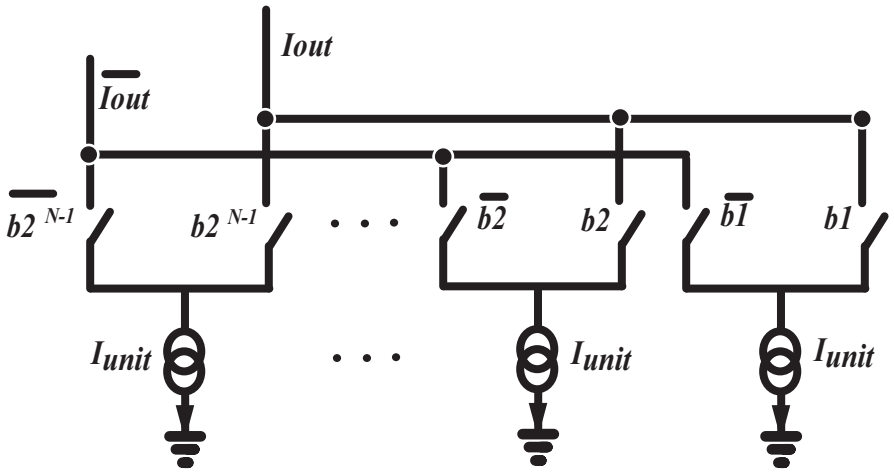

Figura 2.3: Schema di principio di un Current Steering DAC *termometrico* ad N bit

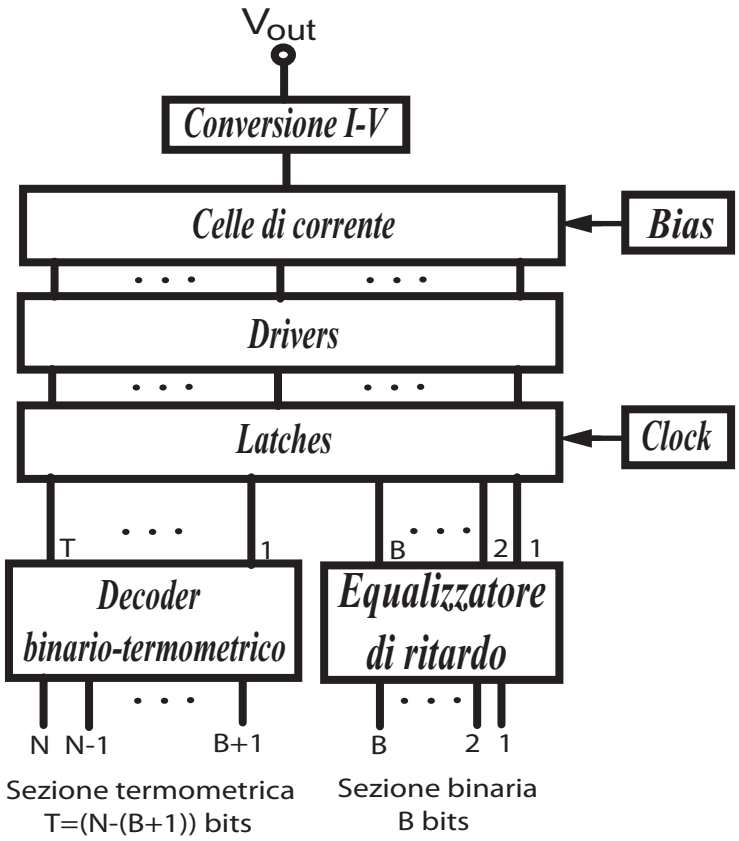

Figura 2.4: Schema a blocchi di un Current Steering DAC *segmentato* ad N bit

2.1 Linee guida del progetto: analisi degli errori

Purtroppo, nonostante la semplicità della struttura, a causa delle frequenze molto alte in gioco, il comportamento complessivo del sistema risulta essere fortemente non lineare. Sorgono, infatti, numerosi problemi, che devono essere studiati a fondo, in modo da limitarne l'effetto, ossia i segnali d'errore causati. In particolare, in base ad una prima suddivisione, è possibile distinguere tra *errori d'ampiezza o statici* ed *errori di tempo o dinamici*.

2.1.1 Dimensionamento della cella di corrente

Come già precedentemente affermato, la cella di corrente rappresenta il cuore del CS DAC, ossia quella parte di circuito che racchiude in sè l'idea che è alla base di tale architettura. Infatti in essa trovano posto sia gli interruttori, che determinano il flusso di corrente verso il nodo di uscita in base al codice di ingresso, e sia il gene-

ratore di corrente vero e proprio. Una topologia convenzionale di una cella è quella presentata in figura 2.5: un generatore di corrente, la cosiddetta "coda", polarizzato tramite la tensione V_{BIAS}, alimenta una coppia di interruttori che funzionano in modo alternato, ossia quando uno è ON l'altro è OFF, determinando, grazie alla presenza delle resistenze, una tensione di uscita differenziale.

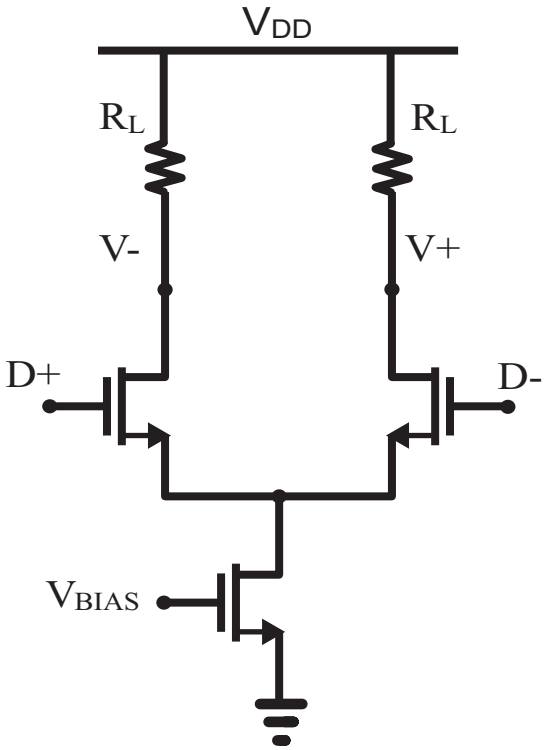

Figura 2.5: Tipica topologia circuitale della cella di corrente con uscita differenziale e rete di uscita (semplice resistenza)

Come passo iniziale, si valuta la corrente I_{LSB} che scorre nel generatore di corrente della cella unitaria, quella associata all'LSB. Essendo la struttura differenziale, è necessario effettuare una trasformazione della tensione di uscita, che deve essere convertita da puramente differenziale a single ended. Ciò si ottiene per mezzo di un *balun*, ossia un trasformatore "balanced-unbalanced", come quello mostrato in 2.6. Considerando un carico pari a 50Ω

$$2 * R_L = \frac{R_{carico}}{n^2} \tag{2.4}$$

con n rapporto di trasformazione pari a 1, si ottiene

$$R_L = 25\Omega \tag{2.5}$$

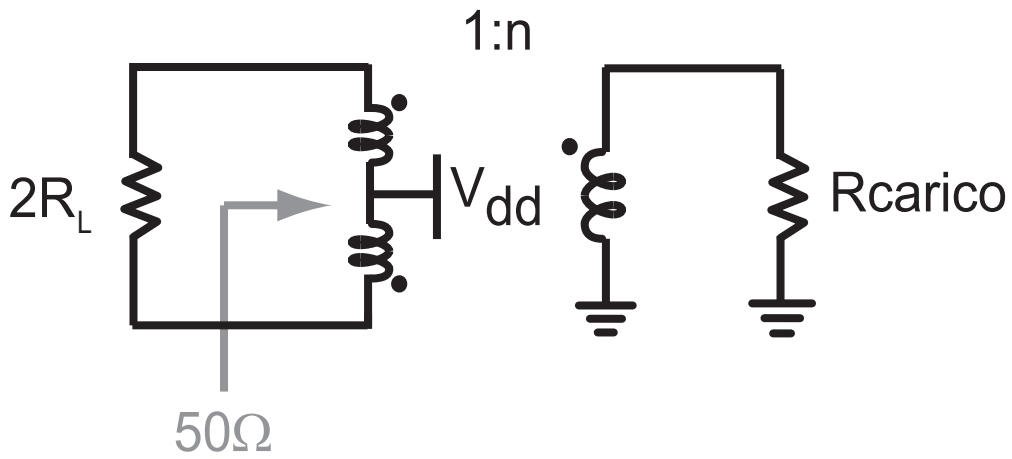

Figura 2.6: balun in uscita dal chip
V_{dd} è la tensione di alimentazione del circuito
n è il rapporto di trasformazione

Per fissare la dinamica differenziale di uscita, si devono considerare due caratteristiche: la tensione di alimentazione, imposta dalla tecnologia a 1 V, e il numero di transistori da "impilare"; infatti, si deve fare in modo che i MOS abbiano, ai loro capi, una tensione V_{DS} sufficiente a garantire un corretto funzionamento del generatore di corrente e degli interruttori. Al contempo si vuole una dinamica che sia la più grande possibile, al fine di avere un segnale di uscita di potenza elevata. Supponendo di utilizzare la struttura in figura 2.5, sono soltanto due i MOS "impilati", pertanto un buon compromesso sembra essere

$$\Delta V_{diff} = 500mV \tag{2.6}$$

Poichè il segnale che pilota gli interruttori, anch'esso ovviamente differenziale, del tipo "full swing" sbilancia completamente la struttura, nei due casi estremi di codice di ingresso con tutti 0 o con tutti 1 (figura 2.7), la tensione di uscita differenziale V_{diff} sarà compresa nel seguente range

$$-250mV \leq V_{diff} \leq 250mV \tag{2.7}$$

Infatti, nel primo caso tutte le correnti fluiscono nella R_L di sinistra, mentre nel secondo in quella di destra.

Data la resistenza di carico R_L(il pedice S lo tralasciamo per semplicità, in quanto,

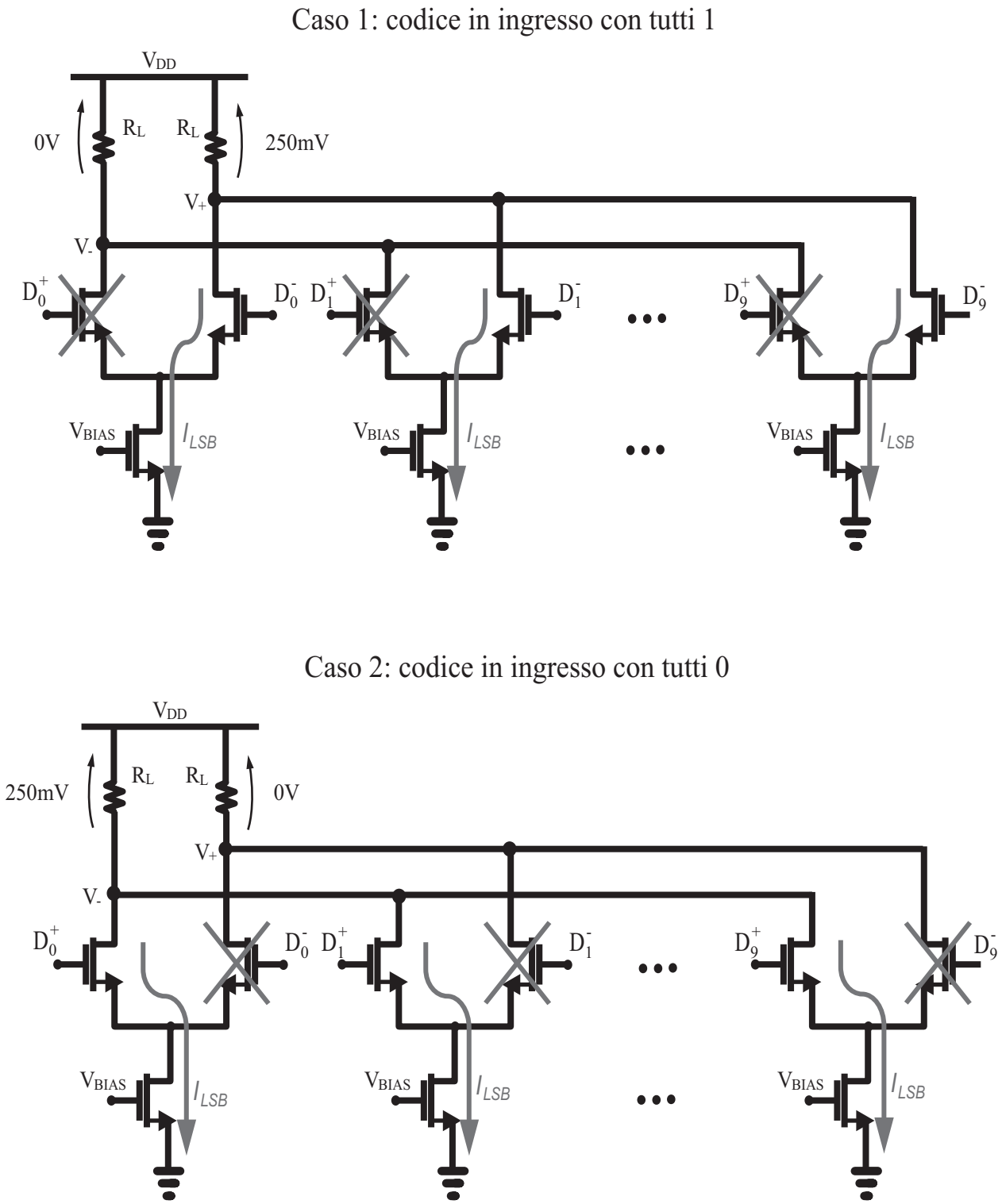

Figura 2.7: Struttura sbilanciata corrispondente ai casi estremi del codice d'ingresso: l'ipotesi è quella di struttura completamente binaria
D_n^+ segnale di controllo dell'interruttore di sinistra generato a partire dal bit n-esimo
D_n^- segnale di controllo dell'interruttore di destra generato a partire dal bit n-esimo
$V_{diff} = V_+ - V-$

se non diversamente specificato, si intenderà sempre la resistenza di uscita single ended) e la tensione differenziale di uscita massima $V_{diff_{MAX}}$, si giunge, considerando che il convertitore è a 10 bit, alla corrente I_{LSB}

$$I_{LSB} = \frac{V_{diff_{MAX}}}{(2^N) * R_L} \simeq 10\mu A \tag{2.8}$$

In realtà, conviene riferire tutti i calcoli effettuati di seguito, ad una cella polarizzata tramite metà della corrente I_{LSB}(indicata con $I_{\frac{LSB}{2}}$), ossia associata a mezzo LSB. Il motivo di tale scelta, che sarà spiegato meglio nel capitolo successivo, è legato all'opportunità di inserire il DAC realizzato, all'interno di un più ampio sistema reazionato, che permette di migliorare le prestazioni ad alta frequenza, in termini di linearità, basandosi su un algoritmo digitale di correzione. Questo sistema, infatti, richiede, per la correzione dell'LSB, un ulteriore sottolivello, ossia il mezzo LSB.

Approccio classico basato sul matching statico

Il dimensionamento dei MOS, introdotti nel paragrafo precedente, viene realizzato cercando di rendere minimo l'impatto delle non linearità sulla caratteristica di trasferimento. In parole povere, si vuole minimizzare l'INL, agendo sulla dimensione del generatore di corrente, seguendo un approccio molto diffuso in letteratura [7] [8] [4]. Prima di proseguire oltre, è necessario richiamare dei concetti chiave, che risultano molto utili per una migliore comprensione.
Innanzitutto, date le numerose definizioni, riguardanti INL e DNL, è preferibile definire in modo univoco tali parametri. La linearità statica viene caratterizzata tramite i due parametri *Non Linearità Differenziale* (DNL) e *Non Linearità Integrale* (INL). La prima è una misura della differenza tra l'ampiezza reale del gradino di uscita, corrispondente ad una variazione di un LSB del codice d'ingresso, e l'ampiezza ideale di tale gradino. La seconda esprime la deviazione totale di un valore dell'uscita analogica dal corrispondente valore ideale. I valori ideali vengono quantificati considerando la caratteristica "straight-line" ottenuta tramite una linea retta passante per i punti corrispondenti allo 0 e al FSR, oppure quella "best-fit" , che segue la legge dei minimi quadrati. In figura A.1 si possono apprezzare INL e DNL, nel caso di un DAC a 3 bit. Dal punto di vista matematico, è possibile esprimere i due parametri, normalizzati all' LSB, tramite due semplici formule:

$$DNL_k^{norm} = \frac{A_{k+1}^{reale} - A_k^{reale} - \Delta_{LSB}}{\Delta_{LSB}} \tag{2.9}$$

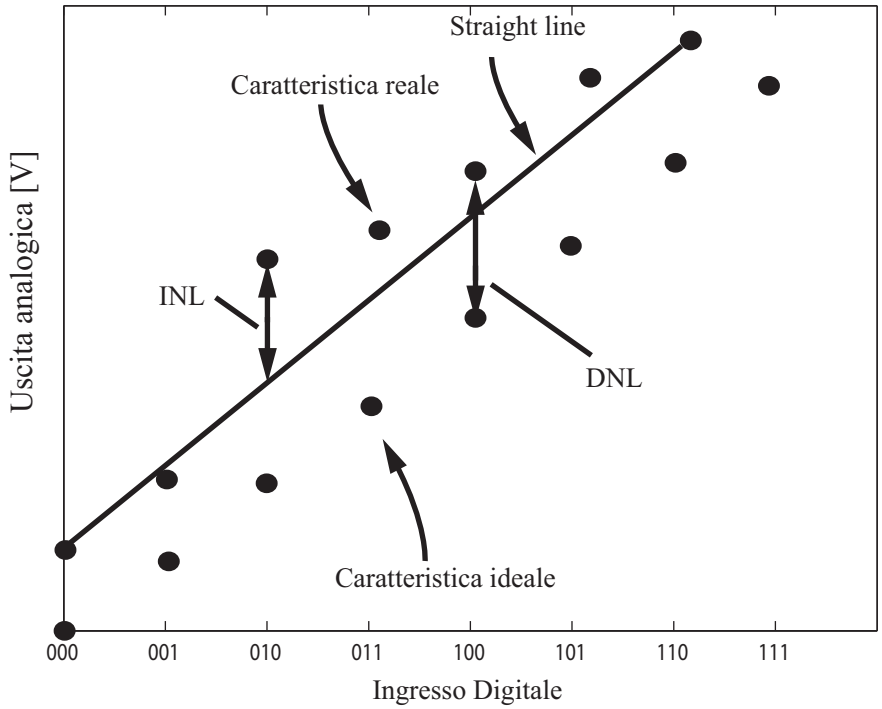

Figura 2.8: Caratteristica di trasferimento di un DAC a 3 bit: INL e DNL, offset ed errore di guadagno

$$INL_k^{norm} = \frac{A_k^{reale} - A_k^{ideale}}{\Delta_{LSB}} = \sum_{j=1}^{k} DNL \tag{2.10}$$

con A_{k+1}^{reale} e A_k^{reale} valori dell'uscita analogica corrispondenti a codici adiacenti in ingresso,A_k^{ideale} valore che idealmente dovrebbe assumere l'uscita al k-esimo passo, e Δ_{LSB} pari al gradino di uscita corrispondente all'LSB.

Il secondo concetto chiave è il mismatch: per mismatch si intende il processo che causa variazioni casuali e indipendenti dal tempo, in quantità fisiche di dispositivi progettati in modo identico.

Il funzionamento delle celle ideali si basa su una rete di generatori di corrente, il cui numero varia a seconda del tipo di implementazione, perfettamente uguali tra di loro. Nella pratica, però, le inevitabili differenze, rispetto al caso ideale, determinano valori di corrente che differiscono leggermente tra un generatore e l' altro. In figura 2.9 i due MOS hanno la stessa polarizzazione, ma le correnti che li attraversano saranno inevitabilmente diverse. Tali inaccuratezze, che hanno un impatto negativo sulla INL, determinandone, di fatto , un limite superiore, hanno componenti sistematiche e casuali, cioè mismatches.

La componente sistematica è causata da diversi fattori, quali, ad esempio, gradienti nei parametri di processo, come drogaggio o spessore dell'ossido, gradienti di tem-

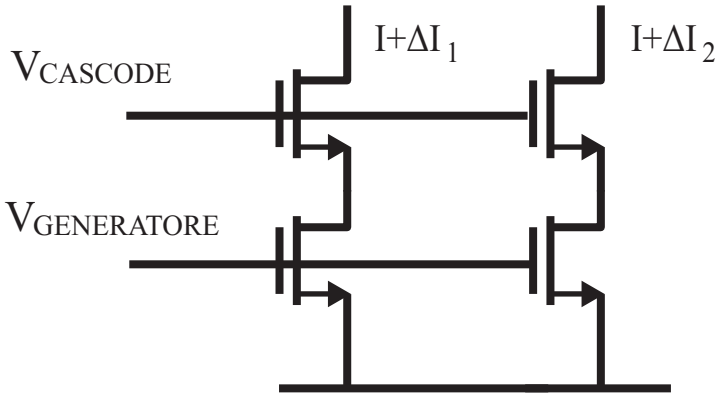

Figura 2.9: Mismatches tra generatori di corrente cascodati

peratura e cadute resistive nelle linee che trasportano l'alimentazione e/o la massa (figura 2.10) [4]. Le soluzioni, proposte in letteratura, ai primi due problemi, si

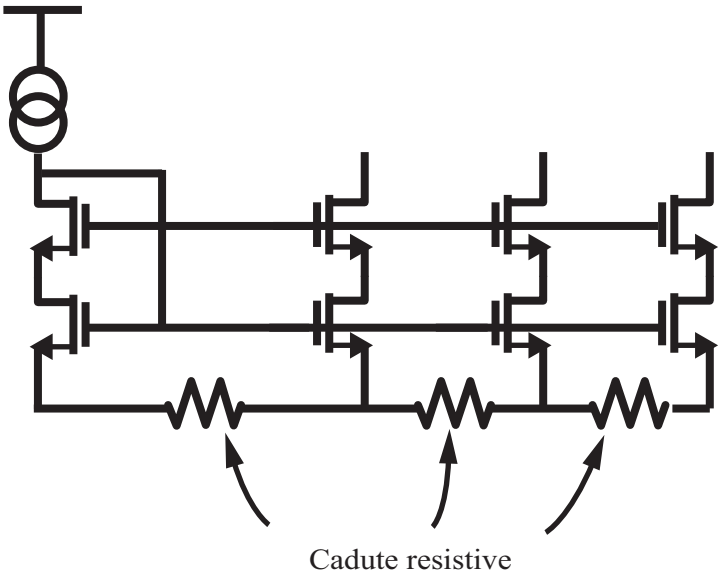

Figura 2.10: Cadute resistive nelle linee che trasportano la massa

basano sull'uso di appropriati algoritmi di calibrazione [9] o di efficaci schemi "switching" (per esempio il doppio centroide in [8]). Riguardo alle cadute resistive, esse provocano diverse V_{gs} ai capi dei MOS, che, di conseguenza, vengono attraversati da correnti più grandi o più piccole di quelle attese, causando non linearità. Per riuscire a ridurre tale errore, si può ricorrere alla soluzione adottata da [3], ossia una rete di distribuzione dell'alimentazione ad *albero binario* come quella mostrata in figura 2.11. Il mismatch viene descritto, invece, usando il modello di *Pelgrom*, basato sull'assunzione che tutte la variabili aleatorie in gioco possano essere rappresentate, dal punto di vista statistico, tramite una distribuzione normale a media nulla. Quindi la componente casuale del segnale errore associato alla corrente di drain di un MOS

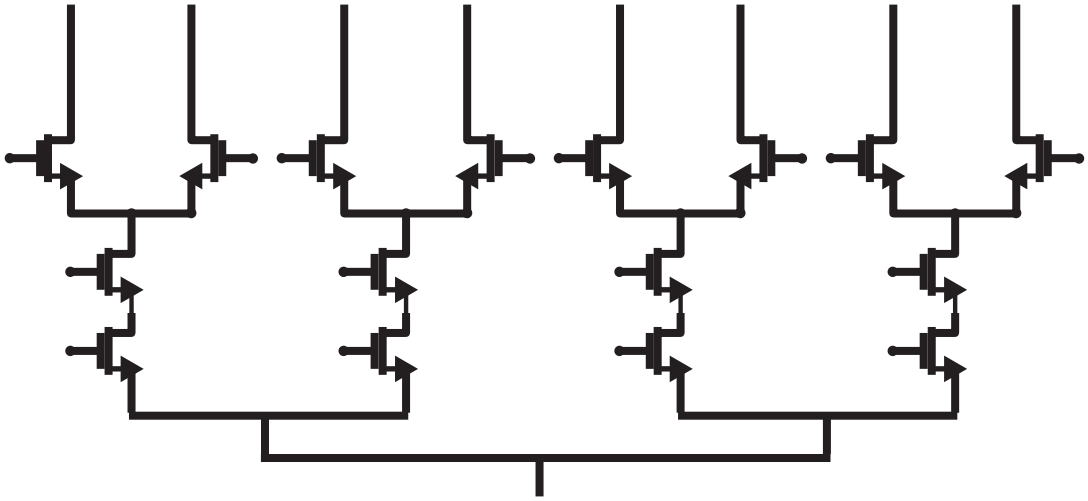

Figura 2.11: Rete di distribuzione dell'alimentazione ad albero binario

si può valutare nel seguente modo

$$\frac{\sigma_I^2}{I^2} = \frac{1}{WL}\left(A_\beta^2 + \frac{4A_{V_{th}}^2}{(V_{gs} - V_{th})^2}\right) \tag{2.11}$$

dove $A_{V_{th}}^2$,A_β^2 sono costanti dipendenti dalla tecnologia, W ed L sono le dimensioni geometriche dei transistori e $V_{gs} - V_{th}$ è la loro tensione di overdrive.
In questa formula si nota che i due fattori fondamentali, che determinano fluttuazioni casuali della corrente in un MOS, sono la variabilità della soglia V_{th} e del cosiddetto fattore β. Entrambi vanno, dunque, minimizzati agendo sui parametri sotto controllo del progettista, cioè le dimensioni dei MOS e la tensione di overdrive. In particolare, è evidente che devono essere necessariamente aumentati la tensione di overdrive e le dimensioni dei dispositivi.
Occorre quantificare i fenomeni appena descritti, al fine di ottenere un dimensionamento corretto dei MOS. Partendo dalla struttura in figura 2.5, si considera che, poichè, nella (2.11), la $\frac{\sigma_I^2}{I^2}$ dipende dall'area W*L, a parità di overdrive, aree uguali determinano deviazioni standard uguali. Quindi l'INL non dipende dal tipo di segmentazione, essendo X celle elementari, in configurazione current steering, al primo ordine, equivalenti ad un unica cella, X volte più grande di quella elementare. Inoltre, per le ipotesi fatte in precedenza sulla statistica dei mismatches, le variabili aleatorie, che descrivono l'andamento delle correnti dei generatori di coda, sono tra loro indipendenti. Mettendo insieme le due cose è possibile calcolare l'INL relativo associato ai mismatches, indicato con INL_{mis}

$$INL_{mis} = \sqrt{2^N} * \frac{\sigma_{I_{\frac{LSB}{2}}}}{I_{\frac{LSB}{2}}} \tag{2.12}$$

con N risoluzione del convertitore e $\frac{\sigma_{I_{\frac{LSB}{2}}}}{I_{\frac{LSB}{2}}}$ deviazione standard relativa della variabile aleatoria $I_{\frac{LSB}{2}}$.
Per avere una statistica sufficientemente robusta, si considera, nella (2.12), il valore 3σ, in modo da contenere il 99,7% di tutti i possibili casi. A questo punto si impone il vincolo sulla INL_{mis}, che si desidera pari, al massimo, a $\frac{0.5*LSB}{LSB}$, ottenendo la condizione sulla deviazione standard relativa

$$\sqrt{2^N} * \frac{3\sigma_{I_{\frac{LSB}{2}}}}{I_{\frac{LSB}{2}}} \leq 0.5 \tag{2.13}$$

da cui deriva

$$\frac{\sigma_{I_{\frac{LSB}{2}}}}{I_{\frac{LSB}{2}}} \leq \frac{0.5}{3\sqrt{2^N}} \simeq 0.5\% \tag{2.14}$$

Il passo successivo consiste nel ricorrere all' analisi Montecarlo, in ambiente Cadence Virtuoso, al fine di valutare la $\frac{\sigma_{I_{\frac{LSB}{2}}}}{I_{\frac{LSB}{2}}}$ del circuito in esame. Si utilizzano, come valori di partenza per il dimensionamento, i valori minimi, imposti dalla tecnologia 32 nm, sia per gli interruttori sia per il generatore di coda, il quale viene polarizzato, tramite un generatore di tensione ideale, in modo da avere una corrente di 10μA. Poi si aumentano i valori di W ed L del generatore di coda, mantenendo gli interruttori uguali, fino a quando non è soddisfatta la condizione (2.14). Ciò accade quando

$$W = 64\mu m \tag{2.15}$$

e

$$L = 6\mu m \tag{2.16}$$

e tale dimensionamento è mostrato in figura 2.12. Il risultato dell'analisi Montecarlo è presentato nell'istogramma di figura 2.13, e mette in evidenza il valore di $\sigma_{I_{\frac{LSB}{2}}}$. Pertanto la specifica è soddisfatta

$$\frac{\sigma_{I_{\frac{LSB}{2}}}}{I_{\frac{LSB}{2}}} \simeq 0.3\% \tag{2.17}$$

Naturalmente questo comporta un'aumento dell'occupazione d'area, rispetto al caso di dispositivi a dimensione minima, di un fattore pari alla riduzione della varianza,

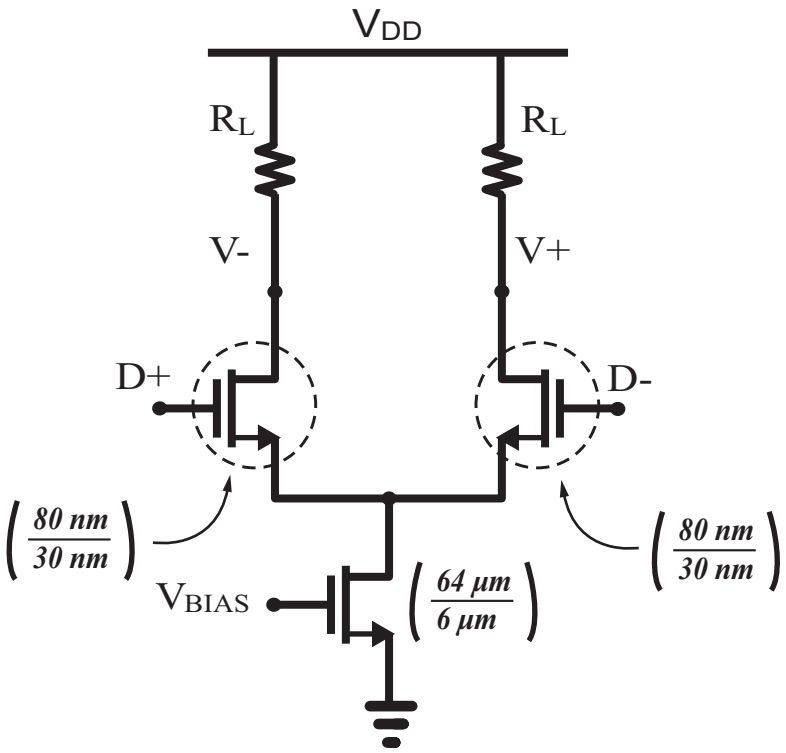

Figura 2.12: Dimensionamento finale del generatore di coda, per rispettare il vincolo sull'INL
$V_{dd} = 1V$
$R_L = 50\Omega$

associata alla $I_{\frac{LSB}{2}}$, come dimostrato in [10]

$$Area \propto \frac{1}{\left(\frac{\sigma_{I_{\frac{LSB}{2}}}}{I_{\frac{LSB}{2}}}\right)^2} \tag{2.18}$$

Quindi l'area aumenta di circa un fattore 20000, essendo W aumentata di un fattore 100 ed L di un fattore 200.
Purtroppo, il prezzo da pagare per poter rispettare la specifica sull'INL, non è solo l'occupazione di area, ma, soprattutto, come verrà spiegato fra poco, il deterioramento delle prestazioni ad alta frequenza, dovuto all'aumento delle capacità parassite. Prima di approfondire questo punto, però, è necessario verificare che il dimensionamento scelto sia in grado di soddisfare la specifica sulla distorsione da terza armonica, a bassa frequenza, che, come sarà chiarito di seguito, impone un valore minimo sulla resistenza di uscita della singola cella.

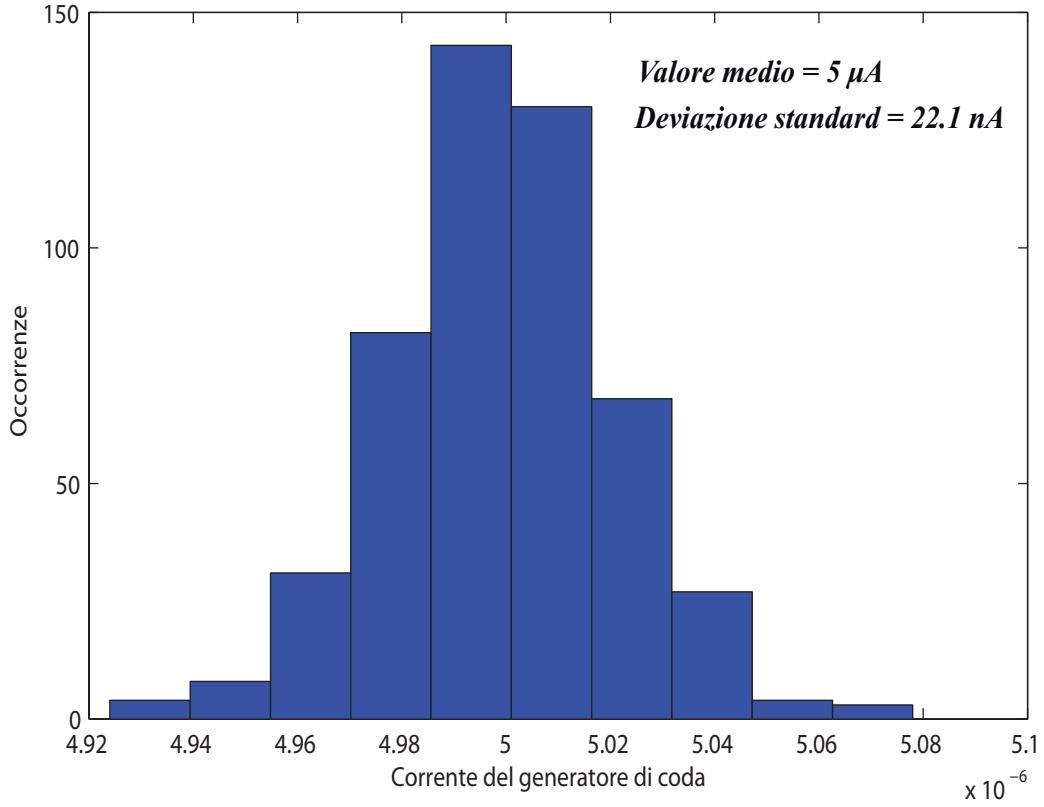

Figura 2.13: Istogramma della distribuzione di corrente $I_{\frac{LSB}{2}}$

Modulazione dell'impedenza di uscita

Per inquadrare meglio la questione, si fa riferimento alla figura 2.14, valida a bassa frequenza. Si nota che quando un interruttore si accende, esso connette una resistenza di valore fissato al nodo di uscita, mentre quando si spegne tale resistenza diventa estremamente elevata. Per cui la resistenza totale al nodo di uscita è la combinazione, in parallelo, di tutte quelle associate alle celle accese e, quindi, risulta essere modulata dal segnale d'ingresso. In sostanza la corrente di uscita del DAC, dipendente dal codice di ingresso, viene convertita in tensione tramite una resistenza, il cui valore è determinato dal parallelo di una resistenza di carico e della resistenza di uscita del DAC, la quale dipende dal codice d'ingresso. Il tutto risulta in una distorsione, ovviamente di terza armonica, quantificabile tramite il massimo INL relativo, ossia normalizzato al valore massimo della tensione di uscita, o la distorsione da terza armonica [2]

$$HD_3 = \left(\frac{NR_L}{4R_0}\right)^2 \tag{2.19}$$

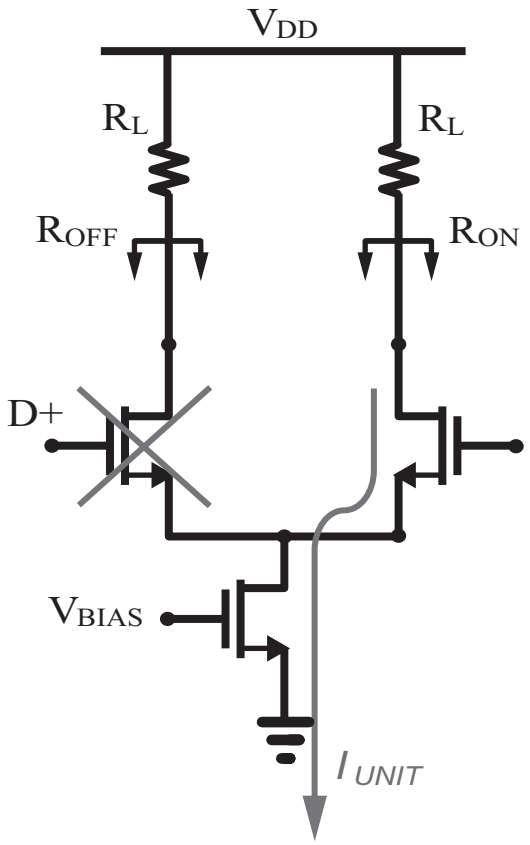

Figura 2.14: Cella di corrente sbilanciata: differenze tre le resistenze di uscita single-ended

dove N è il numero totale di generatori di corrente, R_L è la resistenza di carico esterna e R_0 è la resistenza di uscita finita del generatore di corrente.
Prima di proseguire oltre, si riporta la dimostrazione della (2.19), data l'importanza del risultato.
La struttura, nel suo complesso, può essere analizzata tramite il semplice modello in figura 2.15, in cui sono presenti N generatori di corrente ideali, ognuno di valore I_0, ma con resistenza di uscita finita e pari a R_0. Il parametro n indica il codice digitale in ingresso e quindi

$$-N \leq n \leq N \tag{2.20}$$

A seconda del valore assunto da n, varia il numero di generatori di corrente connessi ai due nodi di uscita, e, di conseguenza, anche il numero di resistenze di uscita, connesse in parallelo al carico R_L. Questo implica distorsione, essendo il carico totale dipendente dal codice d'ingresso. Definisco $V_{out} = V^+ - V^-$.

$$V_+ = (\frac{N+n}{2}) I_0 (R_L // \frac{2R_0}{N+n}) = \frac{(N+n) I_0 R_L R_0}{(N+n) R_L + 2R_0} \tag{2.21}$$

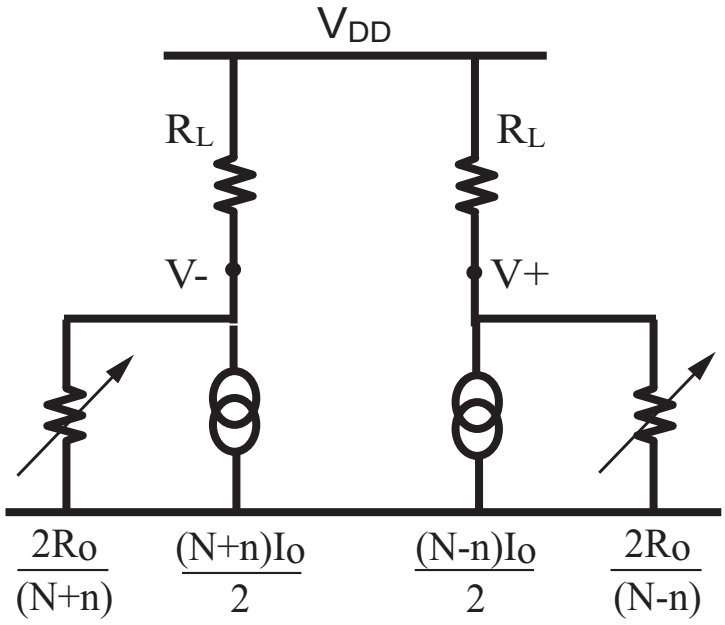

Figura 2.15: Modello semplificato del DAC, per studiare l'effetto della resistenza di uscita finita, dei generatori di corrente, sulla linearità a bassa frequenza

$$V_- = (\frac{N-n}{2})I_0(R_L//\frac{2R_0}{N-n}) = \frac{(N-n)I_0R_LR_0}{(N-n)R_L+2R_0} \tag{2.22}$$

da cui deriva

$$V_{out} = V_+ - V_- = I_0R_LR_0\left[\frac{(N+n)}{(N+n)R_L+2R_0} - \frac{(N-n)}{(N-n)R_L+2R_0}\right] \tag{2.23}$$

e, facendo le opportune semplificazioni, si ottiene

$$V_{out} = NI_0R_L\left[\frac{n}{N} + \left(\frac{n}{N}\right)^3\left(\frac{NR_L}{2R_0}\right)^2\right] \tag{2.24}$$

quindi, in conclusione, considerando il caso $n = N$, si ritorna alla 2.19.
Per verificare se la specifica sull'HD_3 è rispettata, occorre valutare la R_0. Data la resistenza di uscita, $r_{0_{gen}}$, del generatore di coda, e la resistenza di Early, $r_{0_{int}}$, dell'interruttore, al primo ordine si ha

$$R_0 \simeq g_{m_{int}}r_{0_{int}}r_{0_{gen}} \tag{2.25}$$

con $g_{m_{int}}$ tranconduttanza degli interruttori. Non è altro che la solita espressione della resistenza di uscita di un generatore di corrente, degenerato sul source. Inserendo i valori numerici, e verificando la bontà della stima della 2.25, tramite una

simulazione in ambiente Cadence Virtuoso, si arriva a

$$R_0 \simeq 126M\Omega \tag{2.26}$$

che comporta

$$HD_3 \simeq -126dBc \tag{2.27}$$

valore che soddisfa il vincolo imposto sull'HD_3.
Ovviamente, avere le dimensioni della coda così elevate determina un'aumento della capacità parassita al source degli interruttori. In particolare, considerando, al primo ordine, che le capacità, afferenti a tale nodo, aumentino linearmente con la larghezza W del canale, è chiaro che si verifica un aumento considerevole del peso capacitivo, di circa un fattore 100, rispetto al caso di coda minima. Ciò rappresenta un grosso problema ad alta frequenza, per i motivi che ora saranno spiegati.
E' chiaro che tutto il ragionamento, precedentemente svolto, riguardante la resistenza di uscita, è valido solo a bassa frequenza e perde di significato ad alta frequenza, dove l'impedenza di uscita del DAC si riduce a causa della presenza delle capacità parassite, le quali diventano dominanti sulle componenti resistive. Questa riduzione non è di per sè deleteria, dal punto di vista della non linearità, in quanto, come già spiegato, quest'ultima tende a degradarsi solamente nel caso in cui ci sia una variazione dell' impedenza di uscita al variare del codice d'ingresso. Pertanto il termine rilevante, ai fini della distorsione, è solo quella parte dell'impedenza di uscita che varia al variare del codice d'ingresso. Qualunque elemento di valore fissato e indipendente dalla parola in ingresso non produce alcuna distorsione. Quindi, poichè il funzionamento della cella prevede, a regime, che soltanto uno dei due interruttori sia acceso, si crea un inevitabile sbilanciamento impedenziale, dominato, ad alta frequenza, dalla componente capacitiva. Ecco perchè l'elemento che va considerato, per quantificare la distorsione da terza armonica, è la differenza ΔC tra la capacità C_{ON}, vista dal nodo di uscita con interruttore acceso, e la capacità C_{OFF}, vista dal nodo di uscita con interruttore spento. Come si può notare dalla figura 2.16, le capacità che entrano in gioco in questo discorso, al di sopra di una certa frequenza, sono quelle di uscita, indicate con C_{par}, e la solita C_0, introdotta precedentemente. Pertanto la differenza ΔC è dovuta, principalmente, alla capacità di coda C_0, la quale sarà presente nella C_{ON} e assente nella C_{OFF}. Quindi, per quantificare la distorsione da terza armonica a tutte le frequenze, è sufficiente partire da questo concetto e sostituire, nella 2.19, le impedenze alle resistenze, tenendo conto che la Z_0 è pari al reciproco della differenza tra le ammettenze dei due nodi di uscita della singola cella, per ottenere la distorsione di terza armonica HD_3, al variare della

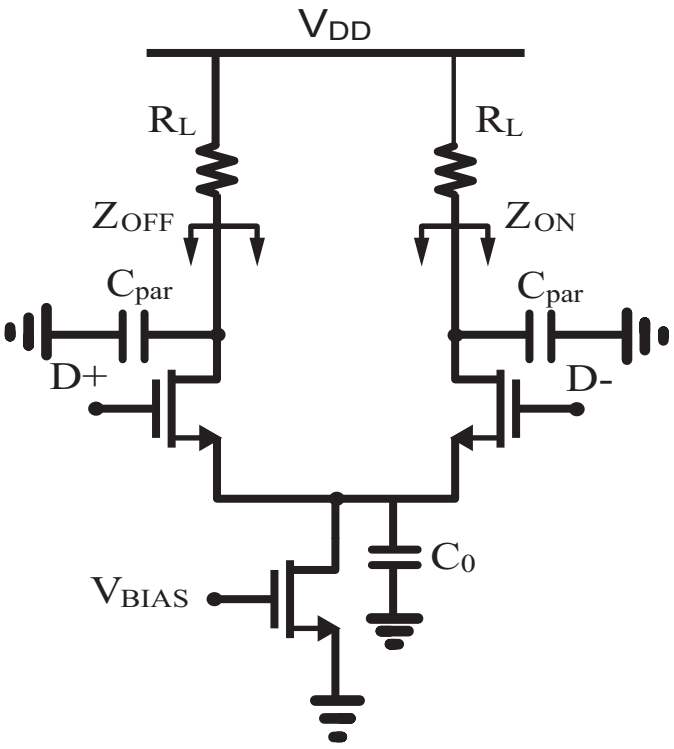

Figura 2.16: Distorsione di terza armonica associata all'impedenza di uscita: capacità parassite evidenziate nella cella di corrente
C_{par} è la capacità parassita di uscita
C_0 è la capacità parassita al source degli interruttori

frequenza

$$HD_3 = \left(\frac{NZ_L}{4Z_0}\right)^2 \tag{2.28}$$

in cui, chiaramente, Z_0 coincide con R_0 a bassa frequenza e con il reciproco della differenza tra le capacità di uscita, $\Delta C = C_{ON} - C_{OFF}$, ad alta frequenza.
Dalla (2.28) deriva una importante linea guida progettuale, messa in pratica già nelle figure 2.9, 2.11 e 2.10: per ridurre la distorsione dovuta all'impendeza di uscita del DAC, è necessario che la capacità parassita C_0 sia resa minima, e, proprio per questo motivo, si ricorre all'utilizzo di un generatore di corrente (di coda) in configurazione cascodata. La nuova cella è mostrata in figura 2.17. Tale soluzione permette di ridurre fortemente il peso della capacità associata al drain del generatore di corrente, la quale, ora, contribuisce ancora alla C_0, ma attenuata per il fattore $g_{m_{cas}} r_{0_{cas}}$, con $g_{m_{cas}}$ ed $r_{0_{cas}}$, rispettivamente, transconduttanza e resistenza di Early del cascode. Chiaramente, nel termine C_0 sarà presente anche la capacità di drain associata al cascode, ma, poichè quest'ultimo viene realizzato con dimensioni vicine a quelle minime, nel complesso si spera che la C_0 diminuisca e migliorino le prestazioni in termini di linearità. Inoltre, per le note proprietà di questa configurazione, non c'è

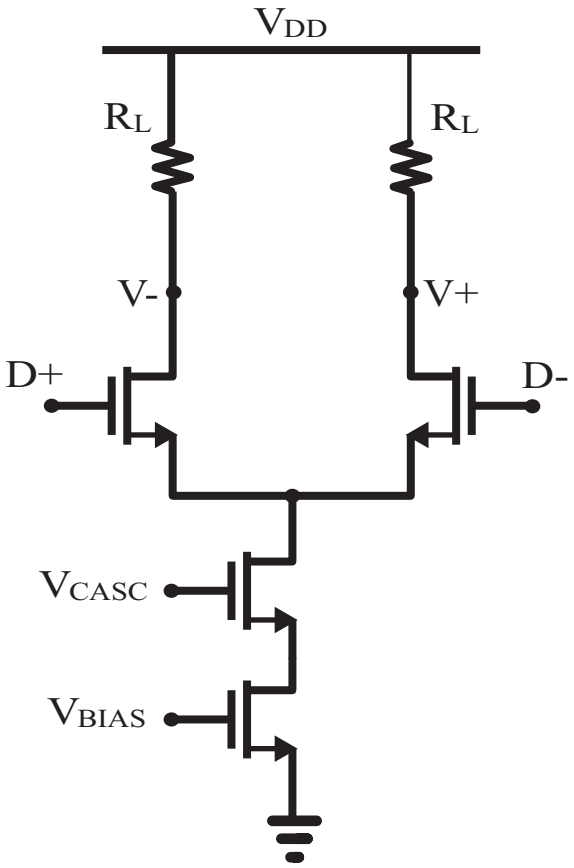

Figura 2.17: Cella di corrente con generatore di corrente in configurazione cascodata: riduzione della capacità al nodo di drain del cascode

alcun peggioramento riguardante il mismatch nè il rumore.
A questo punto si dimostra quantitativamente che la soluzione adottata comporta un miglioramento. Innanzitutto si calcola il ΔC massimo per ottenere un HD_3 di -80 dBc alla frequenza di 10 MHz, scelta non molto alta per capire se la limitazione è forte già a media frequenza

$$HD_3 = \left(\frac{NR_L 2\pi f \Delta C}{4}\right)^2 \leq -80dBc \tag{2.29}$$

da cui

$$\Delta C \leq 250aF \tag{2.30}$$

Si verifica se, effettivamente, la soluzione con un semplice generatore di coda riesce a soddisfare la 2.30, calcolando l'andamento delle impedenze di uscita Z_{ON} e Z_{OFF} (quelle in figura 2.16), e valutando il ΔC. I risultati sono mostrati in figura 2.18. Il ΔC, a 10 MHz, si ottiene facilmente dal primo grafico, calcolando le due capacità

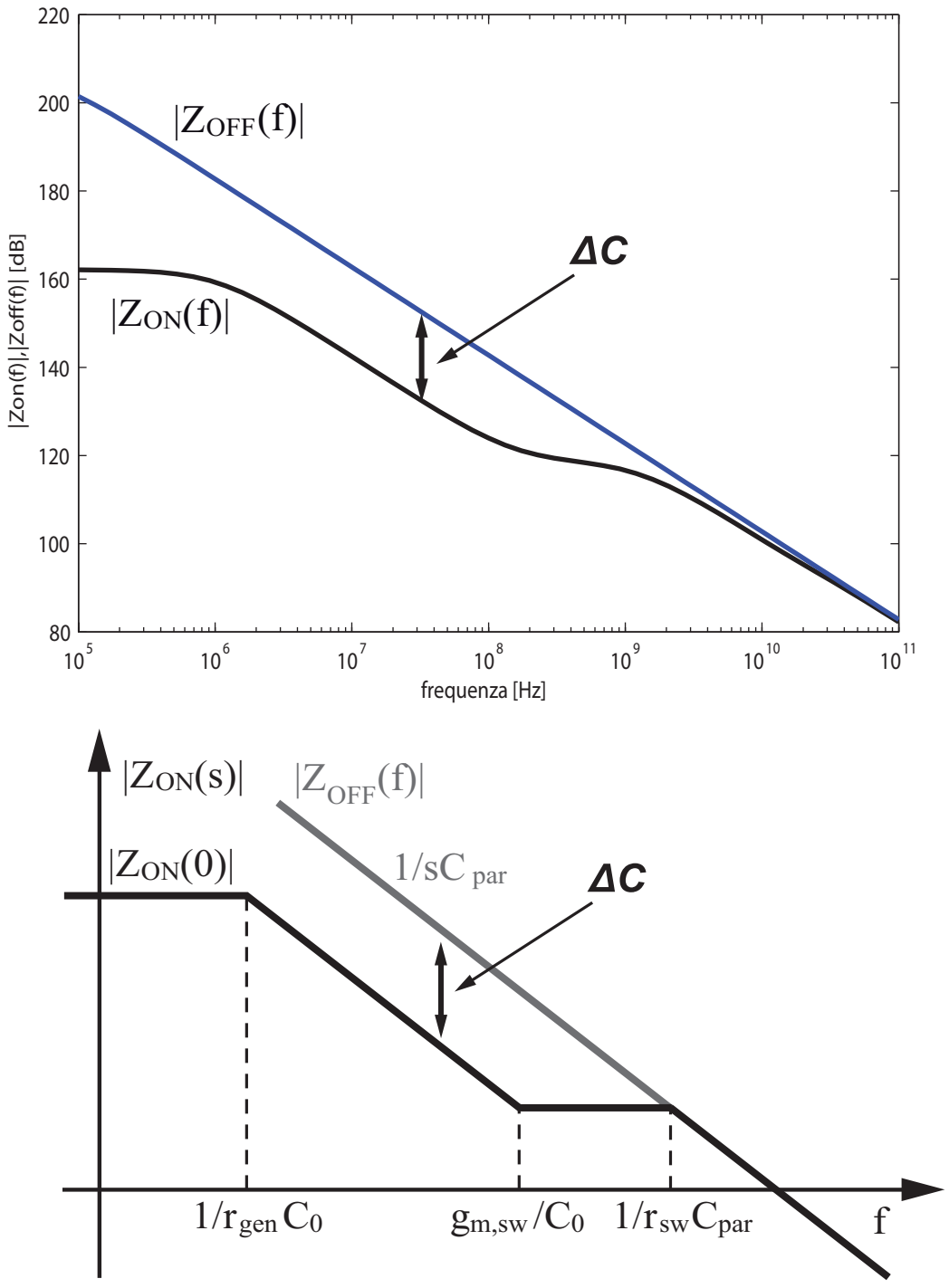

Figura 2.18: Andamento in frequenza delle impedenze ai nodi di uscita: calcolo del ΔC
Il primo grafico è ottenuto da una simulazione in ambiente Cadence Virtuoso
Il secondo grafico rappresenta l'andamento atteso, analizzando il circuito
r_{gen} ed r_{sw} sono le resistenze rispettivamente al drain del cascode e ai nodi di uscita
$g_{m,sw}$ è la transconduttanza degli interruttori

equivalenti ai nodi di uscita, secondo le ipotesi

$$|Z_{ON}(f)| = \left| \left(R_{ON} // \left(\frac{1}{sC_{ON}} \right) \right) \right| \simeq \frac{1}{\omega C_{ON}} \tag{2.31}$$

$$|Z_{OFF}(f)| = \left| \left(R_{OFF} // \left(\frac{1}{sC_{OFF}} \right) \right) \right| \simeq \frac{1}{\omega C_{OFF}} \tag{2.32}$$

da cui deriva

$$C_{ON} = \frac{1}{2\pi f} \frac{1}{10^{\frac{Z_{ONdB}}{20}}} \simeq 1.19fF \tag{2.33}$$

$$C_{OFF} = \frac{1}{2\pi f} \frac{1}{10^{\frac{Z_{OFFdB}}{20}}} \simeq 116aF \tag{2.34}$$

e quindi

$$\Delta C \simeq 1fF \tag{2.35}$$

valore estramente elevato.

Purtroppo, anche passando alla soluzione con generatore cascode e svolgendo la stesso tipo di analisi, non si rientra nelle specifiche imposte dall'HD_3, poichè la capacità C_0 risulta eccessivamente grande. La logica soluzione a questo problema è la riduzione delle dimensioni della coda, con conseguente aumento della INL dovuta ai mismatch. Per riuscire a superare questo compromesso, si ricorre ad un algoritmo di correzione digitale dell'errore, che permette di ridurre le dimensioni dei MOS, senza intaccare le non linearità a bassa frequenza. Il sistema, che ne deriva, è presentato nel capitolo successivo.

Capitolo 3

Progetto del DAC secondo l'approccio digital assisted

In questo capitolo si descrive, in modo dettagliato, il progetto del DAC basato sull'approccio digital assisted. Dopo aver introdotto, dal punto di vista globale, il sistema di correzione digitale adottato, si mette in risalto il grosso vantaggio che ne deriva, ossia il superamento del compromesso tra prestazioni a bassa e ad alta frequenza. L'algoritmo di correzione, infatti, permette di ridurre l'impatto delle non linearità statiche, consentendo un dimensionamento dei dispositivi, basato esclusivamente sulla minimizzazione delle non linearità dinamiche. Pertanto si procede con la descrizione dei passi in cui si articola il progetto vero e proprio: dapprima il dimensionamento della cella elementare e del circuito di polarizzazione, e, successivamente, dopo una breve panoramica sugli errori dinamici, il dimensionamento del driver e del circuito di sincronismo. Infine vengono mostrare, in una tabella, le prestazioni raggiunte dal DAC, senza alcuna correzione digitale.

3.1 L'approccio digital assisted

Nel capitolo precedente si è dimostrato, quantitativamente, che l'approccio classico al dimensionamento del generatore di coda, nella cella di corrente, non consente di raggiungere delle buone prestazioni in termini di distorsione, già a 10 MHz. Questo accade a causa del deterioramento della non linearità legato alle dimensioni eccessive della coda. D'altro canto, queste ultime derivano dalla ovvia necessità di ridurre l'impatto dei mismatches statici sulla INL. Per riuscire a superare questo compromesso, si può ricorrere all'approccio *digital assisted*, basato su una correzione digitale dell'errore dovuto ai mismatches statici, e implementato tramite un sistema complesso, mostrato in figura 3.1, all'interno del quale è inserito il DAC progetta-

to. L'approfondimento degli argomenti riguardanti questa struttura non costituisce argomento della presente tesi, pertanto ci si limita a riportare le nozioni, giudicate importanti, ai fini della comprensione delle tematiche trattate successivamente. In

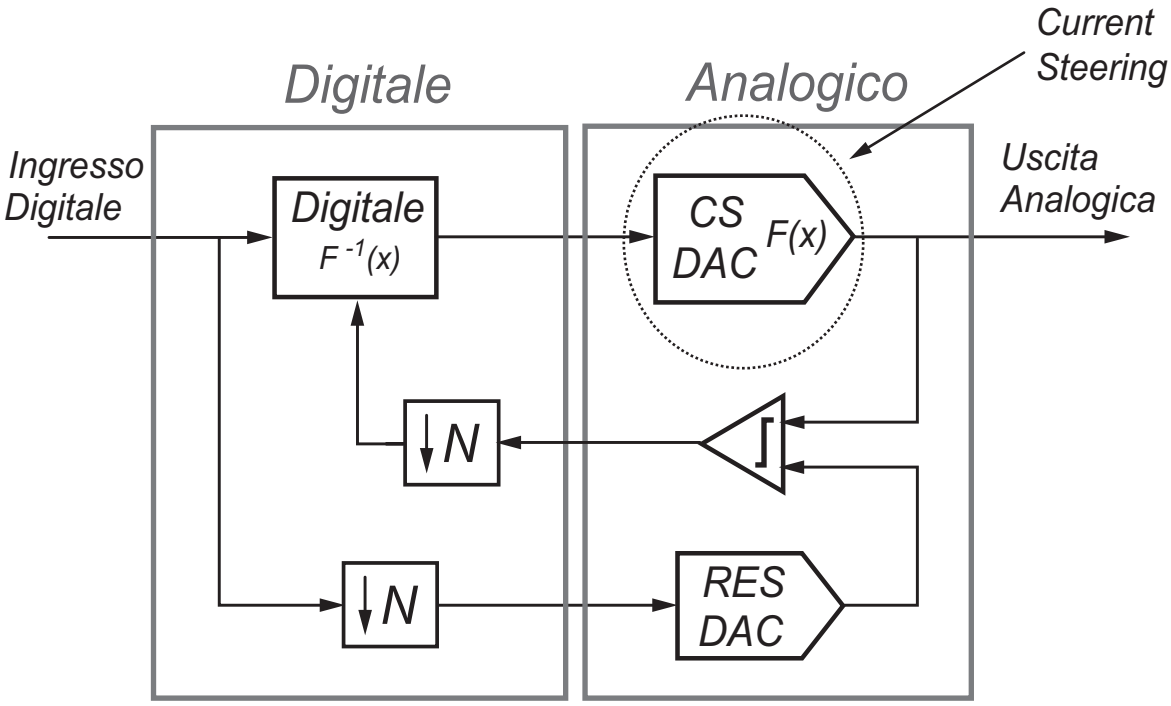

Figura 3.1: Sistema usato per la correzione digitale dell'errore dovuto ai mismatches statici, con DAC current steering in primo piano

sostanza, l'uscita del DAC "veloce", cioè a 2.5 GS/s, viene confrontata con quella di un DAC "lento", resistivo e, quindi, estremamente preciso, per mezzo di un semplice comparatore. Il segnale errore, prodotto da quest'ultimo, viene invitato ad un filtro adattativo, il quale, a sua volta, genera l'ingresso del DAC veloce. La reazione negativa tende ad annullare il segnale errore e, pertanto, a fare in modo che i due DAC abbiano la stessa uscita. Quindi il DAC lento, opportunamento progettato, fa da riferimento per quello veloce, permettendo la correzione degli errori statici. I blocchi, indicati con la freccia e la N, sono dei sottocampionatori, indispensabili al fine di effettuare un confronto corretto. In figura 3.2 è riportato il modello semplificato del DAC resistivo, mentre in figura 3.3 è illustrata la correzione digitale sul singolo elemento. La sequenza d'ingresso $s(k)$ viene inviata ad un moltiplicatore, dove è moltiplicata per un coefficiente correttivo c, ed al DAC resistivo, di guadagno noto g_0. Al comparatore giungono, quindi, due sequenze, una nota, $g_0 s(k)$, ed una non nota, $cg_1 s(k)$, che coincide con l'uscita del DAC veloce, di guadagno g_1. Proprio dalla differenza tra queste due sequenze, viene generato il segnale errore $e(k)$, da cui, tramite un'operazione di integrazione(digitale), si ottiene il coefficiente di correzione

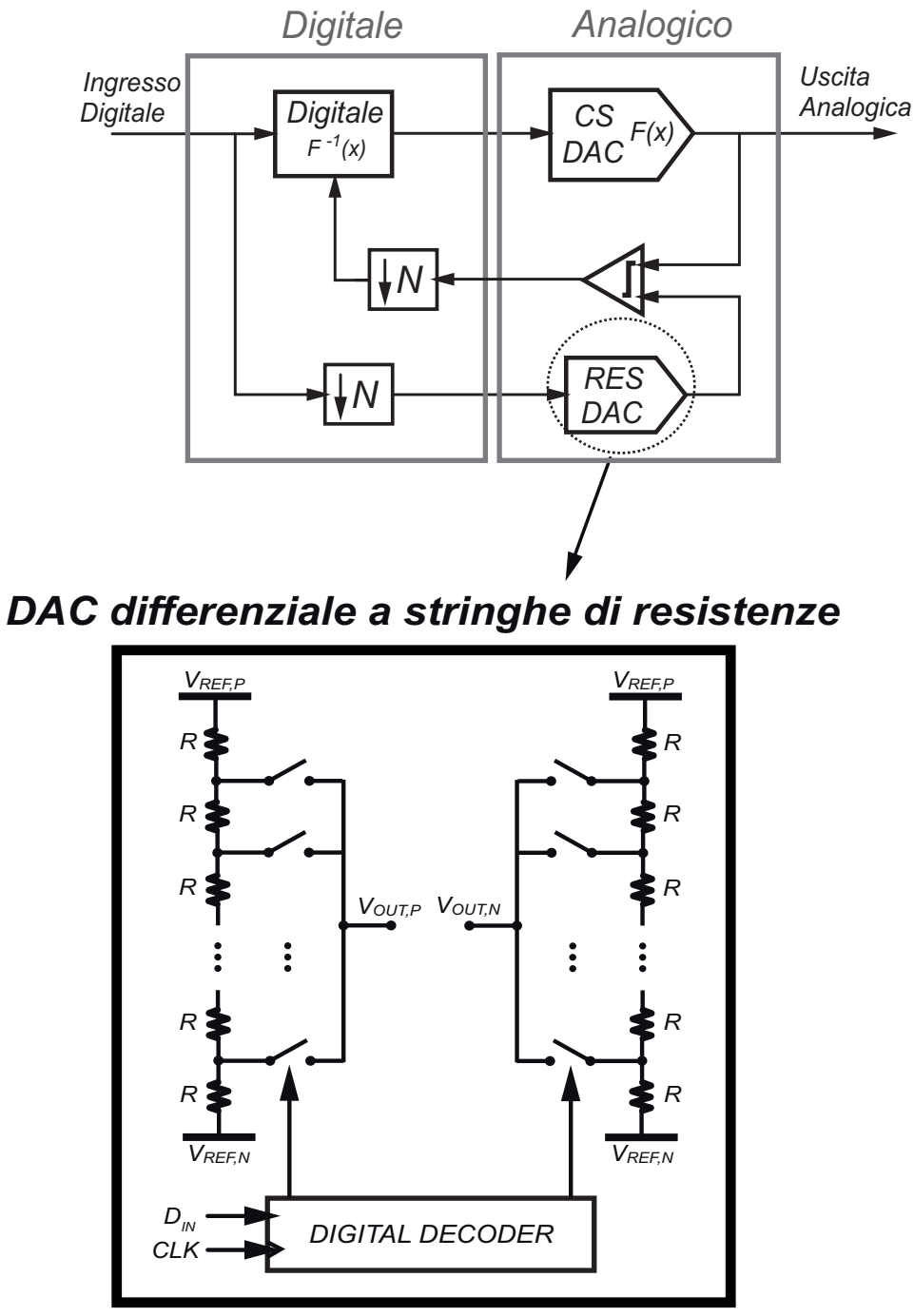

Figura 3.2: Sistema usato per la correzione digitale dell'errore dovuto ai mismatches statici: modello del DAC resistivo

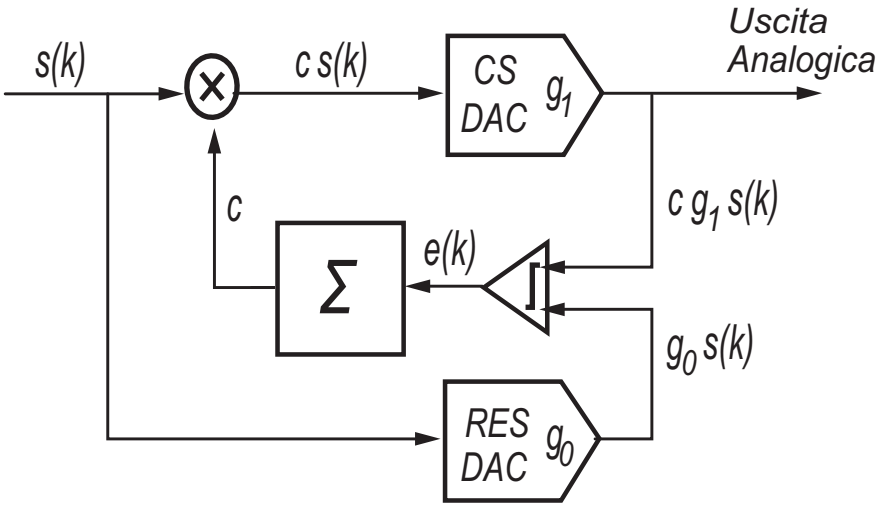

Figura 3.3: Correzione digitale sul singolo elemento

c. Quindi, a regime, la reazione tende ad annullare il valore medio dell'errore, che equivale a imporre la seguente condizione

$$cg_1 s(k) = g_0 s(k) \tag{3.1}$$

da cui si ottiene il coefficiente c

$$c = \frac{g_0}{g_1} \tag{3.2}$$

In conclusione il guadagno del DAC veloce tende a seguire quello del DAC lento, che è estremamente preciso, garantendo delle prestazioni elevate, in termini di INL a bassa frequenza.

3.1.1 Dimensionamento della cella di corrente

Sfruttando le potenzialità offerte dal sistema di correzione, si può dimensionare la cella elementare, ed in particolare il generatore di corrente, tralasciando gli aspetti riguardanti i mismatch dinamici, e ottimizzando il tutto, allo scopo di ridurre l'impatto della modulazione di impedenza. La scelta di utilizzare un generatore cascode risulta, in ogni caso, la migliore ed il motivo è molto semplice: a bassa frequenza l'INL viene degradato non solo dai mismatch, ma anche dalla distorsione da terza armonica, dovuta alla resistenza di uscita finita del DAC. Nel capitolo precedente, è stato dimostrato che tale non idealità riduce il proprio impatto sull'HD_3, al crescere della resistenza di uscita R_0; quindi la presenza del MOS, in configurazione cascode, è di fondamentale importanza. Inoltre aiuta, in ogni caso, a migliorare le prestazioni a media ed alta frequenza, riducendo il ΔC tra le capacità viste ai nodi di uscita.
Per dimensionare correttamente tutti i MOS della cella di corrente, è necessario pri-

ma introdurre il circuito di polarizzazione. Data la ridotta tensione di alimentazione, imposta dalla tecnologia ad 1V, la scelta migliore sembra essere la struttura a "specchio di corrente " mostrata in figura 3.4 , in quanto permette di avere una migliore dinamica ("headroom") di tensione. Per approfondimenti si rimanda a [11]. Essa

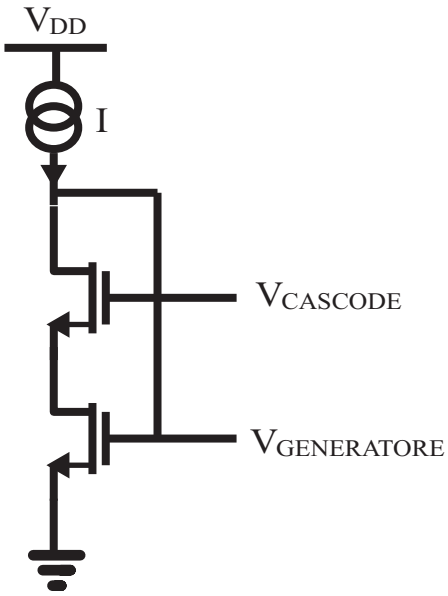

Figura 3.4: Circuito di polarizzazione

genera le tensioni sul gate dei generatori di corrente, mentre la tensione sul gate dei cascode è fornita da un generatore esterno, il cui valore viene scelto in modo da avere MOS bene accesi, con un overdrive sufficiente, e in modo da minimizzare l'errore di specchiamento. Quest'ultima condizione viene ottenuta, come si nota dalla figura 3.5, cercando di ridurre la differenza tra i potenziali dei nodi A e B. Solo in questo modo, infatti, le due correnti I_1 e I_2 sono molto simili tra loro. La corrente I_1 viene fornita da un generatore esterno, il cui valore viene ricavato, come si vedrà dopo, da ragionamenti riguardanti il rumore e l'errore di specchiamento.
Il primo passo da compiere è dimensionare la cella di corrente minima, ossia quella associata al mezzo LSB. Affinchè il sistema di correzione sia veramente utile, si deve, comunque, imporre che il generatore non sia minimo, altrimenti l'accuratezza risulterebbe eccessivamente scarsa e la correzione non avrebbe l'effetto desiderato. Si è verificato che un INL intorno ai 5 LSB, senza alcuna correzione, sia un valore accettabile. Quindi, prendendo in considerazione le idee esposte in [3], si decide per il seguente dimensionamento: il generatore grande per un'accuratezza minima, il cascode largo a sufficienza per sopportare la corrente e gli interruttori vicini al minimo. Partendo da

$$V_{casc} = 750mV \tag{3.3}$$

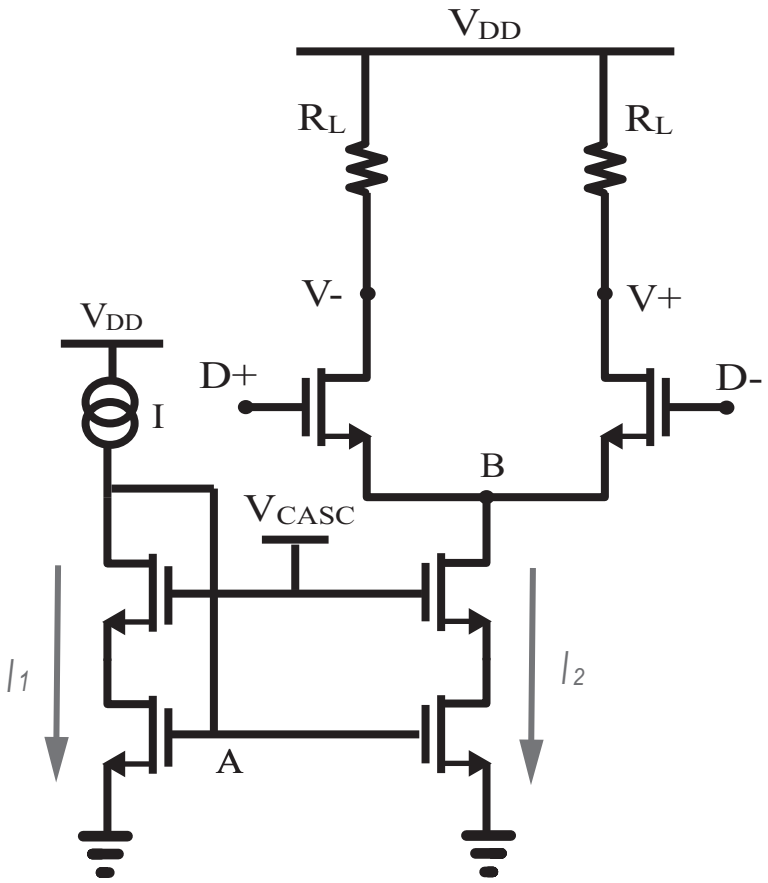

Figura 3.5: Cella di corrente e circuito di polarizzazione: scelta della Vcasc

e

$$I = 5\mu A \tag{3.4}$$

le specifiche sull'HD_3, a bassa ed alta frequenza, impongono i valori di resistenza di uscita R_0 e differenza di capacità ΔC

$$R_0 \geq 687.5K\Omega \tag{3.5}$$

e

$$\Delta C \leq 250aF \tag{3.6}$$

Prendendo un pò di margine sulla resistenza, dalle simulazioni effettuate, su tutti i corners, risulta che il caso pessimo è SS-RMAX-CMAX, ossia quello caratterizzato da MOS lenti e parassitismi, resistivi e capacitivi, massimi, con temperatura di $27°C$, da cui si ottiene

$$\left(\frac{W}{L}\right)_{GEN} = \left(\frac{W}{L}\right)_{CASC} = \frac{640nm}{60nm} \tag{3.7}$$

$$\left(\frac{W}{L}\right)_{M_3} = \left(\frac{W}{L}\right)_{M_4} = \frac{160nm}{30nm} \tag{3.8}$$

e, per simmetria

$$\left(\frac{W}{L}\right)_{M_1} = \left(\frac{W}{L}\right)_{M_2} = \frac{640nm}{60nm} \tag{3.9}$$

con M_1, M_2, M_3, M_4 indicati in figura 3.6.

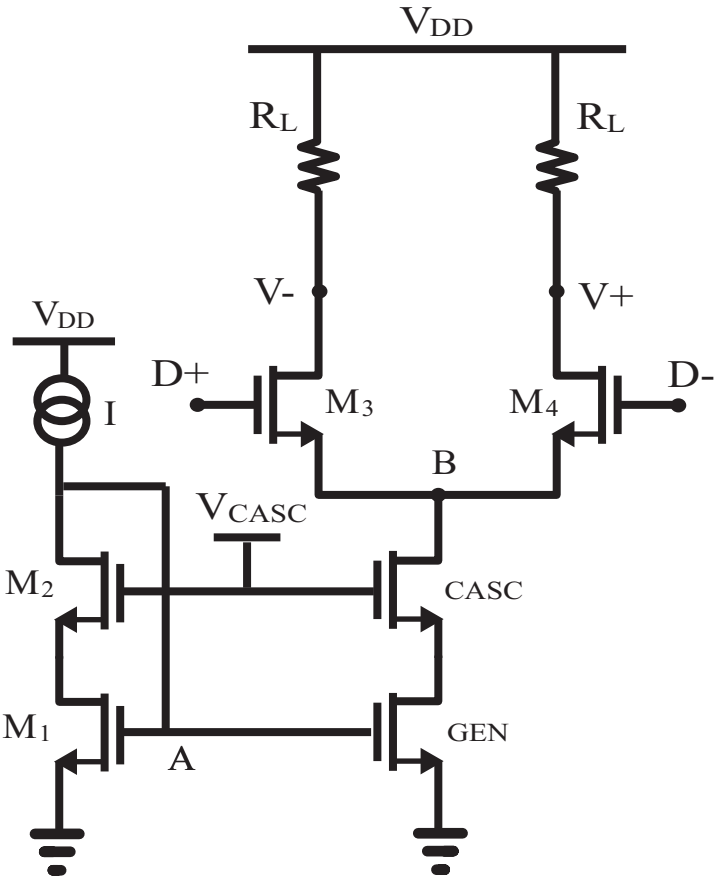

Figura 3.6: Cella di corrente e circuito di polarizzazione: dimensionamento iniziale

In questo modo, però, il ΔC, valutato nel caso pessimo di uscite sbilanciate (una a 1V e l'altra a 0.75V), a 10 MHz, è già di circa 200 aF. Inoltre, effettuando le simulazioni della DC su tutti i corner, si nota che il caso pessimo, cioè quello in cui l'errore di specchiamento è massimo e le V_{DS} sui MOS sono minime, corrisponde ancora una volta a SS-RMAX-CMAX con temperatura di $27°C$. In queste condizioni, l'errore di specchiamento, $\epsilon_{\%}$, nella cella minima, è del 2.1%, pertanto ancora molto piccolo. Quindi, per migliorare l'HD_3, si decide di ridurre le dimensioni del cascode, al fine di ridurre il ΔC. Gli svantaggi sono, ovviamente, la riduzione della resistenza di uscita, che, comunque, resta molto elevata, e un leggero peggioramento dell'errore di specchiamento. Il dimensionamento conclusivo, della cella minima, a cui si giunge,

e i parametri fondamentali, sono indicati di seguito

$$\left(\frac{W}{L}\right)_{GEN} = \left(\frac{W}{L}\right)_{M_1} = \frac{640nm}{60nm} \tag{3.10}$$

$$\left(\frac{W}{L}\right)_{CASC} = \left(\frac{W}{L}\right)_{M_2} = \frac{240nm}{30nm} \tag{3.11}$$

$$\left(\frac{W}{L}\right)_{M_3} = \left(\frac{W}{L}\right)_{M_4} = \frac{160nm}{30nm} \tag{3.12}$$

$$I_2 = 4.88\mu A \rightarrow \epsilon_{\%} \simeq 2.4\% \tag{3.13}$$

$$\Delta C \simeq 50aF \tag{3.14}$$

$$R_0 \simeq 8M\Omega \tag{3.15}$$

a cui corrisponde un HD_3, dalla continua alla Nyquist, di almeno -80 dBc.
Sulla base dei valori appena ottenuti, si dimensionano tutte le altre celle, aumentando le W e le L, secondo fattori legati al tipo di segmentazione implementata, cioè al tipo di suddivisione adottata per il numero di bit.

3.1.2 Segmentazione: numero di bit da assegnare alla sezione MSB e alla sezione LSB

Come già spiegato nel capitolo precedente, il numero di bit da assegnare ad ognuna delle due sezioni, MSB ed LSB, è deciso in base alle caratteristiche che si vogliono privilegiare. Nel caso in esame, la presenza del sistema di correzione rilassa fortemente i vincoli imposti sull'accuratezza statica, rendendo, pertanto, superflua, in quest'ottica, la soluzione termometrica. D'altronde, quest'ultima permette di migliorare anche le prestazioni relative agli errori dinamici, che saranno analizzati nel prosieguo del capitolo. Quindi un buon compromesso sembra essere la seguente scelta

$$Sezione\, MSB \;\rightarrow\; 4\, bit \tag{3.16}$$

$$Sezione\, LSB \;\rightarrow\; 7\, bit \tag{3.17}$$

per un totale di 11 bit, come ci si aspettava a causa dell'esistenza del mezzo LSB, necessario per la correzione degli errori statici. In conclusione si può calcolare il numero di celle di corrente e il fattore moltiplicativo riguardante il dimensionamento, per ognuna di esse

- Sezione MSB: 15 celle, ognuna con dimensioni pari a 128 volte quelle della cella elementare

- Sezione LSB: 7 celle, di dimensioni crescenti secondo le potenze di 2^n, con n che va da 0 a 6

3.1.3 Scelta della corrente di polarizzazione

Il discorso riguardante la scelta della corrente di polarizzazione è stato già accennato precedentemente, ed è stato evidenziato che i parametri da considerare sono il rumore e l'errore di specchiamento. Naturalmente, ai fini delle simulazioni, va considerata l'intera struttura, costituita da tutte le 22 celle di corrente, specificate poco fa, e un blocco d'ingresso, che funge da decoder, realizzato in VerilogA. Analizzando tale circuito, si nota che la scelta migliore, riguardo all'errore di specchiamento, risulta essere

$$I = 320\mu A \tag{3.18}$$

a cui corrisponde il dimensionamento in figura 3.7 Ora non resta che valutare le

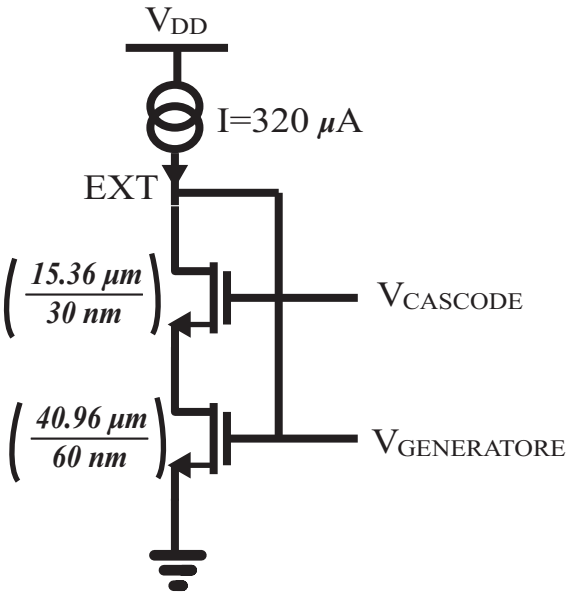

Figura 3.7: Circuito di polarizzazione: dimensionamento finale

prestazioni di rumore. In realtà, grazie alla possibilità di accedere, dall'esterno, al nodo indicato con EXT in figura 3.7, si può pensare di inserire, proprio in tale nodo, una capacità, di valore opportuno, per ridurre la banda d'integrazione del rumore e, di conseguenza la σ_{RMS} ad esso associata. In questo modo, la corrente di polarizzazione viene fissata, praticamente, solo dalla specifica sull'errore di specchiamento. Inoltre il fattore di specchiamento, che influisce sul rumore, è, in ogni caso, piuttosto basso. Dalla simulazione sul rumore effettuata in ambiente Cadence Virtuso, considerando in uscita dal DAC delle capacità aggiutive ($\simeq 1pF$), che tengono conto dei

parassitismi associati ai pad e alle connessioni, ed una capacità di 10 nF sul nodo EXT, si ha

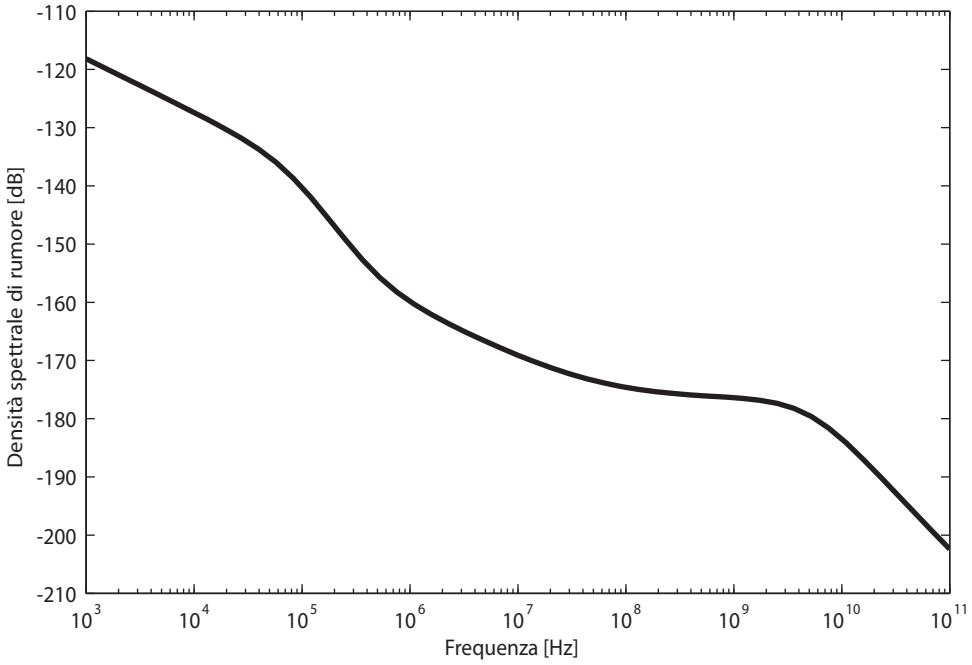

Figura 3.8: Densità spettrale di rumore in funzione della frequenza

da cui si ottiene

$$\sigma_{RMS} \simeq 165\mu V \tag{3.19}$$

che è minore di $\frac{LSB}{3}$.
Infine si riporta una tabella, la 3.9, in cui sono specificati gli errori di specchiamento relativi ad ogni cella di corrente

Cella	Corrente ideale[μA]	Corrente reale[μA]	Errore percentuale[%]
Mezzo LSB	5	3.45	31
LSB	10	6.4	36
2LSB	20	12.6	37
4LSB	40	29.9	25.2
8LSB	80	68.3	14.6
16LSB	160	150	6.2
32LSB	320	318.7	0.4
64LSB	640	661.7	3.3

Figura 3.9: Errori di specchiamento delle varie celle di corrente

3.2 Dimensionamento del driver e del circuito di sincronizzazione: analisi degli errori dinamici

Il CS DAC progettato in questa tesi è un elemento sincrono, il cui funzionamento è temporalmente scandito da un segnale di clock, generato esternamente, e ridistribuito in modo opportuno tra i vari elementi, per mezzo di una rete apposita. Ciò permette di ricorrere all'uso di elementi di memoria, nel nostro caso il latch, al fine di risincronizzare i segnali di controllo provenienti dal decoder termometrico o dall' equalizzatore di ritardo. Il vantaggio è notevole: viene, di fatto, eliminata l'indesiderata variabilità temporale delle forme d'onda, introdotta, ad esempio, dal diverso numero di porte attraversate durante il percorso e dalle differenti lunghezze delle linee di interconnessione. Il latch, mostrato in figura 3.10, deve ovviamente essere del tipo "differenziale " , ossia fornire un segnale in grado di pilotare correttamente la cella di corrente. Il funzionamento viene descritto brevemente. La configurazione adottata è quella classica, cioè con due invertitori connessi in modo da avere un sistema globalmente reazionato in modo positivo. Il clock e il segnale di controllo (la cui tensione è indicata con
"V_{DATO} " in figura 3.10) pilotano due NMOS connessi in serie tra di loro, la cui presenza rende asimmetrico il comportamento del circuito sulle due possibili com-

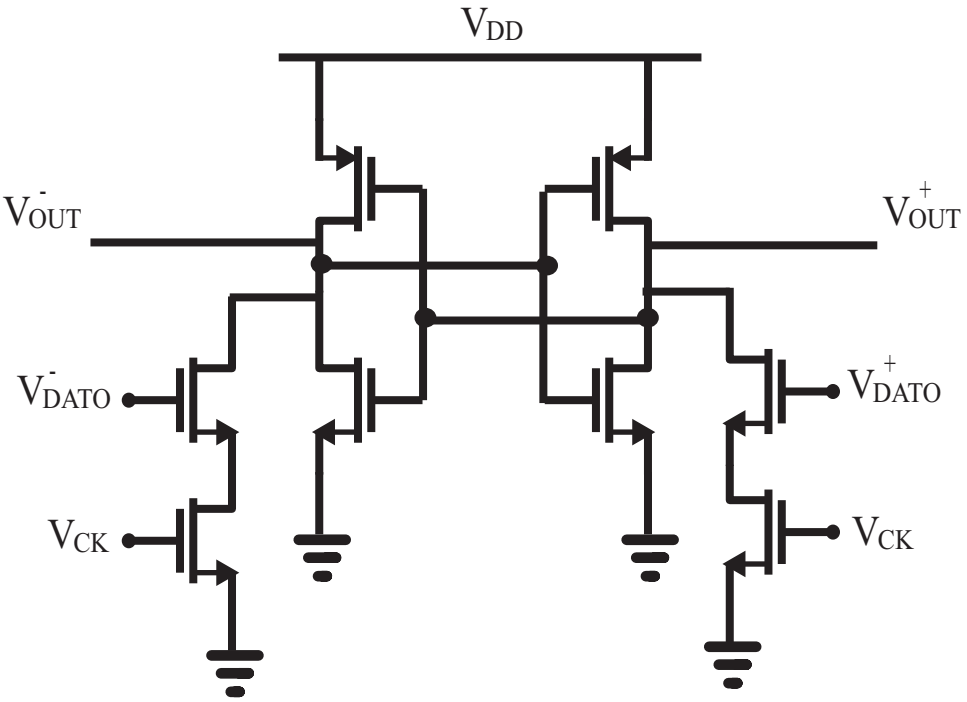

Figura 3.10: Latch differenziale: schema base

mutazioni alto-basso e basso-alto. Infatti la rete di pull-up e quella di pull-down hanno due "forze " diverse e ciò ha importanza ai fini del dimensionamento, che, come vedremo, da un lato deve consentire la commutazione del latch, e dall'altro deve imporre una uguaglianza dei tempi di commutazione, almeno al primo ordine. I segnali di controllo uscenti dal latch non sono in grado di pilotare efficacemente le capacità associate al gate degli interruttori. Infatti, per come è strutturato il DAC, ci saranno delle celle di corrente di dimensioni piuttosto elevate, quelle associate alla sezione MSB, a cui corrisponderanno capacità altrettanto considerevoli. Quindi, al fine di riuscire a garantire tempi di salita e di discesa sufficientemente brevi, si inserisce un driver per ognuno dei due percorsi in uscita dal latch. Si tratta di una struttura ampiamente trattata in letteratura (per approfondimenti si rimanda a [13]), realizzata tramite il cosiddetto "tromboncino " , ossia una serie di invertitori in cascata.

Errore di tempo: matching degli interruttori

Il punto fondamentale da chiarire è che la riduzione dei tempi di salita e di discesa impatta positivamente sulle prestazioni dell'intero sistema. Infatti, la pendenza dei fronti che giungono sul gate degli interruttori determina l'influenza dei mismatch delle soglie degli interruttori sull'uscita. Tale aspetto è estremamente rilevante ai fini della linearità del sistema. Per capire meglio il concetto, si fa riferimento alla figura

3.11: si considera solo il tempo di salita, ma gli stessi ragionamenti valgono anche per il tempo di discesa. Si nota che il mismatch delle soglie dei MOS si traduce, a

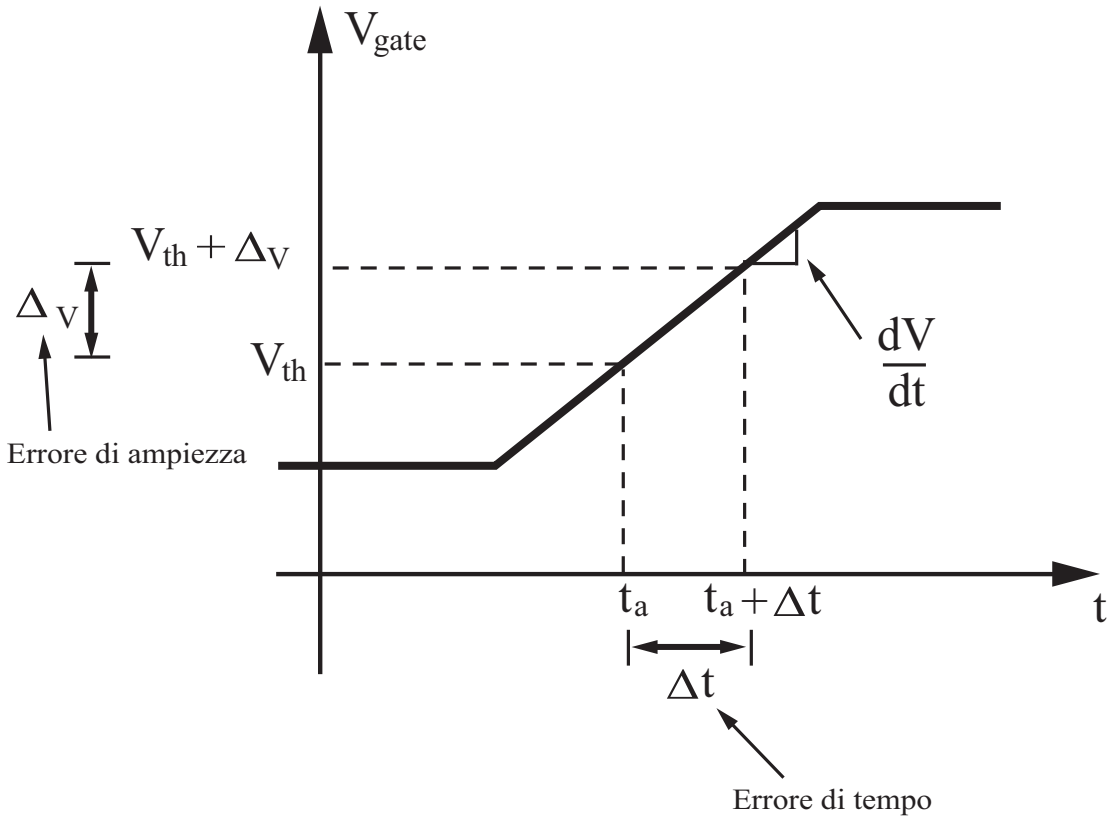

Figura 3.11: Tensione di controllo sul gate degli interruttori in funzione del tempo
t_a è l'istante di accensione dell'interruttore
V_{th} è la tensione di soglia del MOS
Δ_V è la variazione di tensione dovuta ai mismatches
Δ_t è la variazione dell'istante di accensione dovuta alla pendenza finita del fronte

causa del tempo di salita finito, in un errore di tempo, in quanto determina una certa variabilità nell'istante di accensione del dispositivo, con conseguente non linearità sulla tensione di uscita:

$$\sigma(\Delta(t_s)) = \frac{A_{V_{th}}}{\sqrt{WL}} \frac{1}{\frac{dV}{dt}} \tag{3.20}$$

con $A_{V_{th}}$ parametro dipendente dal processo, W ed L dimensioni dei MOS, $\frac{dV}{dt}$ pendenza del segnale di tensione sul gate dell'interruttore. Pertanto il parametro su cui si deve agire è la pendenza dei fronti che pilotano gli interruttori, la quale va massimizzata, al fine di ridurre la $\sigma(\Delta(t_s))$.

Inoltre non vanno trascurati i mismatches riguardanti direttamente latch e driver. Anch'essi, provocando un disallineamento delle forme d'onda, generano distorsione sulla tensione di uscita. Tutti questi effetti verrano quantificati nella grandezza σ_t,

che rappresenta la deviazione standard della distribuzione degli errori di tempo. Il mezzo per riuscire a ridurne l'influenza è, come al solito, l'aumento delle dimensioni dei MOS.

Errore di tempo: crossing point

Un altrettanto importante aspetto da prendere in esame è che, per riuscire a raggiungere il miglior SFDR, il "crossing point " , ossia l'istante di tempo in cui i due segnali di controllo degli interruttori si intersecano, deve essere ottimizzato [14]. La figura 3.12 mostra i possibili casi. Naturalmente la condizione da preferire è quella in cui entrambi gli interruttori non sono mai completamente spenti nello stesso istante di tempo (caso 1 in figura 3.12), in modo tale che la corrente del generatore fluisca sempre ad un valore costante. Ciò minimizza l'escursione della tensione sul nodo indicato con C_s in figura 3.12, durante la transizione, riducendo al minimo la corrente di perdita nella capacità parassita C_1, e, quindi, la distorsione ad essa associata.

Errore dinamico: iniezione di carica

Un altro problema evidente è legato all'implementazione degli interruttori in tecnologia CMOS, con la conseguente presenza di cammini parassiti capacitivi tra il terminale di controllo e quello di uscita (capacità gate-drain in figura 3.13). Quando l'interruttore è guidato da un segnale che varia in modo molto rapido, viene iniettata una carica nel nodo di uscita dal DAC, creando piccoli spike di tensione, la cui intensità è legata ad una partizione tra la capacità parassita e quella di uscita. Quindi, essendo quest'ultima dipendente dal codice d'ingresso, il fenomeno appena descritto crea distorsione. Inoltre bisogna tenere in considerazione anche effetti di non idealità associati alla caratteristica I/V dei MOS che fanno da interruttori, i quali causano asimmetria nei tempi di accensione e di spegnimento, portando a spike e non linearità. Chiaramente i mismatches incrementano l'impatto di tutti i suddetti problemi.

3.2.1 Dimensionamento dell'invertitore che pilota la cella di corrente

Dopo aver elencato e spiegato le problematiche inerenti agli aspetti dinamici, si passa alla realizzazione vera e propria della struttura latch-driver. Il primo passo da seguire è il dimensionamento degli invertitori che pilotano gli interrurrori della cella di corrente, associata all'MSB, quella, per intenderci, pari a 128 volte la cella

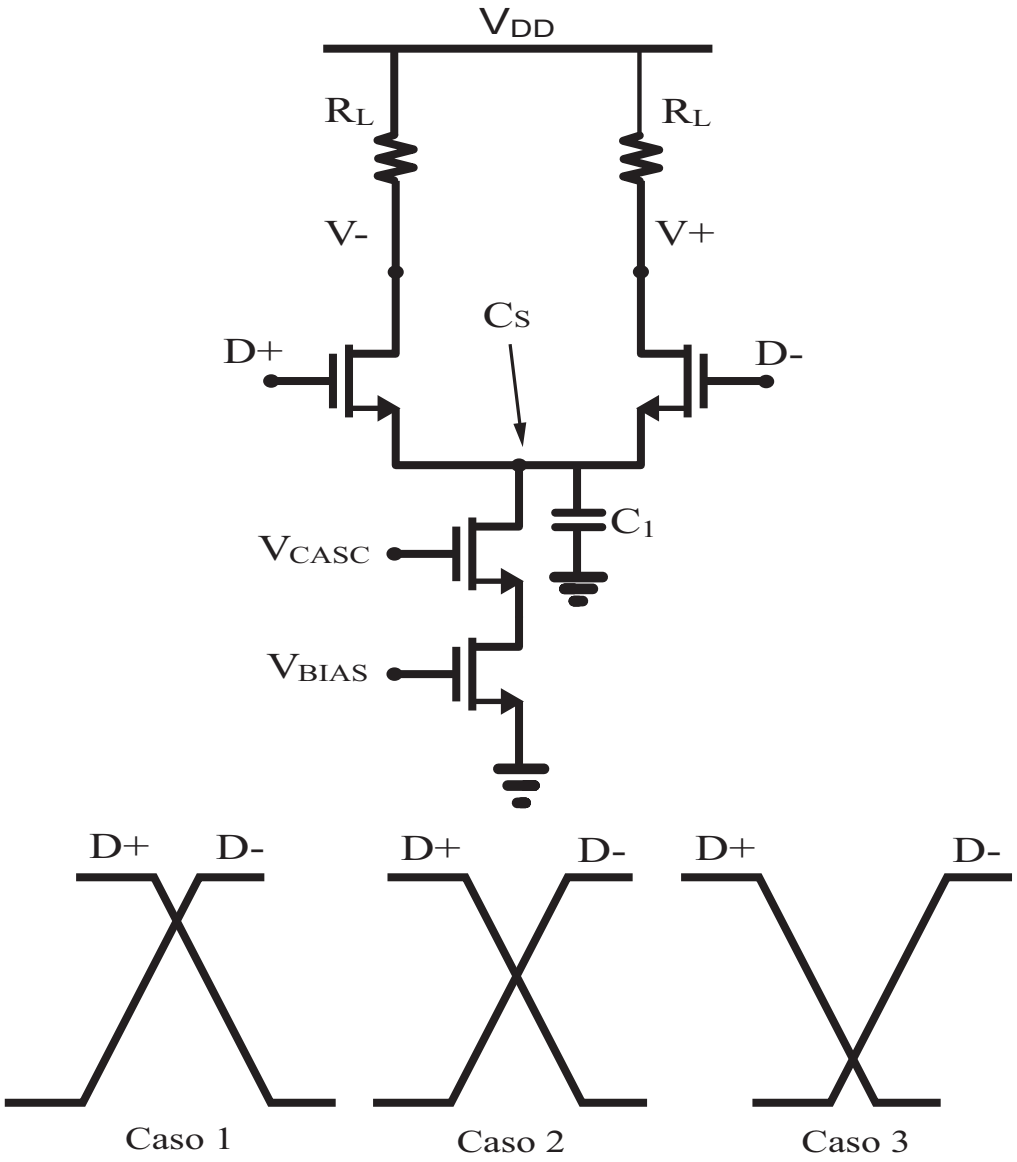

Figura 3.12: Forme d'onda dei segnali di controllo degli interruttori D^+ e D^-: possibili crossing point
caso 1: crossing point alto
caso 2: crossing point medio
caso 3: crossing point basso

minima. Da una simulazione sull'impedenza d'ingresso di tale cella, si ottiene il valore della capacità C_{IN}vista sul gate degli interruttori

$$C_{IN} \simeq 10.9fF \tag{3.21}$$

la quale rappresenta il carico degli invertitori. Come sorgente si utilizzano due generatori di tensione, ideali, che rappresentano i segnali associati all'MSB e al suo

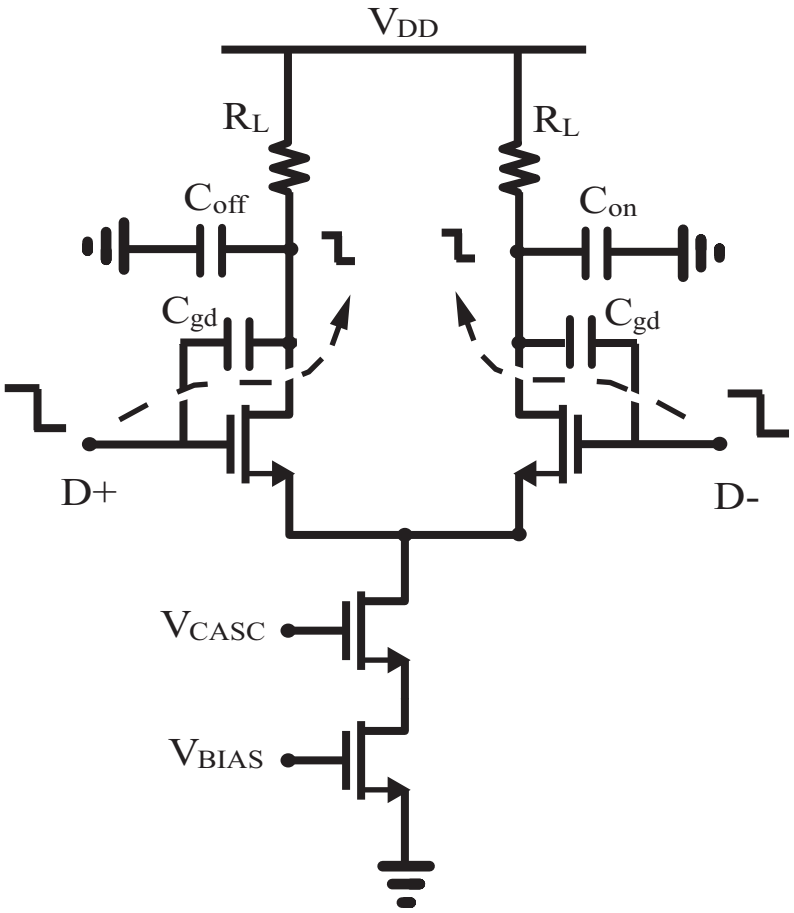

Figura 3.13: Iniezione di carica spuria attraverso le capacità parassite: generazione di spikes sulla tensione di uscita

negato, scelti in modo da avere un crossing point alto. Per effettuare correttamente la simulazione in ambiente Cadence Virtuoso, è necessario individuare il corner relativo al caso pessimo, che, nello specifico, coincide con il valore minimo di corrente che attraversa i dispositivi. Infatti, in queste condizioni, i transitori delle tensioni ai vari nodi del circuito si allungano, aumentando l'impatto dei mismatch sulla linearità. Pertanto il corner cercato è SS-RMAC-CMAX, mentre, per quanto concerne la temperatura, ci sono due effetti contrastanti che vanno analizzati. Di fatto, all'aumentare della temperatura, si verifica una riduzione del fattore di corrente $\beta(T)$ e un aumento della tensione di soglia $V(T)$, secondo i seguenti andamenti

$$\beta(T) \propto \left(\frac{T}{T_0}\right)^{\left(-\frac{3}{2}\right)} \tag{3.22}$$

$$V(T) = V(T_0) + \alpha(T - T_0) \tag{3.23}$$

Per stabilire quale dei due sia dominante, si riporta una simulazione dell'andamento della corrente di un MOS, in continua, polarizzato tramite generatori ideali

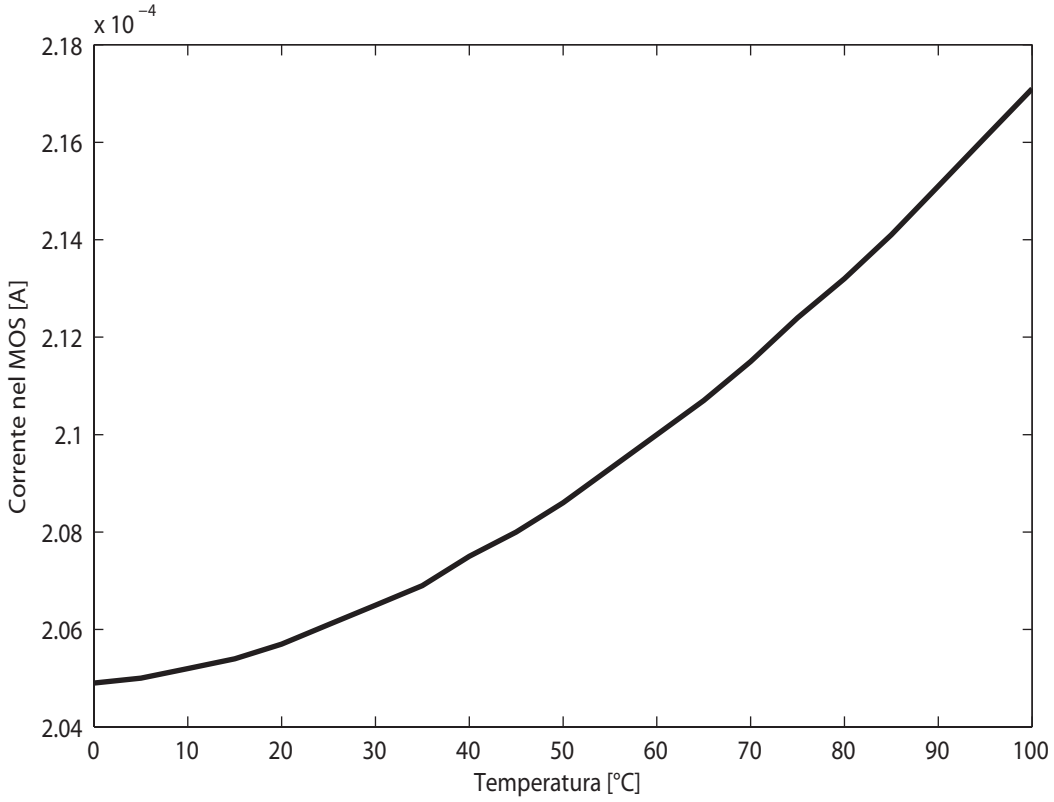

Figura 3.14: Andamento della corrente DC nel MOS, al variare della temperatura

quindi, l'effetto dominante è quello della tensione di soglia, e il caso pessimo è identificato con temperatura di $27°C$.
Ritornando alla simulazione sugli invertitori, i parametri da valutare sono

1. tempo di salita
2. tempo di discesa
3. tempo di propagazione complessivo
4. deviazione standard, indicata con σ_t, dovuta ai mismatches dinamici, cioè gli errori di tempo

Il modo più idoneo, per quantificare gli ultimi due, è quello di convertire gli errori di tempo in errori di ampiezza, per mezzo di una rete ad hoc, realizzata tramite un generatore di corrente controllato in corrente e una capacità ideale. L'idea è mostrata in figura 3.15.
In sostanza si misura il salto di tensione ΔV, dovuto alla carica della capacità C

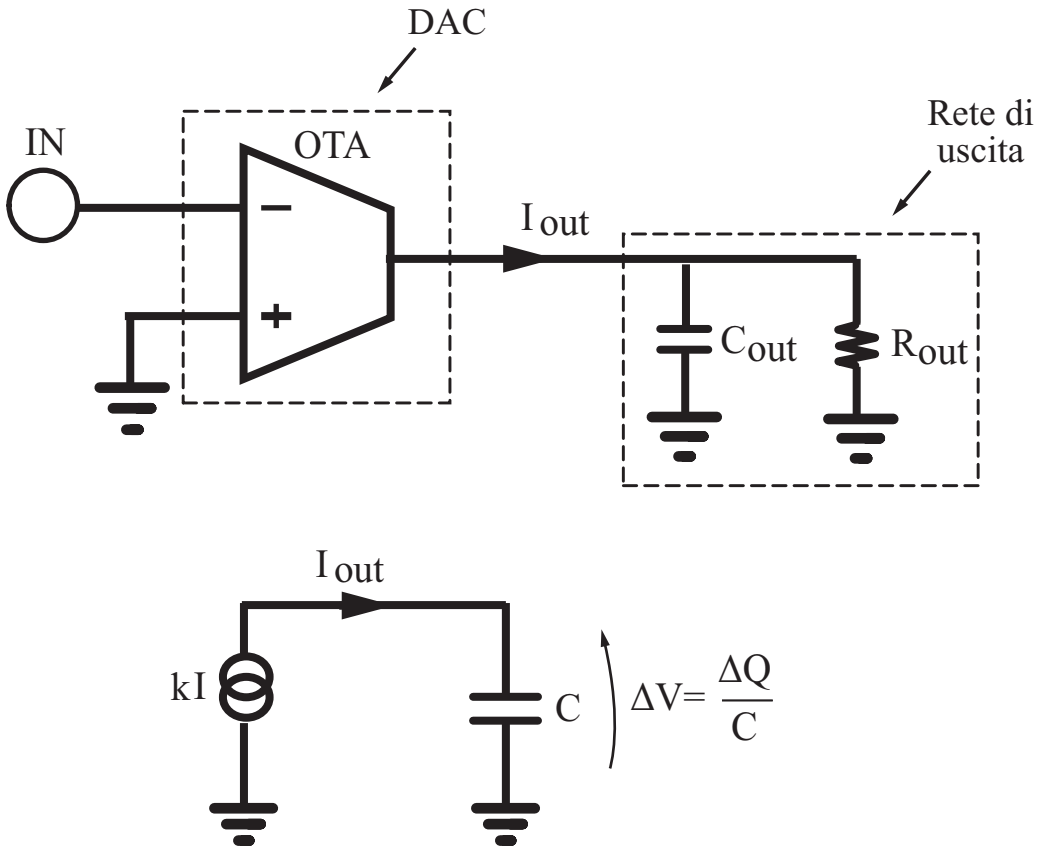

Figura 3.15: Metodo di misura del ritardo di propagazione complessivo e degli errori dinamici
Il DAC è schematizzato come un semplice transconduttore(OTA)
kI è un generatore di corrente controllato dalla corrente I_{out}, con $k = 1$
ΔV è il salto di tensione dovuto al salto di carica ΔQ

tramite la corrente di uscita, I_{out}, e si ricava facilmente il ΔQ.
Prima di mostrare gli andamenti dei parametri elencati, in funzione delle dimensioni, è necessario stabilire il rapporto dimensionale ottimo, tra NMOS e PMOS, al fine di avere una caratteristica simmetrica, nell'invertitore di dimensioni minime. Si cercano i rapporti di forma che equalizzano il tempo di salita e di discesa, giungendo al caso mostrato in figura 3.16.
A questo punto si cerca il dimensionamento ottimo degli invertitori, ossia quello che minimizza il tempo di salita, quello di discesa e, di conseguenza, il σ_t. Gli andamenti sono ottenuti in ambiente Cadence Virtuoso e sono mostrati nelle figure 3.17, 3.18 e 3.19. L'ultimo è il risultato di un'analisi Montecarlo. E' evidente che il valore ottimo, peraltro indicato nelle figure, è quello di "ginocchio", ossia dove le grandezze, sugli assi verticali, iniziano a rimanere quasi costanti. Esso coincide con

$$\frac{W}{W_{min}} = 32 \;\rightarrow\; W = 32W_{min} \tag{3.24}$$

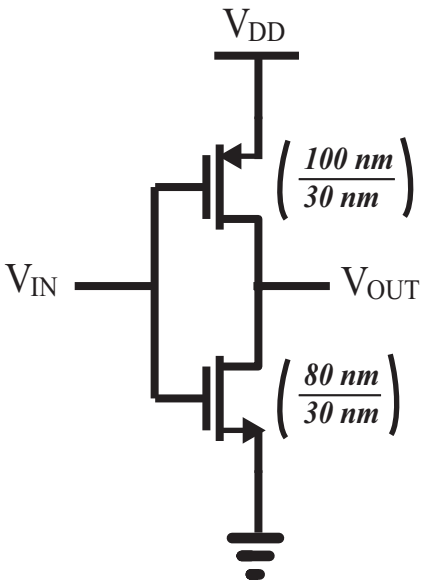

Figura 3.16: Dimensionamento invertitore minimo per avere una caratteristica simmetrica

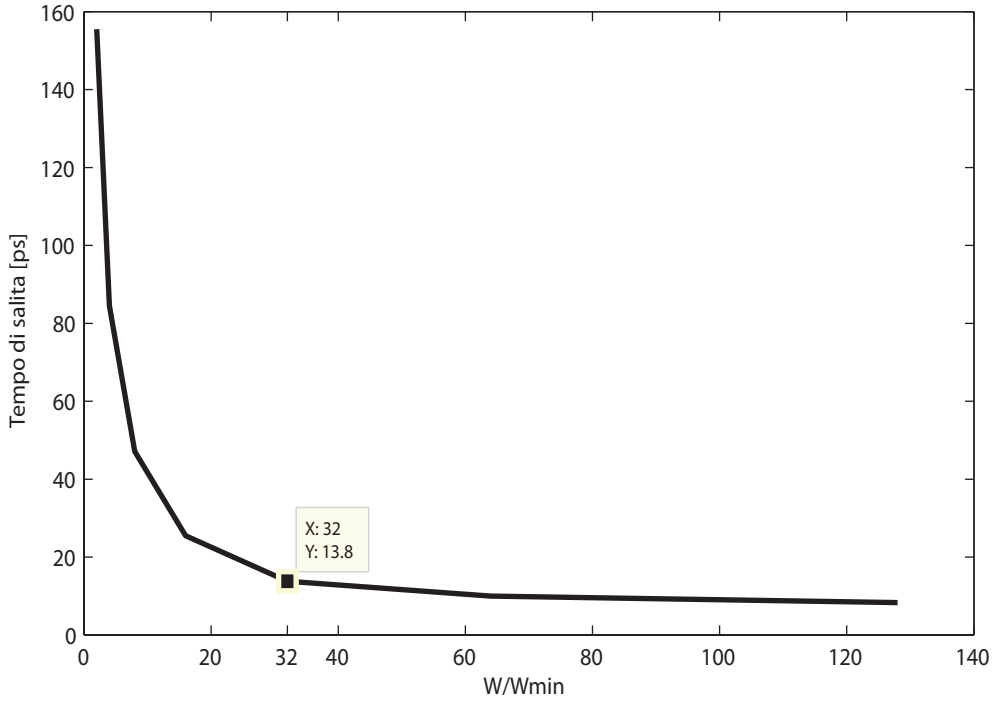

Figura 3.17: Tempo di salita dell'inverter in funzione della dimensione della larghezza di canale normalizzata alla dimensione minima W_{min}

dove W_{min} è la larghezza di canale minima, ossia 30 nm. In figura 3.20 è illustrato il dimensionamento ottenuto e di seguito sono riportati i valori dei parametri richiesti

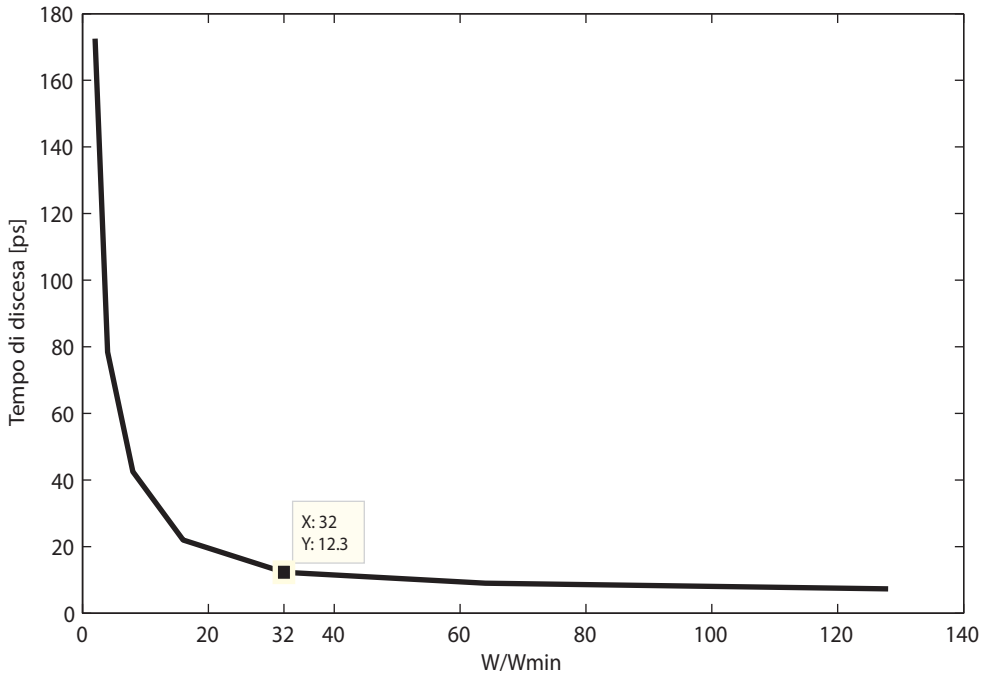

Figura 3.18: Tempo di discesa dell'inverter in funzione della dimensione della larghezza di canale normalizzata alla dimensione minima W_{min}

1. tempo di salita $T_s = 13.8ps$
2. tempo di discesa $T_d = 12.3ps$
3. tempo di propagazione complessivo $T_p = 42.7ps \rightarrow 212.9fC$
4. deviazione standard assoluta $\sigma_t = 1.2fC$
5. deviazione standard relativa $\frac{\sigma_t}{T_p} \simeq 0.5\%$

3.2.2 Dimensionamento del latch

Una volta terminato questo primo step, si passa al dimensionamento del latch differenziale, indicato in figura 3.10, e riportato, per comodità, in figura 3.21, dove sono evidenziate le reti di pull-up e pull-down, e i MOS sono identificati tramite un'apposita etichetta. Tale struttura, come già detto in precedenza, deve consentire una commutazione rapida e simmetrica su entrambi i fronti. A tal fine, è importante mettere in risalto la presenza di un solo PMOS, nella rete di pull-up, e di tre NMOS, nella rete di pull-down. Infatti, per far si che l'uscita riesca a commutare dal valore logico alto a quello basso, quest'ultimo deve essere minore della soglia

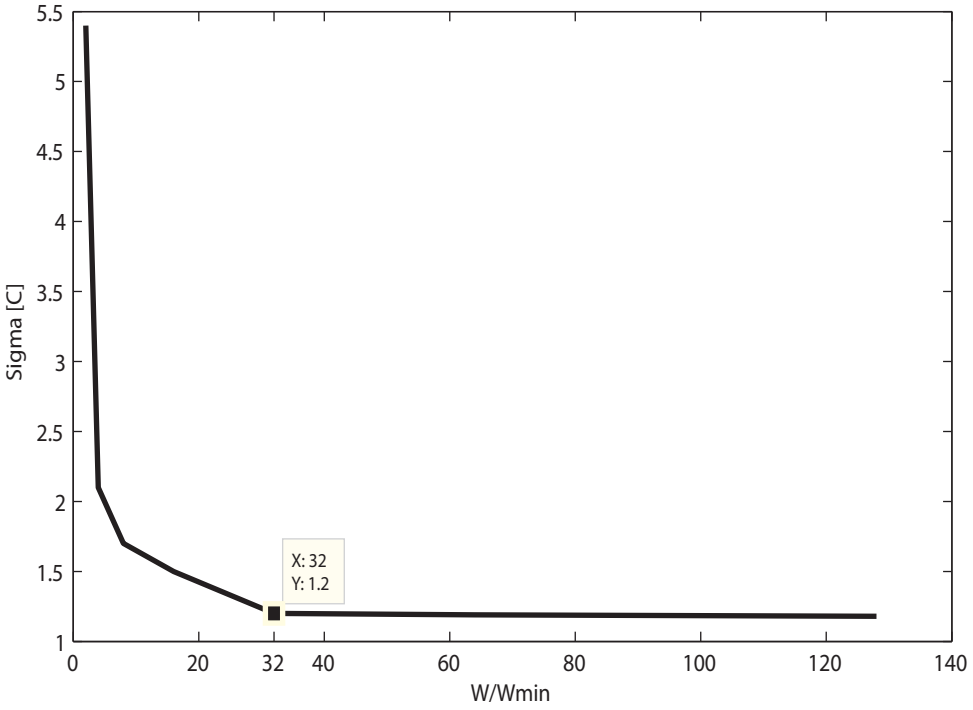

Figura 3.19: σ_t degli errori di tempo in funzione della dimensione della larghezza di canale normalizzata alla dimensione minima W_{min}
L'unità di misura sull'asse y è il *Coulomb*, poichè gli errori di tempo sono stati convertiti in errori di ampiezza(carica)

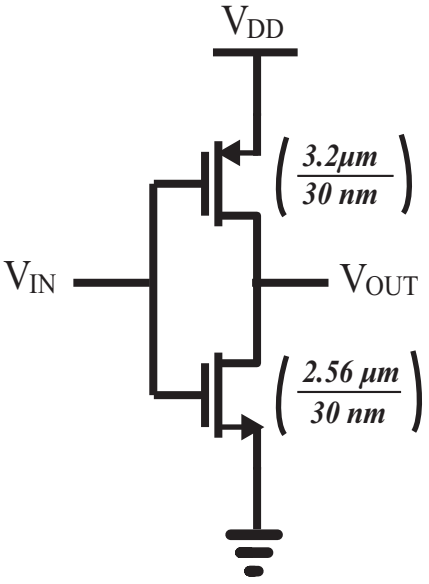

Figura 3.20: Dimensionamento degli invertitori che pilotano gli interruttori della cella di corrente

logica degli invertitori. Ciò implica che M_1 ed M_2 siano dimensionati in modo corretto, ossia con un rapporto di forma sufficientemente più grande di quello di M_4, in

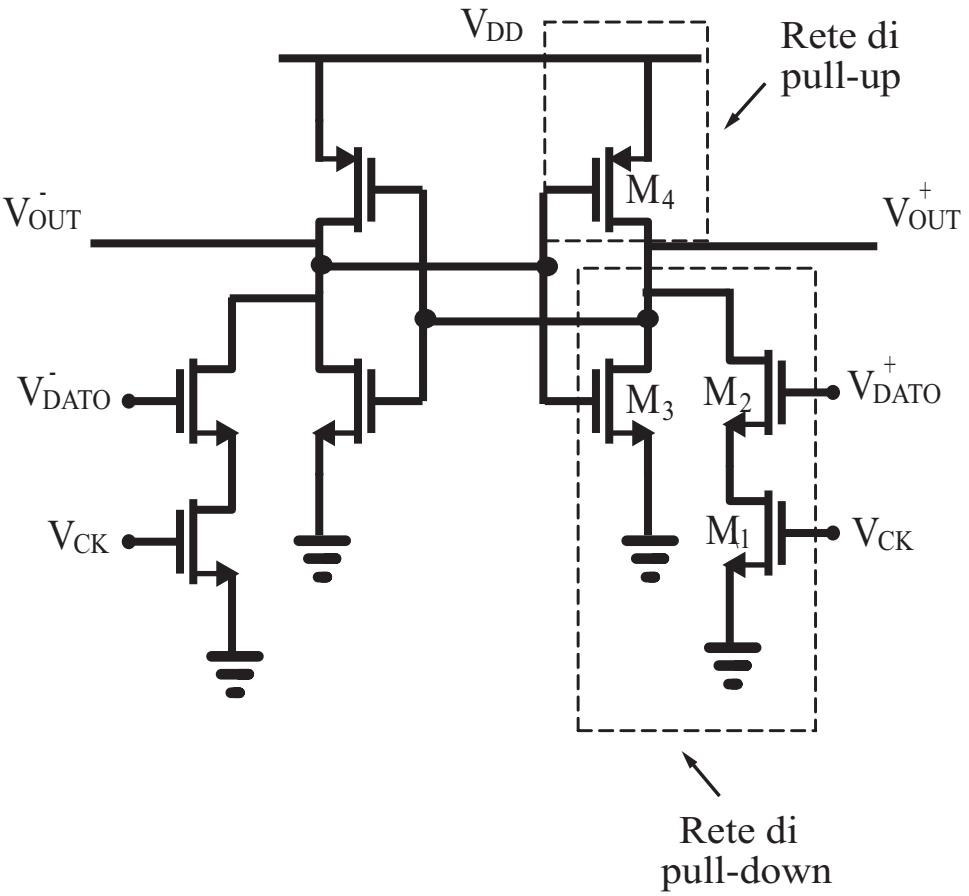

Figura 3.21: Reti di pull-up e pull-down nel latch differenziale

modo da consentire la commutazione, da un lato, e da ottenere simmetria nei due tempi, dall'altro. Pertanto si procede ad un primo dimensionamento, utilizzando il circuito di figura 3.22, per ricavare i fattori di forma minimi, che consentano il funzionamento appena descritto, minimizzando i tempi di commutazione. I risultati delle simulazioni impongono i seguenti valori

$$W_{M_1} = W_{M_2} = 640nm \tag{3.25}$$

$$W_{M_3} = 160nm\, W_{M_4} = 200nm \tag{3.26}$$

Aumentando ancora le larghezze di canale W, non si nota alcun miglioramento significativo dei tempi, indicando il raggiungimento del cosiddetto "effetto di auto-caricamento " [13]. A questo punto si può inserire il latch all'interno del circuito vero e proprio, mostrato in figura 3.23, dove la capacità C rappresenta la capacità d'ingresso degli interruttori, nella cella di corrente associata all'MSB ($\simeq 10.9fF$). Da qui, procedendo, come al solito, in modo da ridurre la σ_t, si dimensiona il latch,

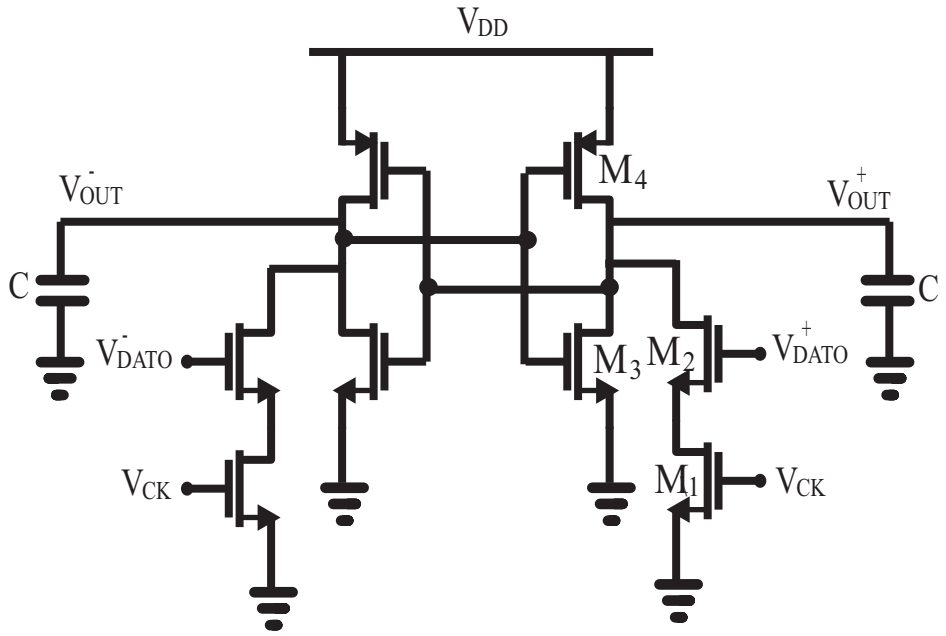

Figura 3.22: Circuito usato per il dimensionamento del latch minimo
La capacità C è pari a quella d'ingresso in un invertitore minimo ($\simeq 250aF$)

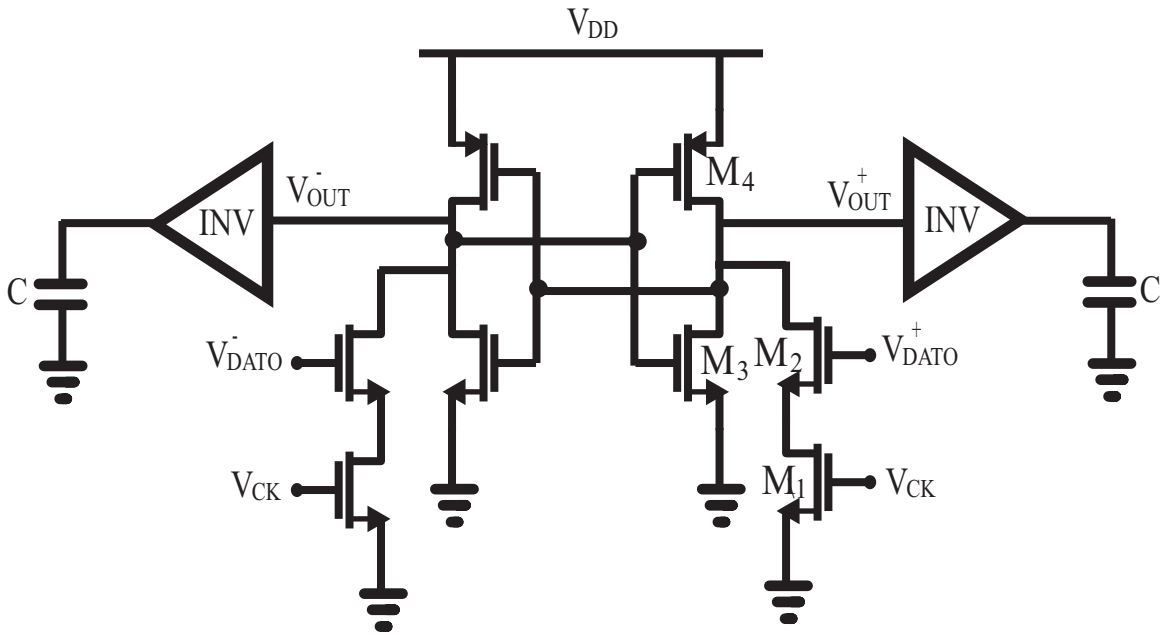

Figura 3.23: Circuito complessivo del driver: gli invertitori sono quelli in figura 3.20
La capacità C rappresenta la capacità d'ingresso degli interruttori, nella cella di corrente associata all'MSB ($\simeq 10.9fF$)

tramite una simulazione dei tempi di salita e discesa, al variare del rapporto $\frac{W}{W_{min}}$. Gli andamenti sono presentati nelle figure 3.24 e 3.25. La scelta ricade, come già visto, sul "ginocchio " :

$$\frac{W}{W_{min}} = 4 \tag{3.27}$$

da cui discendono le seguenti larghezze di canale dei MOS del latch

$$W_{M_1} = W_{M_2} = 2.56\mu m \tag{3.28}$$

$$W_{M_3} = 640nm\, W_{M_4} = 800nm \tag{3.29}$$

e la seguente deviazione standard assoluta

$$\sigma_t \simeq 6.65fC \tag{3.30}$$

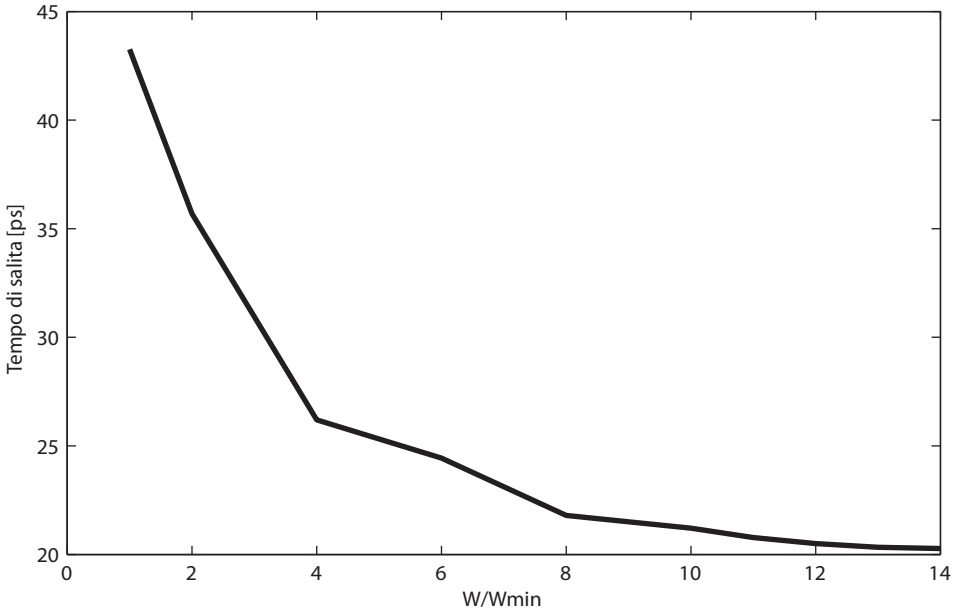

Figura 3.24: Andamento del tempo di salita del segnale di controllo della cella di corrente in funzione del dimensionamento del latch
$\frac{W}{W_{min}}$ indica quante volte più grandi devono essere le W dei MOS, rispetto al caso di latch minimo

3.2.3 Dimensionamento del driver: tromboncino

Per migliorare ulteriormente le prestazioni, si può pensare di complicare la struttura, in particolare il driver, aggiungendo, a quello già presente, due invertitori in cascata, secondo la nota configurazione a "tromboncino " . Non si è pensato di aggiungere un unico invertitore, a causa del problema del basso crossing point, che impone un numero dispari di elementi. Mantenendo costanti le dimensioni, sia del latch sia

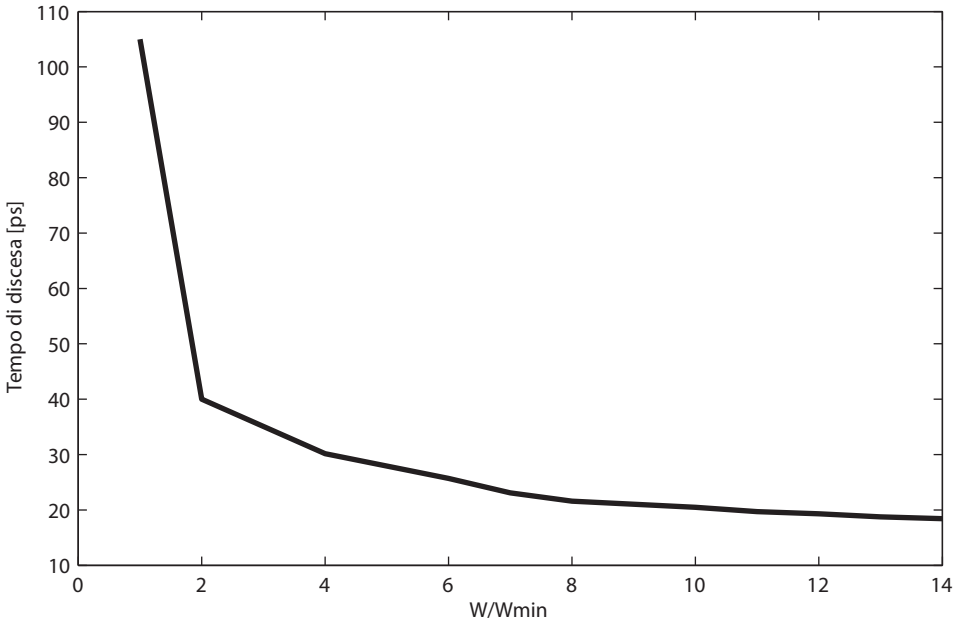

Figura 3.25: Andamento del tempo di discesa del segnale di controllo della cella di corrente in funzione del dimensionamento del latch
$\frac{W}{W_{min}}$ indica quante volte più grandi devono essere le W dei MOS, rispetto al caso di latch minimo

dell'invertitore che pilota gli interruttori, si è giunti, tramite le solite simulazioni sui tempi di salita e di discesa, alla situazione mostrata in figura 3.26. In questo modo

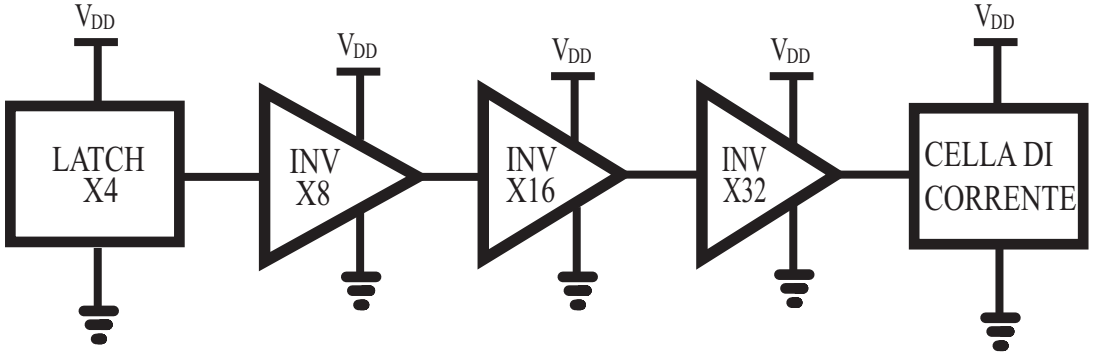

Figura 3.26: Dimensionamento conclusivo del driver e del latch
Il X4 indica un latch con le W dei MOS più grandi di un fattore 4 rispetto al caso minimo
I X8,X16,X32 indicano invertitori con le W dei MOS più grandi, del fattore che segue la X, rispetto al caso minimo

si riescono a migliorare le prestazioni:

1. tempo di salita $T_s = 16.1ps$

2. tempo di discesa $T_d = 14.3ps$

3. deviazione standard assoluta $\sigma_t \simeq 5fC$

3.3 Simulazione circuitale del DAC: linearità statica e dinamica

Il modello completo del DAC si ottiene connettendo, opportunamente, tutte le celle, all'interno delle singole sezioni(MSB ed LSB), con i driver e i latch di dimensioni scalate, a partire da quelli dimensionati per l'MSB. Per il decoder termometrico si utilizza un blocco realizzato in verilogA. Le simulazioni conclusive riguardano sostanzialmente le prestazioni inerenti le linearità a bassa ed alta frequenza, e, quindi parametri quali INL, DNL ed SFDR. In questa prima fare, in assenza di mismatch, si illustrano la caratteristica di trasferimento, il DNL e l'INL (figura 3.27). I valori

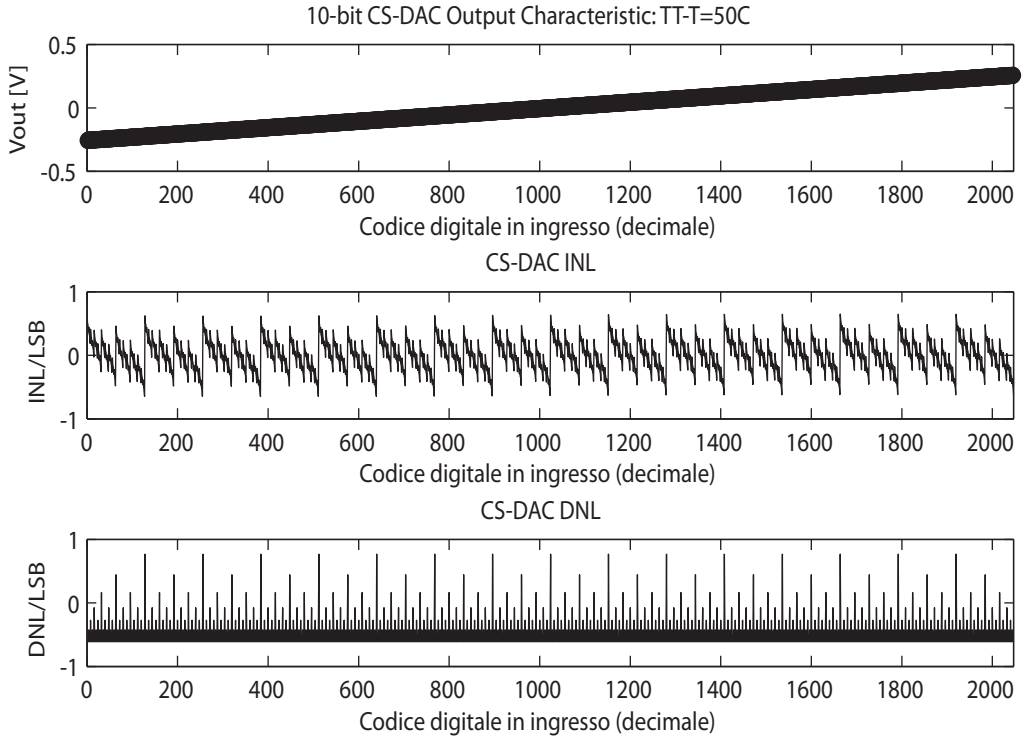

Figura 3.27: Dall'alto verso il basso:
caratteristica di trasferimento
INL normalizzato DNL_{norm} in funzione del codice d'ingresso
DNL normalizzato INL_{norm} in funzione del codice d'ingresso

numerici significativi sono

1. Dinamica di tensione=512.2 mV
2. $DNL_{norm_{MAX}} = 0.77$
3. $INL_{norm_{MAX}} = 0.65$

dove con il pedice *norm* si intendono DNL e INL normalizzati all'LSB. Effettuando, invece, un'analisi Montecarlo, per tenere conto dei mismatch, si ottengono i seguenti valori

$$DNL_{norm_{MAX}} = 5.6 \tag{3.31}$$

$$INL_{norm_{MAX}} = 6.3 \tag{3.32}$$

Pertanto si nota che gli errori statici sono, effettivamente, significativi, ma vengono corretti dal sistema di correzione digitale descritto in precedenza.
Passando al comportamento in frequenza, vengono mostrati gli spettri della tensione di uscita, relativi a diverse frequenze, f_{IN}, del segnale sinusoidale d'ingresso; in particolare, nell'ordine, sono indicati anche gli SFDR

- $f_{IN} = 1.25GHz(Nyquist) \rightarrow SFDR \simeq -53dBc$

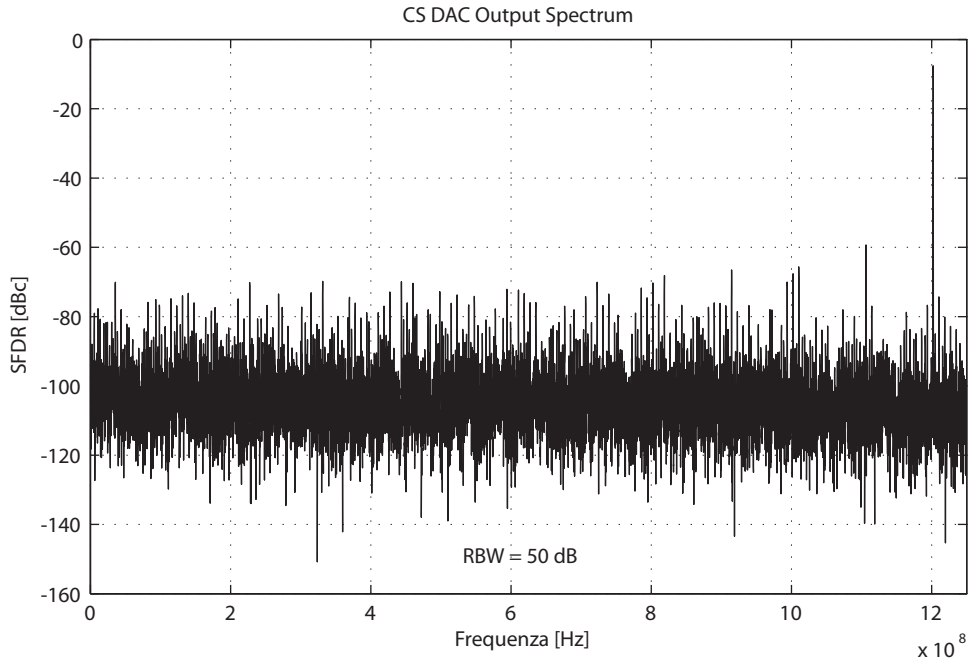

Figura 3.28: Spettro della tensione di uscita con ingresso sinusoidale a $f_{IN} = 1.25GHz$

- $f_{IN} = 1GHz \rightarrow SFDR \simeq -55dBc$

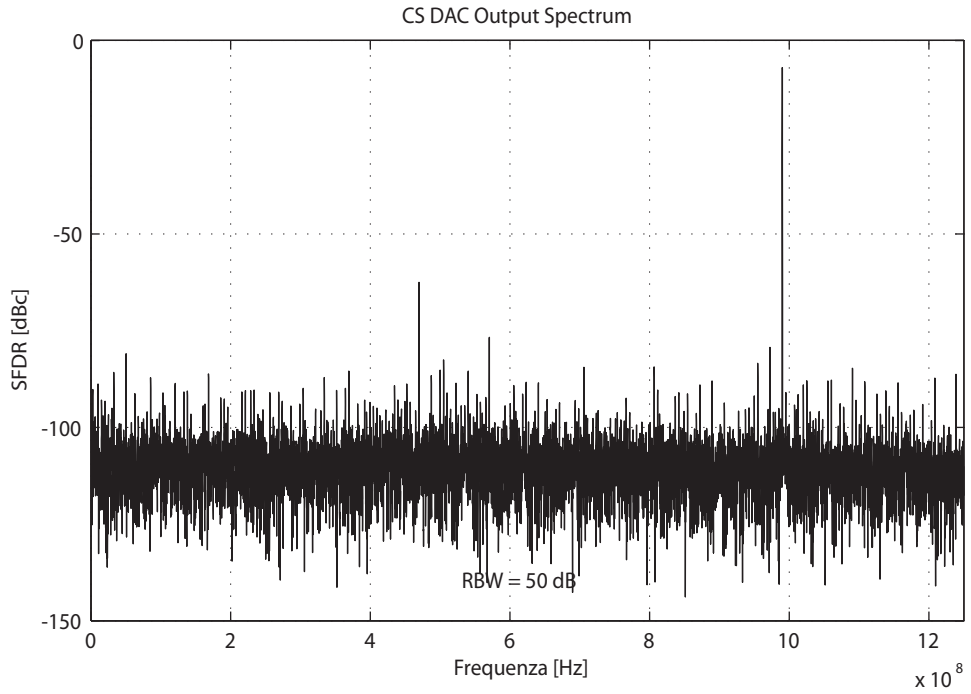

Figura 3.29: Spettro della tensione di uscita con ingresso sinusoidale a $f_{IN} = 1GHz$

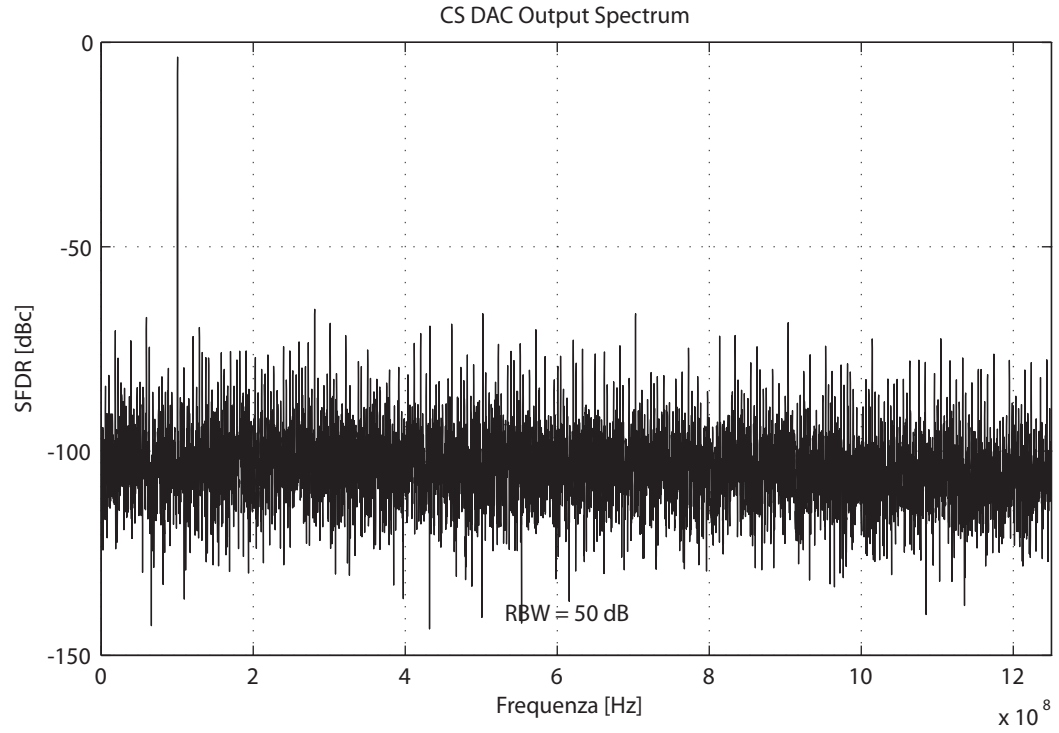

Figura 3.30: Spettro della tensione di uscita con ingresso sinusoidale a $f_{IN} = 100MHz$

- $f_{IN} = 100MHz \rightarrow SFDR \simeq -62dBc$

Per valutare come varia l'SFDR con i mismatch, si è effettuata una singola estrazione di un'analisi Montecarlo, nel caso $f_{IN} = 1GHz$, da cui deriva

$$SFDR \simeq -50dBc \tag{3.33}$$

In conclusione, nella tabella 3.31 vengono riportati tutti i risultati di rilevo del DAC. Dunque l'approccio innovativo al dimensionamento del DAC, grazie alla correzione

Ref.	Presente lavoro
Architettura	Segmentata(6-4)
Processo (nm)	32
Alimentazione (V)	1
Sample rate (GS/s)	2.5
Risoluzione (bits)	10
SFDR (dBC)/Banda (MHz)	-50/1000
Potenza (mV)	40
Tensione di uscita (Vpp)	0.5
Corrente di uscita (mA)	10
INL senza correzione	6.3
DNL senza correzione	5.6

Figura 3.31: Prestazioni del DAC progettato

digitale degli errori statici, ha permesso di ottenere un SFDR di -50 dBc alla frequenza di 1 GHz. Si tratta di un risultato irraggiungibile tramite i classici metodi di dimensionamento, ossia quelli focalizzati sulla minimizzazione dei mismatch statici, a causa della forte limitazione sulla linearità, imposta dalla distorsione dell'impendenza di uscita. I valori estremamente elevati di INL e DNL non rappresentano la linearità effettiva a bassa frequenza, in quanto, come indicato in tabella, sono quelli misurati in uscita dal convertitore CS, senza alcun sistema di correzione. Infine è

da notare che la tecnologia particolarmente scalata (32 nm) consente di limitare la dissipazione di potenza dei blocchi digitali e analogici, integrati sullo stesso chip; infatti essa resta confinata a qualche decina di mW.

Capitolo 4

Testing del DAC

Questo capitolo è dedicato al progetto del Direct Digital Synthesizer*(DDS) integrato necessario per il testing on-chip del DAC. Grazie alle dimensioni dei dispositivi sempre più scalate (32nm), infatti, è possibile integrare DDS e DAC sullo stesso chip, consentendo di risparmiare sul numero di pad di uscita, il che comporta un ridotto ingombro di area e una minore complessità. Dopo una breve introduzione sulle potenzialità della sintesi digitale diretta e dell'ambito in cui si va ad inserire, ne vengono descritte le caratteristiche salienti e l'architettura di base, evidenziandone i blocchi fondamentali, cioè l'accumulatore, la LUT e la logica annessa. Vengono, poi, presentati i parametri, sotto il controllo del progettista, che determinano le prestazioni e, quindi, vengono analizzati i fenomeni di quantizzazione di ampiezza e di fase, legati al numero di bit con cui si realizzano i blocchi digitali costituenti il sintetizzatore, nonchè il troncamento di fase per ridurre l'ingombro di spazio dovuto alla LUT. Successivamente, al fine di stimare la linearità del sintetizzatore nell'intera banda di funzionamento, si illustra la teoria alla base della valutazione dello spettro di uscita, quantificando il tutto tramite lo* Spurious Free Dynamic Range. *Infine si descrivono i passi fondamentali dell'implementazione, a partire dal modello Simulink, fino alla sintesi del VHDL, riportando i risultati di simulazione.*

4.1 Introduzione alla Direct Digital Synthesis

La possibilità di integrare su un singolo chip, grazie ad una tecnologia sempre più scalata, convertitori digitale-analogici molto veloci e architetture DDS, formando quello che viene definito *Complete-DDS solution*, fornisce un'alternativa attraente ai sintetizzatori di frequenza analogici, basati su PLL. Si ricorda che la sintesi digitale diretta (DDS) è una tecnica che utilizza blocchi di processamento digitale per generare un segnale di uscita sintonizzabile in frequenza e fase a partire da una

sorgente di clock a frequenza fissa. In sostanza quest'ultima viene divisa per un fattore di scala, deciso attraverso la definizione di una parola binaria, detta *Frequency Tuning Word* (FTW), la cui lunghezza, di solito tra 24 e 48 bit, fornisce la risoluzione per la sintonizzazione in frequenza. Naturalmente l'impiego della soluzione DDS in numerosi campi è legato ai diversi vantaggi che essa presenta, rispetto ad un sintetizzatore che impiega un circuito PLL:

- permette di ottenere una risoluzione in frequenza dell'ordine dei mHz e una risoluzione al di sotto del grado di accuratezza della fase, con un controllo digitale completo;
- un'elevata velocità nella variazione della frequenza di uscita in quanto il sistema non richiede nessun tempo di assestamento nel cambiare la frequenza; per cui si riescono a raggiungere tempi dell'ordine dei nanosecondi;
- elimina la necessità di una sintonizzazione manuale del sistema e di aggiustamenti dovuti all'età del componente e alle variazioni di temperatura come succede nelle soluzioni di sintesi analogica;
- l'interfaccia digitale di controllo dell'architettura DDS facilita un ambiente in cui i sistemi sono controllati da remoto e ottimizzati sotto il controllo di un processore.

Insieme a tutti i suddetti vantaggi, l'implementazione di un *direct digital synthesizer*, posizionato in ingresso al DAC Current Steering progettato, consente di minimizzare il numero di pad, necessari per interfacciare l'integrato con i segnali d'ingresso. Ciò avviene grazie alle potenzialità dell'interfaccia seriale-parallela, detta SPI.
Naturalmente bisogna progettare con attenzione il circuito di testing. Nel caso in esame, poichè si è interessati a valutare la linearità del DAC, in termini di SFDR, risulta evidente che il sintetizzatore di frequenza deve possedere i requisiti spettrali richiesti. In particolare i parametri, che ne caratterizzano le prestazioni, vanno scelti in modo tale da determinare un SFDR maggiore rispetto a quello del DAC stesso. Solo in queste condizioni, infatti, misurando la linearità del segnale di uscita dal sistema complessivo, si otterrebbe la linearità del DAC.

4.2 Architettura di base: funzionamento e parametri caratteristici

Un sintetizzatore digitale diretto può essere realizzato, nella sua forma più semplice, tramite un generatore di clock di riferimento, un accumulatore di fase e una memoria

di sola lettura (ROM) [15], come si può vedere in figura 4.1.

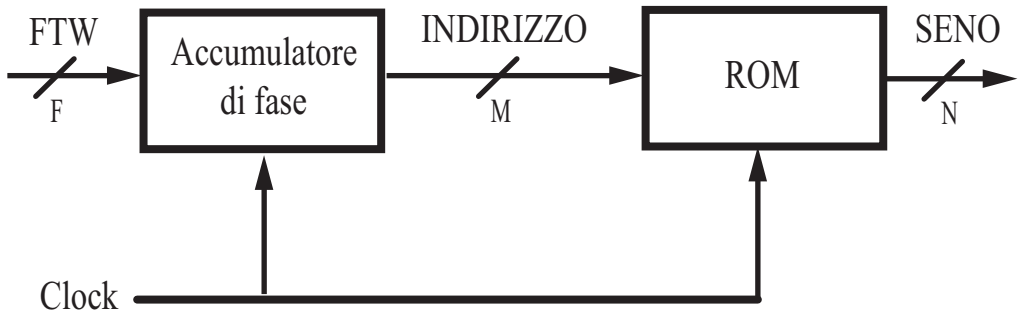

Figura 4.1: Schema di principio di un Direct Digital Synthesizer (DDS)

Il funzionamento è intuitivo: ad ogni colpo di clock, la FTW, che rappresenta l'incremento di fase ed è lunga F bit, viene aggiunta all'accumulatore, la cui uscita, su M bit, costituisce l'indirizzo per una locazione della ROM. Quest'ultima è una *Look-Up Table* (LUT), in cui sono memorizzati i campioni di ampiezza, quantizzati ad N bit, corrispondenti ad un ciclo completo di un'onda sinusoidale. Quindi, a seconda del valore della FTW in ingresso, si avrà una certa sequenza di campioni in uscita dalla LUT, a cui corrisponderà una sinusoide digitale quantizzata, ad una certa frequenza. Per comprendere meglio il meccanismo si fa riferimento alla figura 4.2, in cui l'onda sinusoidale viene visualizzata come un vettore rotante sul cerchio delle fasi. Ogni

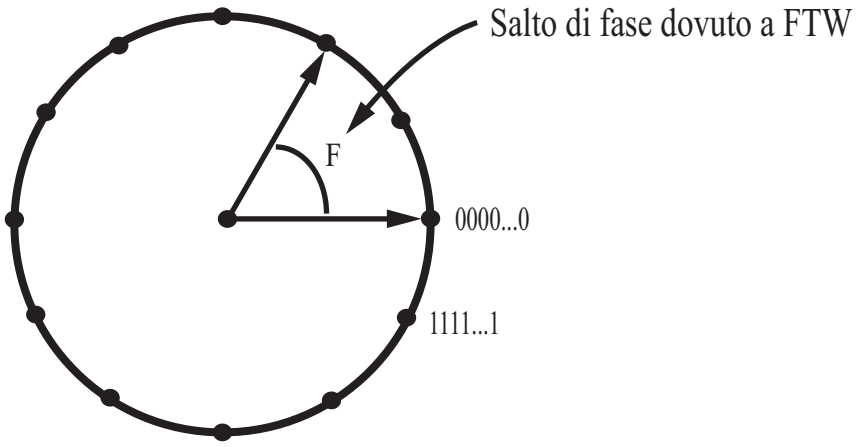

Figura 4.2: Ruota delle fasi

punto definito sul cerchio delle fasi corrisponde ad un valore istantaneo di ampiezza di un'onda sinusoidale [16] ; pertanto, il vettore, ruotando a velocità costante, descrive, in un giro completo, un periodo intero della sinusoide. L'accumulatore di fase viene utilizzato per fornire il valore equivalente della rotazione lineare del vettore

sulla ruota delle fasi; i valori in esso contenuti corrispondono alla fase in un determinato istante lungo il periodo della sinusoide. Il numero discreto dei valori possibili è determinato dalla risoluzione dell'accumulatore, che, in figura 4.1, è indicata con M. Naturalmente, per poter generare una sinusoide, è necessario utilizzare un ulteriore elemento, la LUT, dal momento che l'accumulatore è in grado di fornire in uscita un solo tipo di forma d'onda, ossia una rampa. Esso, infatti, non è altro che un contatore modulo-M che incrementa il valore di uscita ad ogni colpo di clock, sommando una parola, FTW, caricata dall'esterno, fino a giungere all'overflow. Quindi la FTW definisce quanti punti si saltano sul cerchio delle fasi e, più è grande tale numero, più velocemente viene completato il periodo equivalente della sinusoide, maggiore è la frequenza sintetizzata: si tratta della cosiddetta risoluzione di sintonizzazione. La relazione che determina la frequenza di uscita in base a valore della FTW, frequenza di clock f_{clk} e numero di bit M dell'accumulatore di fase è detta equazione base di sintonizzazione:

$$f_{out} = \frac{FTW * f_{clk}}{2^M} \tag{4.1}$$

Le possibili forme d'onda in uscita da accumulatore e ROM, al variare della FTW, sono riportate in figura 4.3, nel caso di accumulatore a 3 bit. Come vedremo successivamente, la FTW viene caricata in modo seriale, al fine di ridurre il numero di pad del dispositivo DDS; ciò è reso possibile dal protocollo di comunicazione SPI.
Un ulteriore vantaggio di questa struttura è la sua natura digitale, e la flessibilità che ne deriva. Infatti, aggiungendo dei blocchi completamente digitali, è possibile ottenere la generazione di forme d'onda differenti da quelle sinusoidali, come ad esempio rampe.

4.3 Studio dello spettro del segnale di uscita

Per capire com'è fatto lo spettro del segnale di uscita, bisogna fare ricorso alla teoria del campionamento. La teoria di Nyquist indica che sono necessari un minimo di due campioni per periodo per poter ricostruire la forma d'onda desiderata in uscita. Per il teorema del campionamento, il singolo spettro della forma d'onda voluta, viene replicato e centrato in multipli della frequenza di campionamento. Nel caso di *Sample and Hold*, che è il metodo che utilizza il convertitore DAC, tali repliche vengono poi pesate per la funzione sinc(), che si annulla per mutlipli interi della frequenza di clock. Nel caso di DDS in ingresso al DAC, quindi, supponendo di essere in condizioni ideali e di rispettare il teorema di Nyquist, il modulo dello spettro del segnale

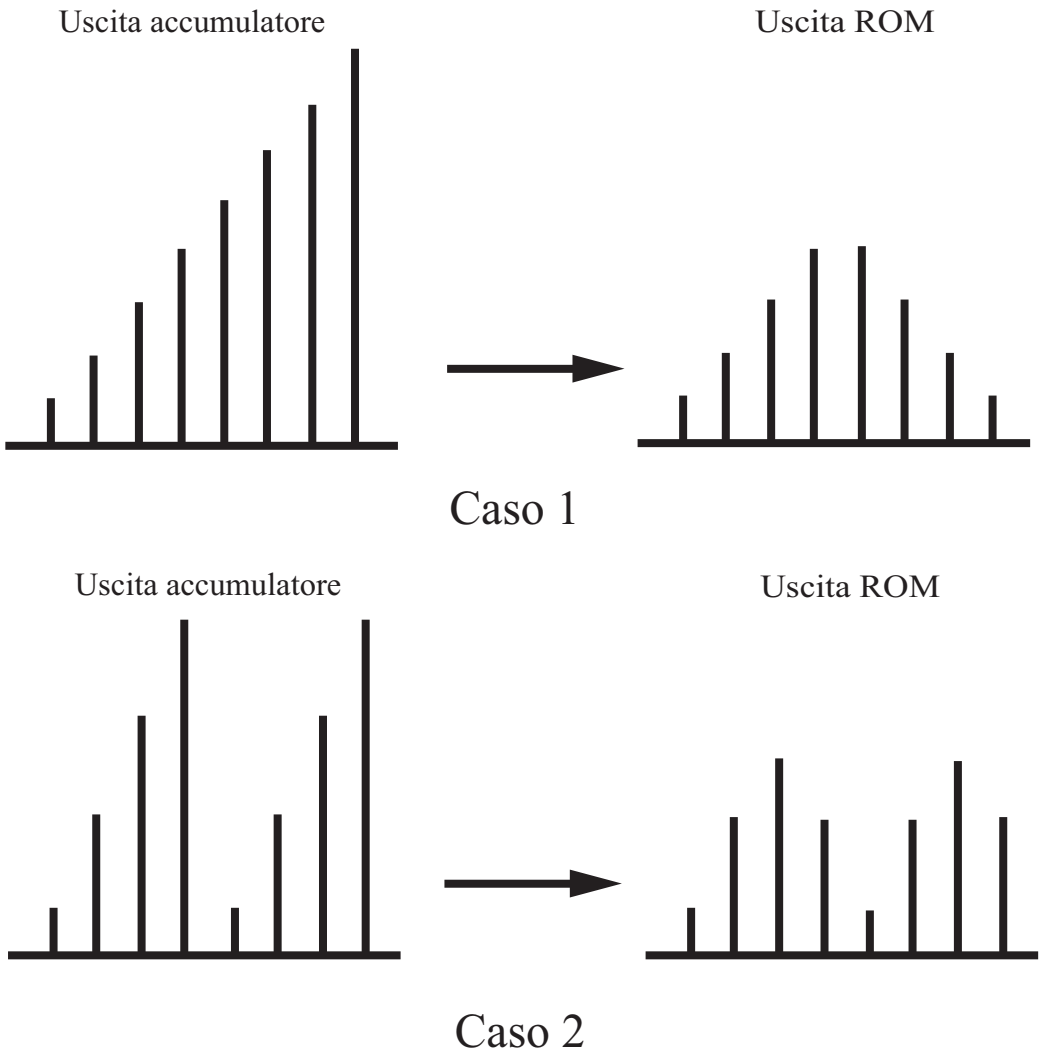

Figura 4.3: Forme d'onda in uscita da accumulatore e ROM in un DDS a 3 bit
caso 1:FTW=1
caso 2:FTW=2

di uscita si otterrà a partire da quello di una sinusoide ideale, attraverso l'operazione di replicazione, e considerando un inviluppo del tipo sinc(). Il tutto è mostrato in figura 4.4, dove si nota la presenza delle repliche, poste a multipli di $f_{clk} \pm f_{out}$. Chiaramente, per i motivi appena descritti, al fine di ottenere una sinuoide pura in uscita dal sistema, è necessario ricorrere ad una operazione di filtraggio passa-basso; solo in tal modo, infatti, si può recuperare la componente utile, eliminando le repliche indesiderate. Per facilitare la progettazione di tali filtri e migliorare la purezza dello spettro di uscita è ragionevole limitare la frequenza di uscita al 40% di quella del clock.

Naturalmente quello appena presentato è il caso ideale; in realtà, ci sono altri fattori

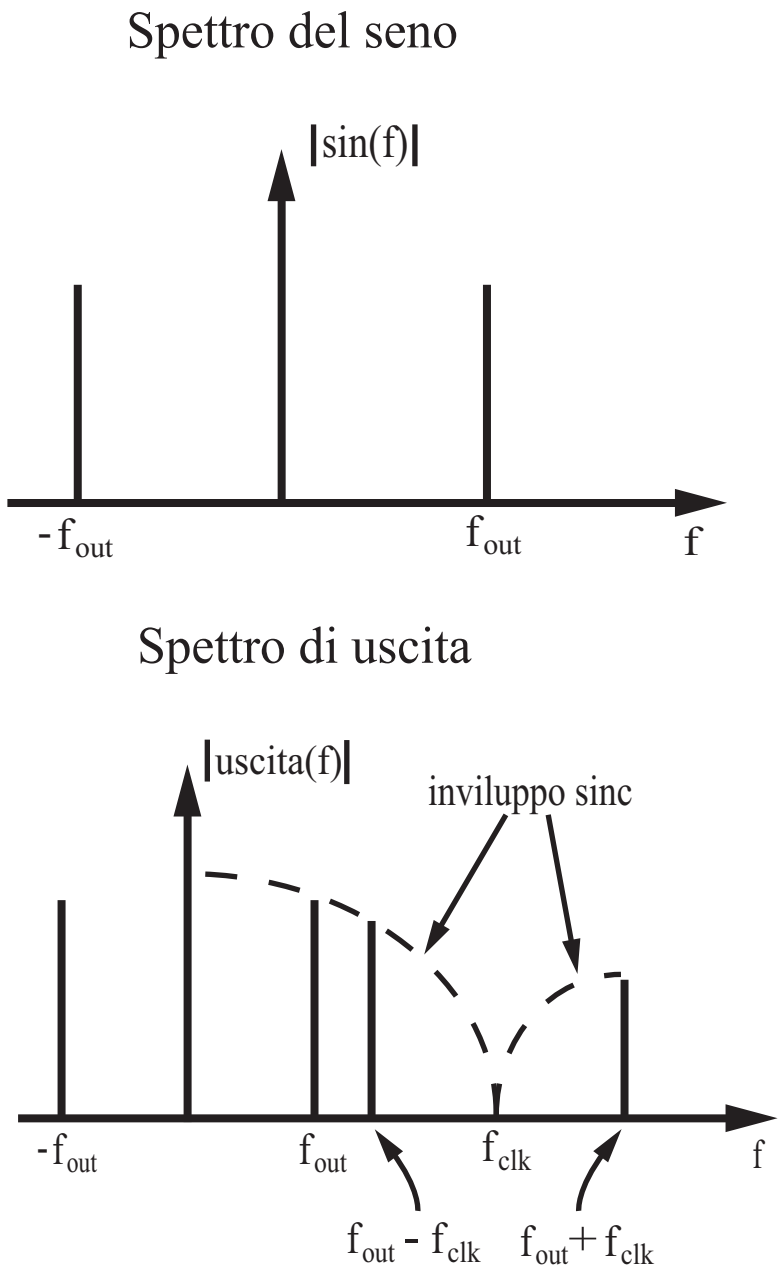

Figura 4.4: Modulo dello spettro del segnale $sin(2\pi f_{out}t)$ e dell'uscita
f_{clk} è la frequenza del clock
f_{out} è la frequenza dell'uscita

che degradano la purezza spettrale del segnale, come la quantizzazione di ampiezza e la quantizzazione di fase. Si tratta di due fenomeni che, anche se possono essere analizzati separatamente, si combinano in modo complesso per dare luogo allo spettro del segnale di uscita. Nel presente lavoro, dapprima si descrive la quantizzazione di ampiezza,e poi viene introdotto il modo in cui le due quantizzazioni si combinano tra loro, per determinare lo spettro del segnale di uscita. Infine viene messo in risalto un terzo effetto, quello del troncamento di fase, che degrada ulteriormente le prestazioni in frequenza del sistema.

4.3.1 Quantizzazione di ampiezza

La risoluzione finita, ossia il numero di bit con cui vengono memorizzati i campioni all'interno della LUT, dà origine all'effetto di *distorsione da quantizzazione*, responsabile della comparsa di spurie indesiderate nello spettro di uscita. Come ampiamente descritto in letteratura, l'errore di quantizzazione, sotto determinate ipotesi [17], può essere considerato come un rumore, e, di conseguenza, appare nello spettro del segnale convertito come un livello di fondo, e non come spurie a frequenze ben localizzate. Approfondendo meglio l'argomento [1], si giunge alla conclusione che le ipotesi a cui si faceva riferimento poco fa, sono equivalenti, dal punto di vista del risultato, ad una condizione sulla risoluzione, ossia che quest'ultima tenda all' infinito. Anche in tal caso, infatti, l'errore di quantizzazione si può ritenere a tutti gli effetti un rumore, caratterizzato da una certa distribuzione statistica. La conseguenza principale di tutto ciò è un miglioramento dell'SFDR, al crescere del numero di bit del convertitore. In particolare, come spiegato in [1], è possibile ricavare empiricamente una stima dell'SFDR:

$$SFDR|_{dB} = 9.03N + c(N) \tag{4.2}$$

dove c(N) rapprensenta una quantità empirica che varia tra 0 e -6 con N compreso tra 1 e 12.
Come verifica di tutto quello appena descritto, sono state effettuate delle simulazioni in ambiente Matlab Simulink, utilizzando un semplice modello costituito da un generatore sinusoidale e un quantizzatore ideale ad N bit, realizzato tramite due stadi di guadagno e un blocco per arrotondare all'intero inferiore più vicino (figura 4.5)

Elaborando la grandezza in uscita, tramite uno script, basato sull'algoritmo FFT, è

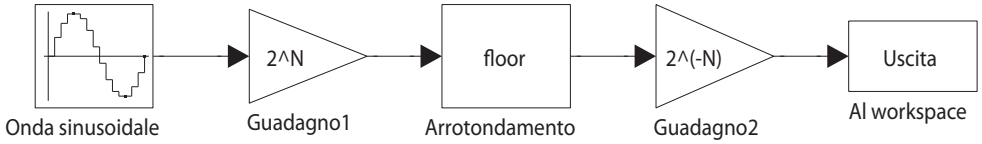

Figura 4.5: Schema a blocchi in ambiente Simulink, usato per valutare l'effetto della quantizzazione di ampiezza sullo spettro del segnale di uscita, a partire da un segnale sinusoidale campionato in ingresso
La sinusoide in ingresso ha una frequenza di circa 100 MHz ed è campionata a 2.5 GHz
I blocchi di guadagno e il blocco *floor* costituiscono un quantizzatore di ampiezza ideale su N bit
L'uscita viene salvata nel workspace per poter essere elaborata, al fine di valutarne lo spettro

possibile ottenere lo spettro del segnale di interesse, al variare di N. I risultati sono mostrati in figura 4.6 per i casi N=5 ed N=10. La *Resolution Bandwidth* (RBW) è impostata a 60 dB, in modo da avere tempi di simulazione non troppo lunghi e un fondo di rumore che permetta di vedere le spurie di interesse. Quindi, ricapitolando, le scelte effettuate per la figura 4.6 sono le seguenti:

- Tempo di simulazione=1 µs
- Frequenza di campionamento=2.5 GS/s
- Parametri sinusoide
  - Ampiezza=1V
  - $Frequenza = \sqrt{(2)} * 100MHz$
  - Offeset e fase iniziale pari a 0

Dai due grafici si nota che, effettivamente, l'SFDR si riduce fortemente, passando da -86 dBc, nel caso N=10, a -50 dBc, nel caso N=5; quindi i risultati sperimentali sono in accordo con la 4.2. Inoltre è evidente che, all'aumentare del numero di bit di risoluzione, l'errore di quantizzazione tende a diventare sempre più un rumore di fondo, mentre le spurie tendono a ridursi in intensità, come già anticipato.
Un altro aspetto, che conviene mettere in rilievo, è la scelta della frequenza della sinusoide in ingresso. Il valore $\sqrt{(2)} * 100MHz$, infatti, non è stato scelto a caso, bensì è frutto di un ragionamento che deriva dalla teoria del campionamento. Come già mostrato in figura 4.4, al campionamento nel dominio del tempo, corrisponde una replicazione nel dominio della frequenza. Purtroppo, mentre nel caso ideale, per

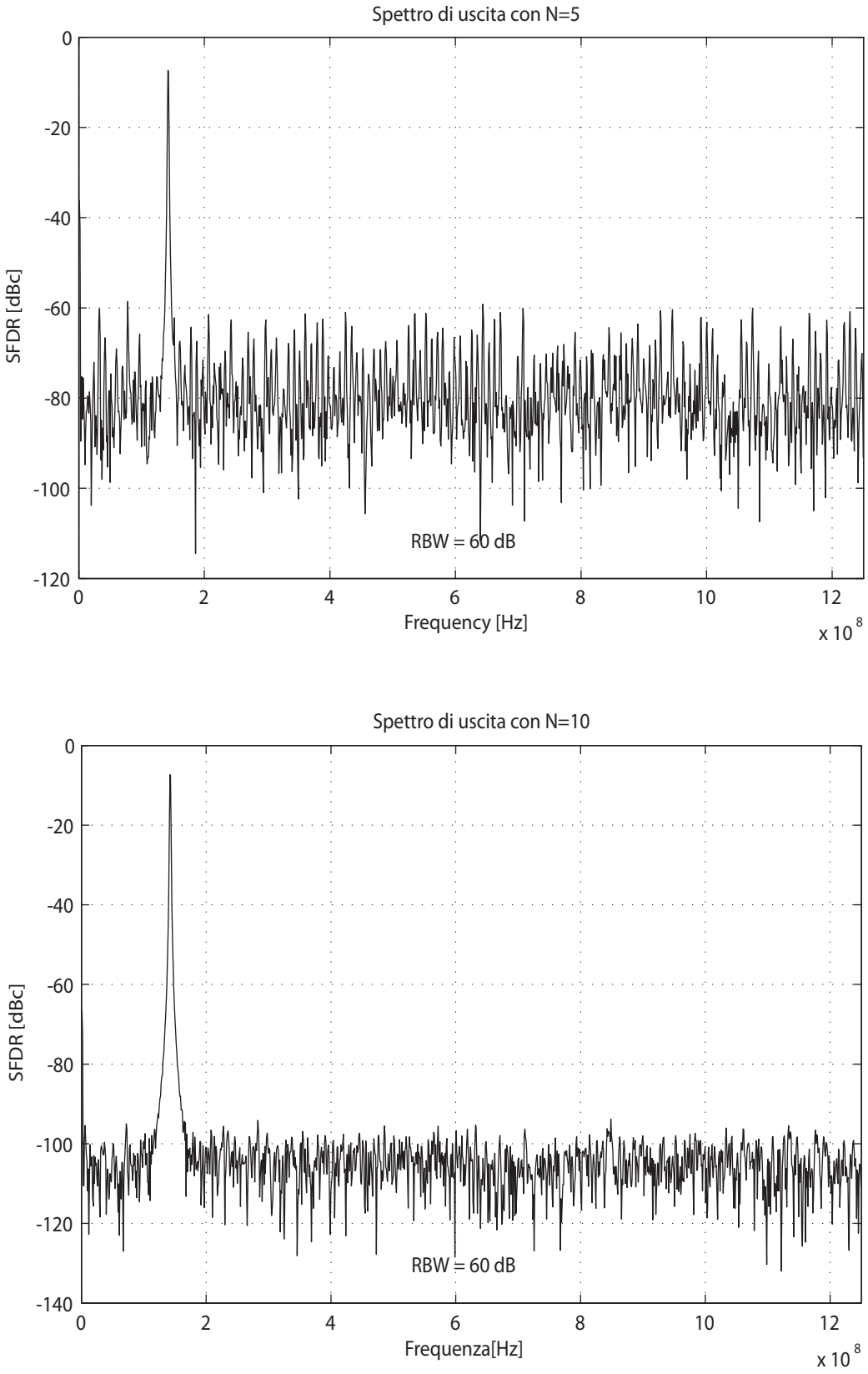

Figura 4.6: Spettri di uscita al variare di N: valutazione dell'SFDR
RBW è la *Resolution Bandwidth*, impostata scegliendo correttamente il tempo di simulazione, ossia il numero di punti

riuscire a recuperare lo spettro dell'ingresso, è sufficiente utilizzare una frequenza di clock pari almeno al doppio della frequenza del segnale d'ingresso, nel caso reale non si può mai riottenere esattamente lo spettro di partenza. Ciò è legato all'inevitabile presenza di non linearità, presenti nel circuito reale e dovute, nel modello simulink, alla presenza del blocco di arrotondamento. Esse generano la comparsa di armoniche spurie a frequenze multiple della frequenza della sinusoide in ingresso, le quali, a causa del campionamento, e, quindi, della sovrapposizione delle repliche, vengono riportate nella banda di interesse. Si tratta del fenomeno conosciuto in letteratura come "aliasing". L'ampiezza di tali armoniche non è a priori prevedibile, ma è possibile calcolare la loro posizione in banda, a partire dalla conoscenza della frequenza utile e quella di clock.
Generalmente, per una data frequenza di uscita f_{out}, l'armonica ennesima è posizionata ad nf_{out} (4.7). A causa della replicazione, alcune armoniche, più grandi di

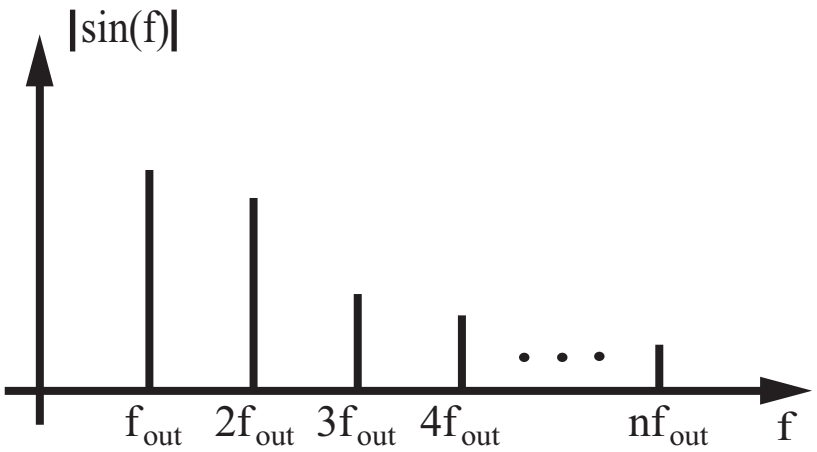

Figura 4.7: Modulo dello spettro monolatero di una sinusoide reale: le armoniche spurie, dovute alle non linearità, sono centrate a multipli interi della frequenza utile f_{out}

f_{clk}, appaiono come spurie nell'intervallo tra 0 e $f_{clk}/2$, detta *prima zona di Nyquist*, mentre altre compaiono tra $f_{clk}/2$ e f_{clk}, detta *seconda zona di Nyquist* (figura 4.8).

Per valutare con esattezza la locazione in frequenza di tali spurie "ripiegate", si può ricorrere alla seguente procedura:

1. si calcola R, il resto della divisione $\frac{Nf_{out}}{f_{clock}}$, con N intero;
2. detta $SPUR_N$ la frequenza di aliasing dovuta all'armonica N-esima, allora $SPUR_N = R$ se $R \leq \frac{f_{clock}}{2}$, altrimenti $SPUR_N = f_{clock} - R$

Da ciò deriva che, se il rapporto $\frac{f_{out}}{f_{clock}}$ è un numero razionale, le armoniche vengono riportate nella banda utile alle stesse frequenze, creando delle spurie di intensità

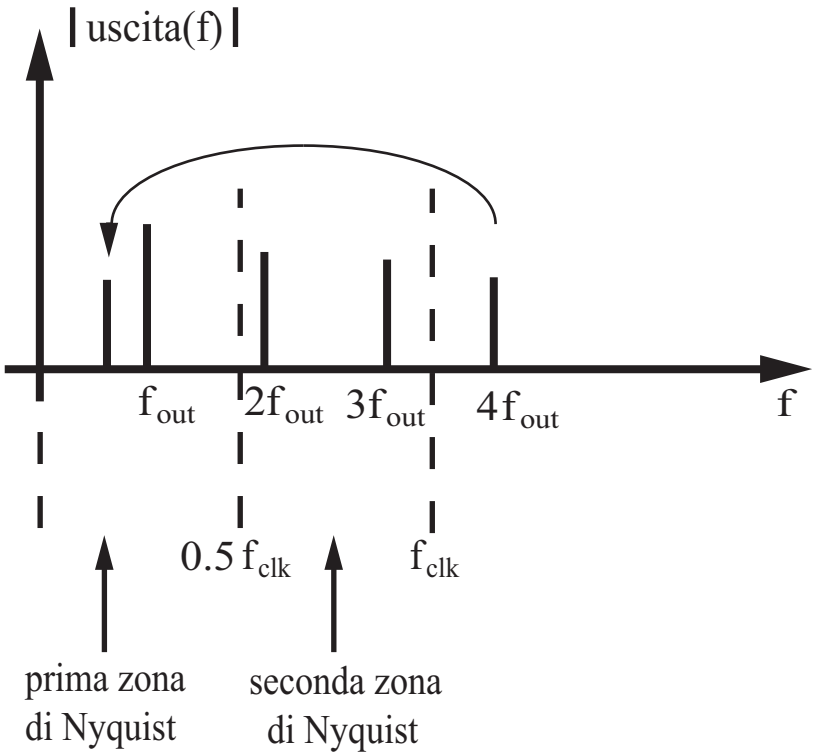

Figura 4.8: Esempio di aliasing: la quarta armonica di f_{out} viene riportata nella prima zona di Nyquist

elevata (figura 4.9). Ecco perchè, al fine di valutare l'SFDR dovuto soltanto alla quantizzazione di ampiezza, è stata scelta una frequenza di $\sqrt{(2)} * 100MHz$.

4.3.2 Metodo per la valutazione dello spettro del segnale di uscita dovuto alle quantizzazioni di ampiezza e di fase

Come già spiegato in precedenza, in un sintetizzatore digitale diretto, oltre alla quantizzazione di ampiezza, bisogna considerare anche la quantizzazione di fase. In sostanza si tratta dell'errore associato al numero finito di bit, con cui si descrive la stringa usata per indirizzare la LUT, ossia la profondità dell'accumulatore di fase. Per capire come i due fenomeni influenzano lo spettro del segnale di uscita, bisognerebbe svolgere una trattazione matematica rigorosa e complicata. Poichè lo scopo del presente lavoro è la quantificazione dell'SFDR, si può ricorre ad una tecnica approssimata, ma efficace, per capire quale dei due fenomeni risulta dominante sull'altro. Ciò, come si vedrà tra poco, è molto utile perchè impone un vincolo sulla lunghezza della parola di uscita dall'accumulatore.
Si considera una semplice sinusoide quantizzata in fase e in ampiezza, di cui si mettono in primo piano il passaggio per lo zero e il passaggio per il massimo. Si analizza prima il passaggio per lo zero, in figura 4.10. In tale zona, dalla teoria di Taylor,

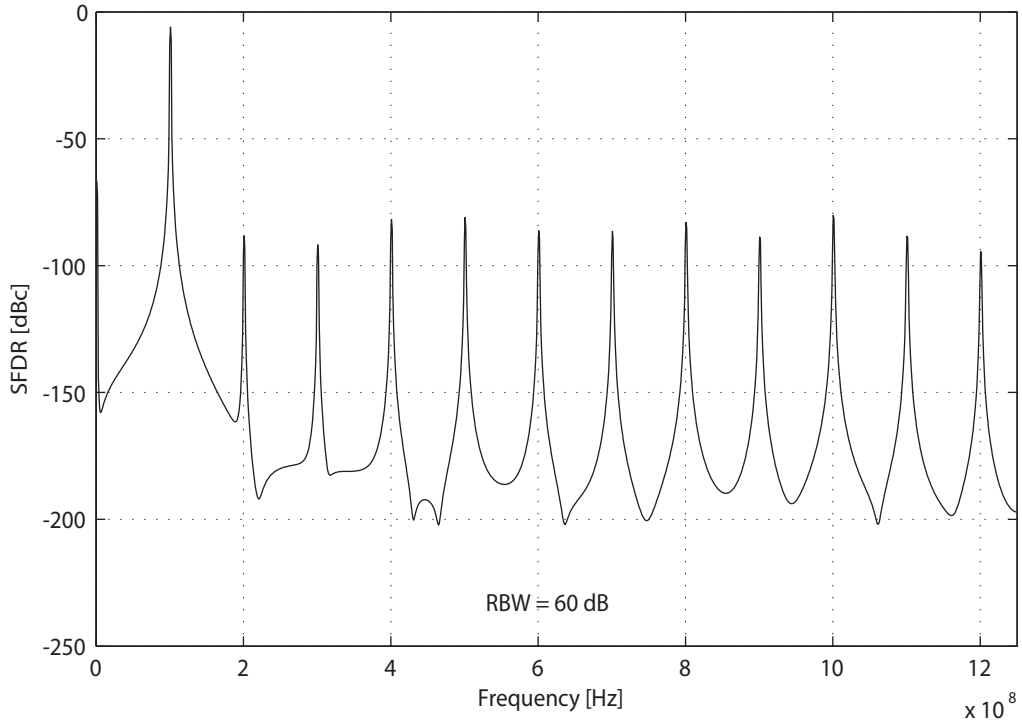

Figura 4.9: Spettro di uscita nel caso di $\frac{f_{out}}{f_{clock}}$ pari a 25: si notano le spurie di intensità elevata dovute all'*aliasing*

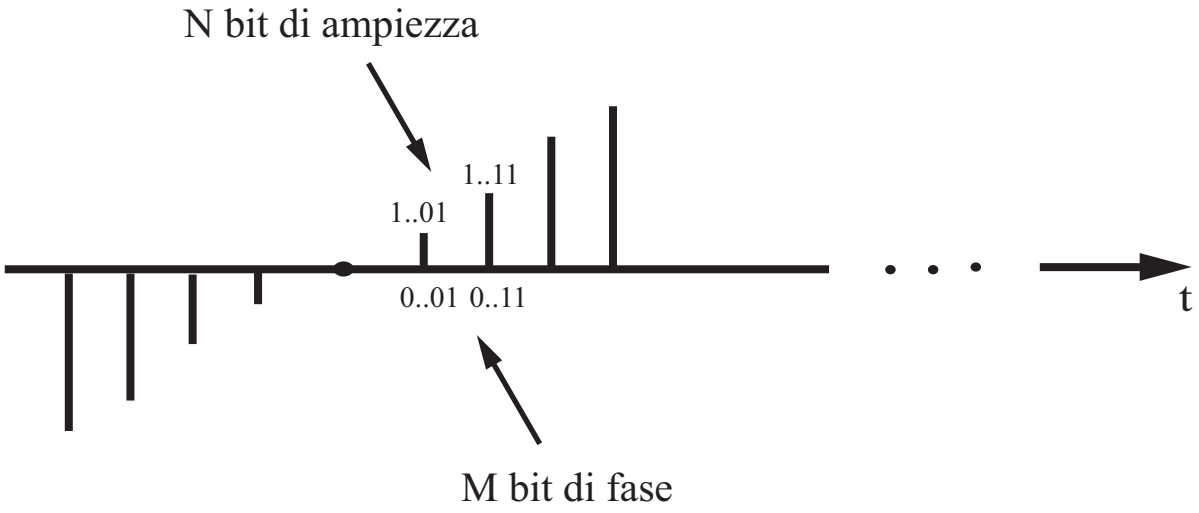

Figura 4.10: Passaggio per lo zero di una sinusoide quantizzata in fase e in ampiezza

essendo l'argomento $x \ll 1$, è possibile approssimare il seno con il suo argomento

$$sin(x) \simeq x \tag{4.3}$$

quindi, poichè l'argomento non è altro che la fase quantizzata ad M bit, è chiaro che l'errore associato alla quantizzazione di fase si rimappa in un equivalente errore di ampiezza. Pertanto l'SFDR, a causa di questo effetto, sarà limitato dalla più piccola lunghezza della parola binaria, tra le due relative a fase e ampiezza. Dal punto di vista matematico, si applica, in ognuno dei due suddetti casi, la 4.2, con N o M, a seconda di quale sia il più piccolo.
Si passa ora al passaggio per il massimo della funzione, di cui sono raffigurati due diversi casi, uno in figura 4.11 e l'altro in figura 4.12. Supponiamo che il primo si

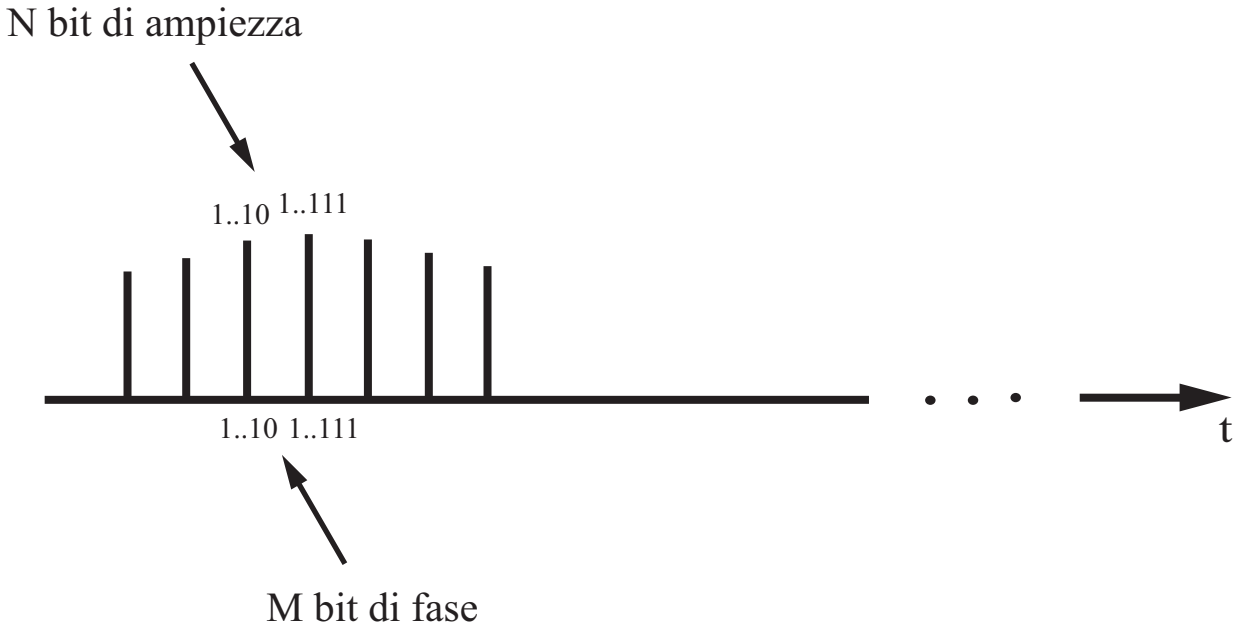

Figura 4.11: Passaggio per il massimo di una sinusoide quantizzata in fase e in ampiezza, con M che limita l'SFDR

riferisca alla situazione in cui N è molto elevato ed M è molto piccolo. Naturalmente si nota che tutti i campioni sono descritti, in ampiezza, da codici binari diversi, cioè non ci sono campioni che si ripetono. Ciò è legato al fatto che, essendo la differenza tra N ed M elevata, non c'è una corrispondenza uno ad uno tra numero di campioni e numero di livelli di ampiezza, cioè ci sono più livelli di ampiezza disponibili che campioni. Pertanto, aumentando N, si otterrebbe un miglioramento dell'accuratezza con cui vengono descritti i campioni, e, quindi, dell'SFDR, a prescindere da M, in quanto si riduce l'errore di quantizzazione. Tuttavia, anche aumentando M, si avrebbe un miglioramento, poichè aumenta il numero di campioni e, quindi, si riducono i livelli di ampiezza disponibili. La differenza sta nel fatto che, man mano che M si avvicina ad N, il miglioramento si riduce. Questo rappresenta il secondo caso e, come visibile in figura 4.12, è dovuto al fatto che, se si aumenta la risoluzione con cui viene descritta la fase, aumenta solo il numero di campioni descritti dal-

lo stesso codice binario, mentre i livelli di quantizzazione dell'ampiezza restano gli stessi. Quindi si ha solo un aumento del numero di campioni ripetuti, senza alcuna informazione aggiuntiva, e, pertanto, con nessuna variazione significativa dell'SFDR. In pratica, in prossimità del massimo, un aumento di N comporta un aumento della risoluzione con cui si riescono a distinguere campioni adiacenti, e, quindi dell'SFDR, mentre un aumento di M determina un aumento dell'SFDR solo quando $M \ll N$. Concludendo, dall'analisi appena svolta, si può affermare che quando M supera N,

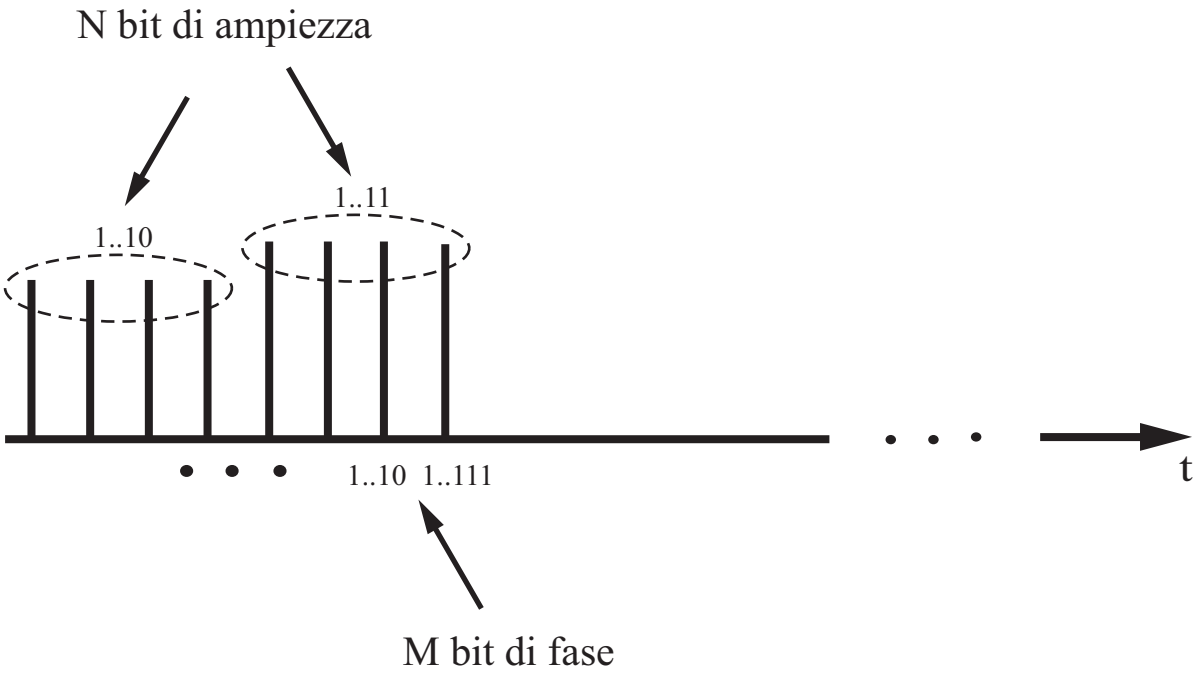

Figura 4.12: Passaggio per il massimo di una sinusoide quantizzata in fase e in ampiezza, con N che limita l'SFDR

l'SFDR è imposto principalmente dalla quantizzazione di ampiezza, che definisce lo spettro sia alle basse sia alle alte frequenze. Siccome nei casi pratici $M \gg N$, l'SFDR si può calcolare ricorrendo alla 4.2. Ovviamente, fino a questo punto, si è trascurato totalmente l'effetto del troncamento di fase.

4.3.3 Troncamento di fase

Il troncamento di fase rappresenta un importante aspetto delle architetture DDS, in quanto permette di utilizzare ROM di dimensioni contenute, anche se si richiede una risoluzione di sintonizzazione estremamente performante. Il prezzo da pagare è il peggioramento delle caratteristiche spettrali, dovuto all'insorgere di spurie indesiderate.

Per fissare le idee, si supponga di avere la necessità di implementare un accumula-

tore di fase con lunghezza della parola di uscita pari a 32 bit. Per convertire 32 bit di fase nei corrispondenti valori di ampiezza, avremmo bisogno di una LUT con 2^{32} locazioni di memoria; ciò implicherebbe che, se ogni locazione contenesse un valore codificato con 8 bit, le dimensioni della ROM dovrebbero essere intorno ai 4 GB. Chiaramente ciò è impensabile da un punto di vista realizzativo, poichè l'ingombro di una memoria così grande andrebbe a ledere una delle caratteristiche peculiari del DDS, ossia la compattezza, oltre che impattare negativamente sulla velocità operativa, essendo i tempi di accesso molto lunghi. Per porre rimedio a questo problema, si utilizza soltanto una frazione dei bit che costituiscono l'uscita dell'accumulatore di fase. Ad esempio, si supponga di prendere soltanto i primi 12 bit dell'informazione di fase, mentre i restanti 20 bit vengono troncati. Per capire l'implicazione di una tale operazione, si può fare riferimento alla ruota delle fasi, presentate precedentemente in figura 4.2. Per avere a che fare con numeri più facili da gestire, si immagini di disporre di un DDS con un accumulatore di fase a 8 bit e di troncare ai primi 5 bit più significativi per accedere alla LUT. In questo caso la ruota delle fasi presenta 32 punti e la risoluzione di fase è pari a $\frac{1}{32}$ dell'angolo giro, ossia 11.25°, invece di $\frac{1}{256}$, cioè 1.41° (figura 4.13). Si fissa anche il valore assunto dalla FTW, impostandolo pari a 6. Questo determina l'incremento di fase in uscita dall'accumulatore, e, quindi, l'ampiezza del salto di fase lungo la ruota. Al primo passo sarà stato percorso un angolo pari a 8.46°, ma, poichè il troncamento è di 3 bit, è necessario percorrere un angolo di $2^3 * 1.41°$, ossia di 11.25°, prima di vedere una variazione dell'indirizzo di uscita dall'accumulatore. Quindi inizialmente l'uscita è 0, ma sono stati percorsi 6 punti sulla ruota, con conseguente errore di fase di 8.46°. Al secondo passo verranno percorsi altri 6 punti, per un totale di 12, e, di conseguenza, l'uscita si assesterà al valore corrispondente all'angolo 11.25°, determinando un ulteriore errore di 5.64°. Il processo continua fino al completamento di un intero angolo giro, per poi ripartire. Pertanto, si intuisce facilmente che, dopo un certo numero di giri, si ripresentano sempre gli stessi errori, i quali, perciò, risultano essere periodici. Questa caratteristica di periodicità nel dominio del tempo si traduce nella presenza di spurie spettrali nel dominio della frequenza, conosciute come *spurie del troncamento di fase*. Queste spurie dipendono da tre fattori:

1. il numero di bit dell'accumulatore, indicato con M e della Frequency Tuning Word, indicato con F;

2. il numero di bit della fase troncata, indicato con P;

3. il valore della Frequency Tuning Word , indicato con L.

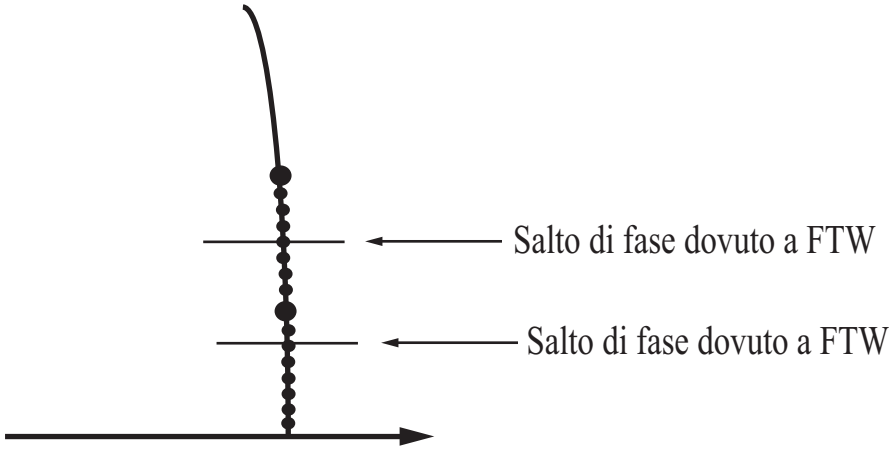

Figura 4.13: Ingrandimento del primo tratto della ruota delle fasi: i punti piccoli rappresentano gli incrementi di 1.41°(8 bit), mentre quelli grandi rappresentano 11.25°(5 bit)

Un aspetto importante da notare è che alcune FTW non comportano alcun troncamento di fase e quindi il livello delle spurie risulta essere contenuto, mentre altre FTW hanno un livello massimo di spurie. Queste ultime sono quelle che soddisfano la seguente relazione:

$$MCD(FTW, 2^{M-P}) = 2^{M-P-1} \tag{4.4}$$

dove $MCD(X, Y)$ è il Massimo Comune Divisore di X e Y. Affinchè la relazione sia soddisfatta, le FTW devono avere la forma mostrata in figura 4.14, ossia hanno un bit ad 1 nella posizione M-P-1. I primi P bit sono quelli utilizzati per l'informazione

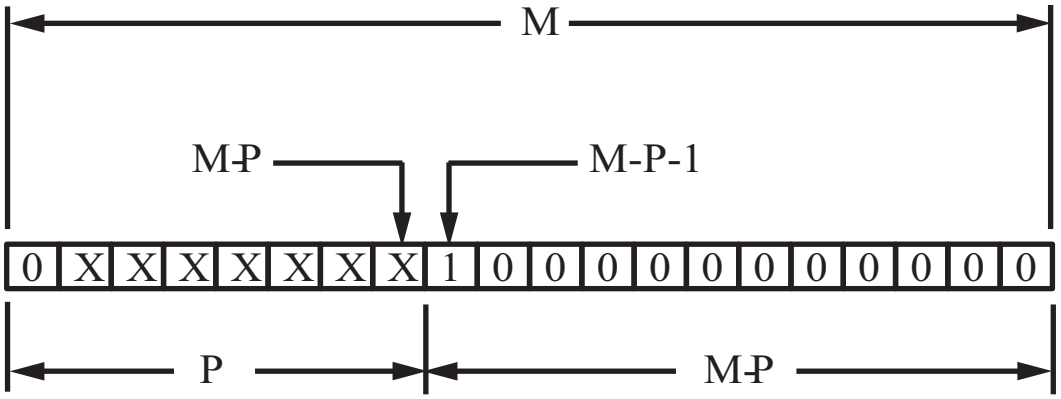

Figura 4.14: Forma delle FTW che forniscono spurie con massima intensità: il bit nella posizione M-P-1 è pari ad 1

di fase, mentre i restanti M-P bit vengono troncati. La FTW è composta da F bit, ma il primo, ossia il *Most Significative Bit*(MSB), deve essere pari a 0 per rispettare la condizione imposta dal teorema di Nyquist (la frequenza massima sintentizzabile è $\frac{f_{clock}}{2}$).

Con altre FTW, invece, nonostante subiscano il troncamento, non si ha nessuna perdita di informazione; si tratta di quelle che soddisfano la seguente equazione:

$$MCD(FTW, 2^{M-P}) = 2^{M-P} \tag{4.5}$$

dove, come prima, $MCD(X, Y)$ è il Massimo Comune Divisore di X e Y.
Come illustrato in figura 4.15, queste parole presentano un bit pari ad 1 nella posizione M-P e 0 nei restanti bit, quelli che subiranno il troncamento. Dunque, poichè agli zeri non è associata alcuna informazione aggiuntiva, non si ha perdita di dati, e, nello spettro di uscita, non saranno presenti spurie dovute al troncamento di fase [18]. I due casi appena citati rappresentano quelli estremi; tutte le altre FTW dan-

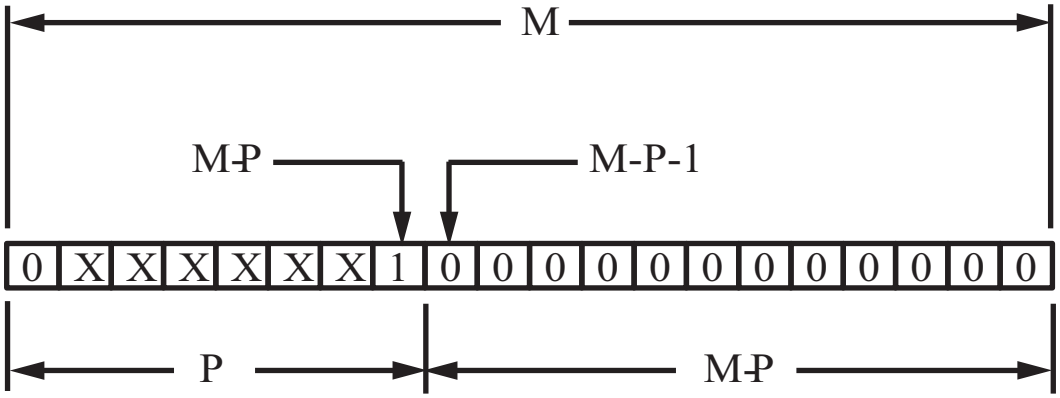

Figura 4.15: Forma delle FTW che non forniscono spurie da troncamento: i bit troncati sono tutti pari a 0

no vita a situazioni intermedie, in cui l'intensità delle spurie è all'interno del range fissato dai due MCD limite. Per analizzare e capire come si formano le spurie, si ricorda, innanzitutto, che il cuore del DDS consiste in un accumulatore ad N bit, che ricorsivamente somma la FTW. Inizialmente l'uscita dell'accumulatore sarà pari alla FTW scelta, e poi, ad ogni impulso di clock, viene incrementata di un valore pari alla FTW. Naturalmente, dopo un certo numero di cicli di clock, essa assumerà nuovamente il valore iniziale (figura 4.16) e il numero di colpi di clock affinchè si verifichi tale situazione viene definito come *Ground Repetition Rate* (GRR) o anche *periodo numerico*:

$$GRR = \frac{2^M}{MCD(FTW, 2^M)} \tag{4.6}$$

dove M, come già specificato prima, è il numero di bit dell'accumulatore.

Tale parametro non va confuso con il periodo della forma d'onda continua, ideale, a dente di sega, che si può immaginare in uscita dall'accumulatore. Infatti, come già

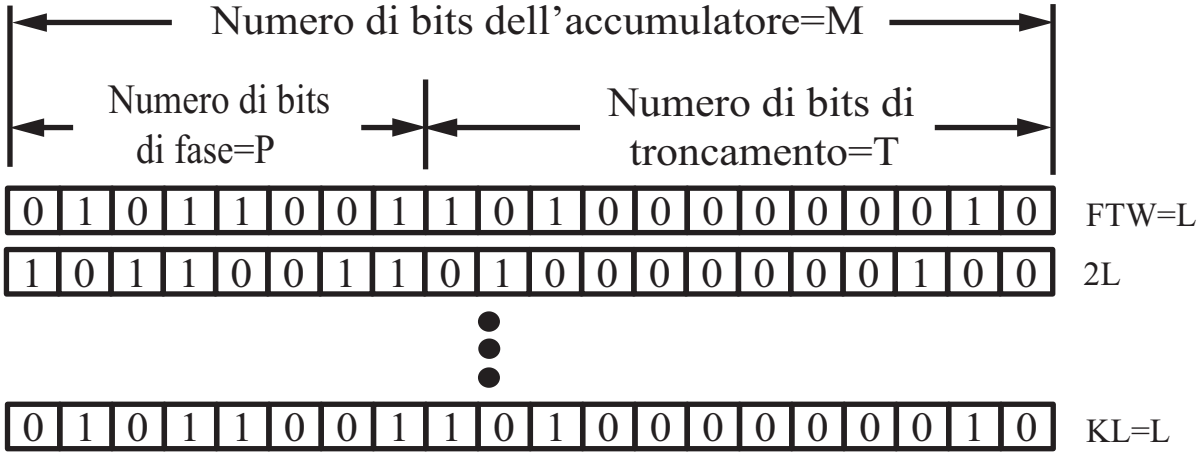

Figura 4.16: Ciclo completo dell'uscita dell'accumulatore: il primo valore è pari a L, il secondo a 2L, e così via, fino a ritornare al valore iniziale L
T=M-P
K è un intero

visto sulla ruota delle fasi, la sequenza di fasi generata, può essere vista come una sequenza di campioni, estratti da un segnale a dente di sega ideale, di ampiezza 2^M e periodo $\frac{2^M * f_{clk}}{FTW}$. Nel prosieguo si assume f_{clk}=1 per semplicità. Tutto ciò è visibile in figura 4.17. Quindi è evidente che soltanto nel caso in cui $FTW = MCD(FTW, 2^M)$

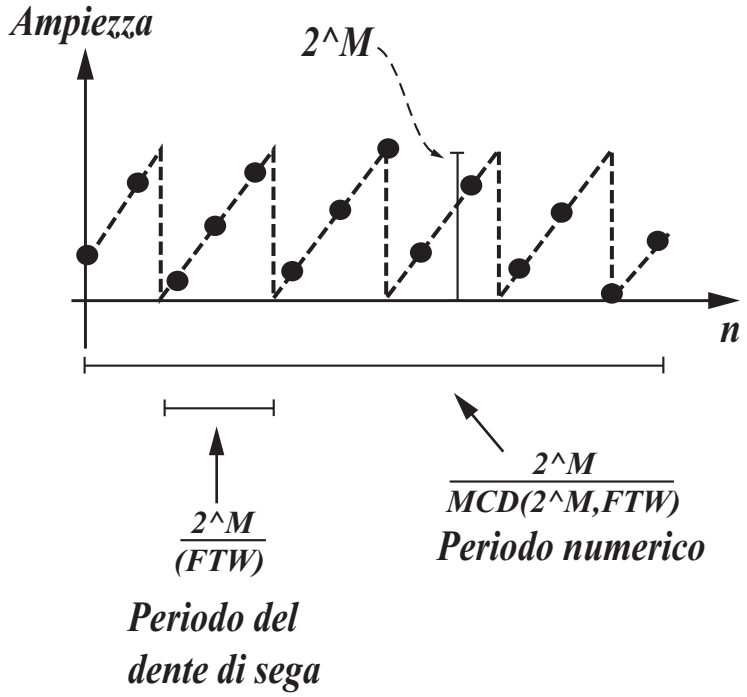

Figura 4.17: Sequenza delle fasi in funzione del numero di colpi di clock n: il segnale a dente di sega ideale è tratteggiato

i periodi della sequenza delle fasi e del segnale a dente di sega ideale coincidono; ciò

si verifica quando FTW è una potenza di 2. La conseguenza rilevante di tale fenomeno è che il periodo numerico della sequenza dei campioni richiamati dalla LUT, ha esattamente lo stesso valore di quello della sequenza generata dall'accumulatore di fase. Quindi, lo spettro, discreto, di uscita del DDS, sarà caratterizzato da un numero di punti pari a $\frac{2^M}{MCD(FTW,2^M)}$.
A causa del troncamento, come visibile in figura 4.16, soltanto P bit vengono inviati al convertitore fase/ampiezza utilizzato per produrre la forma d'onda d'uscita, ossia alla LUT, mentre i restanti M-P non vengono usati per indirizzare il campione memorizzato. Quindi il segnale di uscita è essenzialmente in errore, cioè è possibile affermare che esso è una composizione di due segnali, quello che ha massima risoluzione, ossia senza il troncamento di fase, e un segnale corrispondente all'errore dovuto ai bit troncati, il quale è la sorgente delle spurie. Non resta che analizzare tale segnale errore, e, a tal fine, si prendono in considerazione soltanto i bit troncati, escludendo quelli della parola di fase.
Si introduce, per comodità, una nuova grandezza, ossia la *Equivalent Tuning Word* (ETW), definita nel seguente modo

$$ETW = FTW mod(2^T) \tag{4.7}$$

con T numero di bit troncati e mod operatore modulo.
Questa ETW non è altro che una porzione della FTW originale, ma permette di valutare il periodo numerico del segnale errore. Naturalmente può essere considerato come una sequenza di campioni estratti da un segnale ideale, tempo continuo, a dente di sega, ma di ampiezza e periodo modificati(figura 4.18), rispetto al caso precedente. Il modo di ragionare è sostanzialmente analogo, per cui le formule che descrivono i parametri sono praticamente le stesse, a patto di sostituire 2^M con 2^T e FTW con ETW:

$$GRR = \frac{2^T}{MCD(ETW, 2^T)} T_{err} = T_{clk} * \frac{2^T}{ETW} A_{err} = 2^T \tag{4.8}$$

dove T_{err} e A_{err} sono, rispettivamente, il periodo e l'ampiezza del segnale ideale, a forma di dente di sega, da cui sono estratti i campioni della sequenza errore.
Quindi risulta evidente che, per valutare le spurie, dovute al troncamento di fase, presenti nello spettro della sinusoide di uscita, si può considerare un segnale errore, tempo continuo, a dente di sega, come segnale di partenza, il quale, essendo periodico, presenta uno spettro a righe. Poi, essendo la sequenza errore ottenuta campionando tale segnale, lo spettro complessivo sarà dato dalla replicazione dello spettro del dente di sega, con conseguente ripiegamento in banda utile delle componenti ad alta frequenza, a causa dell'aliasing.

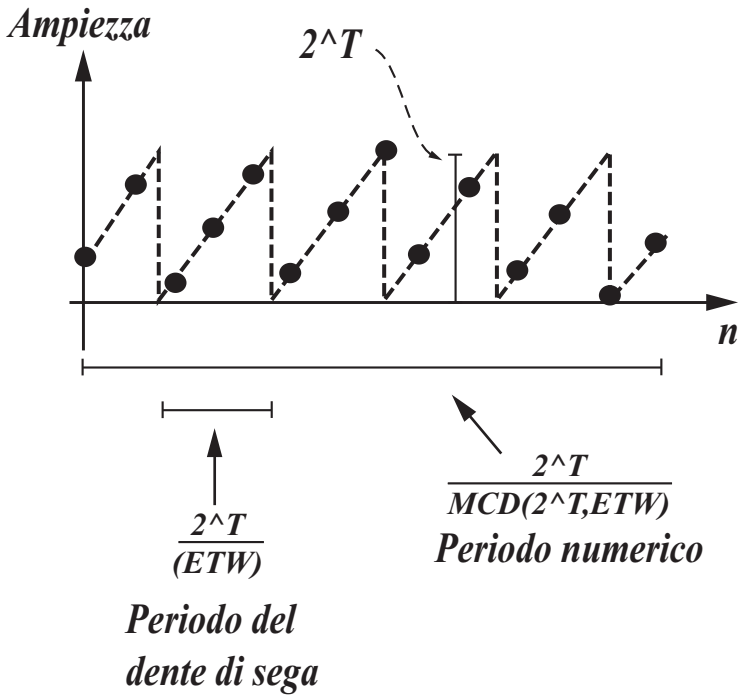

Figura 4.18: Sequenza errore di uscita in funzione del numero di colpi di clock n: il segnale a dente di sega ideale è tratteggiato

Chiaramente, poichè l'interesse principale è rivolto alle prestazioni in termini di linearità, la ricostruzione esatta dello spettro di uscita va al di là degli obiettivi di questa tesi. E', invece, molto importante, giungere ad una valutazione quantitativa dell'SFDR, per cui risulta fondamentale calcolare l'ampiezza della spuria maggiore. La quantificazione dell'altezza della spuria più intensa è ottenuta, tramite una dimostrazione matematica, in [19] e [18], e risulta essere

$$\zeta = 2^{T-M} \frac{\frac{\pi MCD(FTW,2^T)}{2^T}}{sin\frac{\pi MCD(FTW,2^T)}{2^T}} \tag{4.9}$$

Dalla 4.9 deriva una considerazione che vale la pena sottolineare. Quando il Massimo Comun Divisore tra FCW e 2^T è pari ad uno e il numero di bit troncati T è sufficientemente grande, la 4.9 tende al valore $2^{T-M} = 2^{-P}$. Nelle applicazioni pratiche ciò conduce ad una espressione approssimata dell'SFDR, solitamente valida per $T \geq 4$:

$$SFDR|_{dBc} = -6.02 * P \tag{4.10}$$

cioè $-6.02 * P$ dB al di sotto della portante ad f_{out}.

4.4 Modello Simulink del DDS

Al fine di implementare il DDS, è utile effettuare delle simulazioni in ambiente Simulink Matlab, in modo da rendersi conto di quali siano i blocchi da dover implementare e quali caratteristiche debbano avere. Perciò è necessario realizzare un modello, tempo discreto, che sia il più attinente possibile al DDS reale, e sul quale verranno impostati i parametri definiti in precedenza.

4.4.1 Sfruttamento della simmetria della funzione seno

L'idea alla base della realizzazione dello schema a blocchi è racchiusa nella figura 4.1. Vanno creati, nell'ordine, l'accumulatore, la cui profondità binaria va fissata considerando la risoluzione di sintonizzazione voluta, e la LUT, il cui ingombro rappresenta un aspetto chiave inerente all'occupazione d'area, che si vuole, ovviamente, rendere minima. Proprio a tale scopo, si ricorre ad una tecnica molto diffusa in letteratura, ossia lo sfruttamento della simmetria della funzione seno [20] [21] [19]. Infatti, poichè il seno manifesta una simmetria rispetto al quarto d'onda, invece di memorizzare tutti i campioni relativi ad un intero periodo di tale funzione, se ne immagazzinano soltanto quelli associati ad un quarto di periodo, ossia compresi tra i valori di fase 0 e $\frac{\pi}{2}$. Quindi la LUT risulta più piccola di un fattore 4, rispetto al caso classico. Il prezzo da pagare è, naturalmente, la complicazione del sistema, che deve prevedere una logica addizionale, per generare i valori corretti da portare in uscita. I dettagli di questo metodo sono mostrati in figura 4.19.

I due bit più significativi della fase, indicati in figura 4.19 con MSB e 2ND MSB, sono usati per identificare il quadrante della funzione, mentre i rimanenti M-2 bit costituiscono l'indirizzo della LUT, in cui, come già detto, è presente solo il primo quadrante. Il bit più significativo (MSB) determina il segno corretto da attribuire al seno "raddrizzato"in uscita dalla LUT, mentre il secondo bit più significativo (2ND MSB) dà un'informazione sulla pendenza, ossia sulla crescenza o decrescenza dell'ampiezza. Infatti l'uscita dell'accumulatore è usata, così com'è, per primo e terzo quadrante; invece, per il secondo e il quarto quadrante, è necessario invertire la pendenza del dente di sega e, pertanto, si introducono dei blocchi(definiti "per complementare"in figura 4.19) che "complementano"i bit.
A questo punto si passa al modello Simulink vero e proprio, mostrato in figura 4.20. L'accumulatore non è altro che un contatore modulo-M, che genera due uscite: una rampa digitale di 2^M bit e un bit di overflow, impostato ad 1 ogni volta che la rampa eccede la dinamica imposta. A seconda del valore di FTW, cambia la velocità con

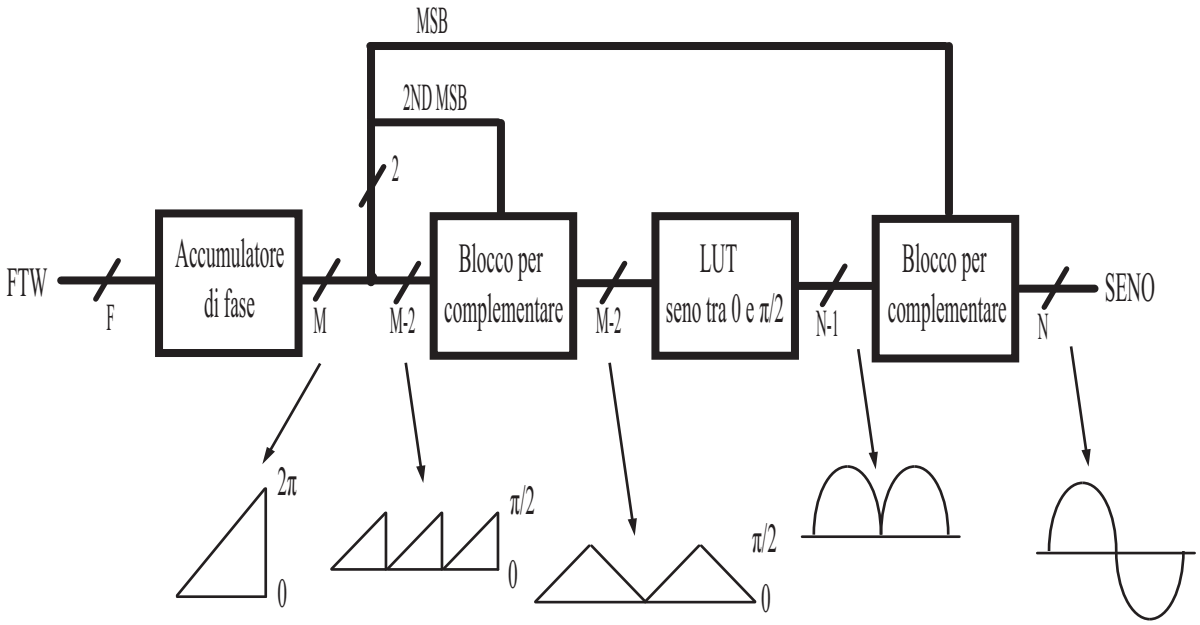

Figura 4.19: Schema di principio della logica usata per sfruttare la simmetria del seno

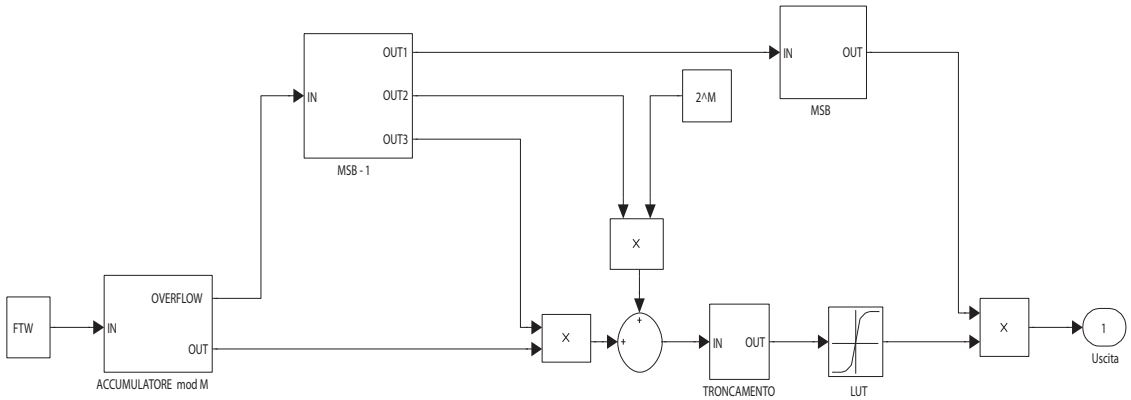

Figura 4.20: Modello Simulink del DDS che sfrutta la simmetria del seno

cui l'accumulatore va in overflow, cioè la pendenza della rampa. Lo schema a blocchi Simulink è illustrato in figura 4.21.

La rampa si ottiene tramite un semplice circuito reazionato, in cui sull'anello di andata è posto il blocco rem, che restituisce il resto della divisione tra il valore istantaneo della rampa e il fondo scala 2^M, e su quello di ritorno è inserito un semplice elemento di ritardo. Ad ogni istante discreto, equivalente ad un colpo di clock, la FTW viene sommata al termine di ritorno, determinando un incremento del valore di uscita, rispetto al colpo di clock precedente. Il bit di overflow viene ricavato usando un elemento di guadagno, che in questo caso effettua una semplice divisione per il fondo scala, e un blocco di arrotondamento verso l'intero inferiore.

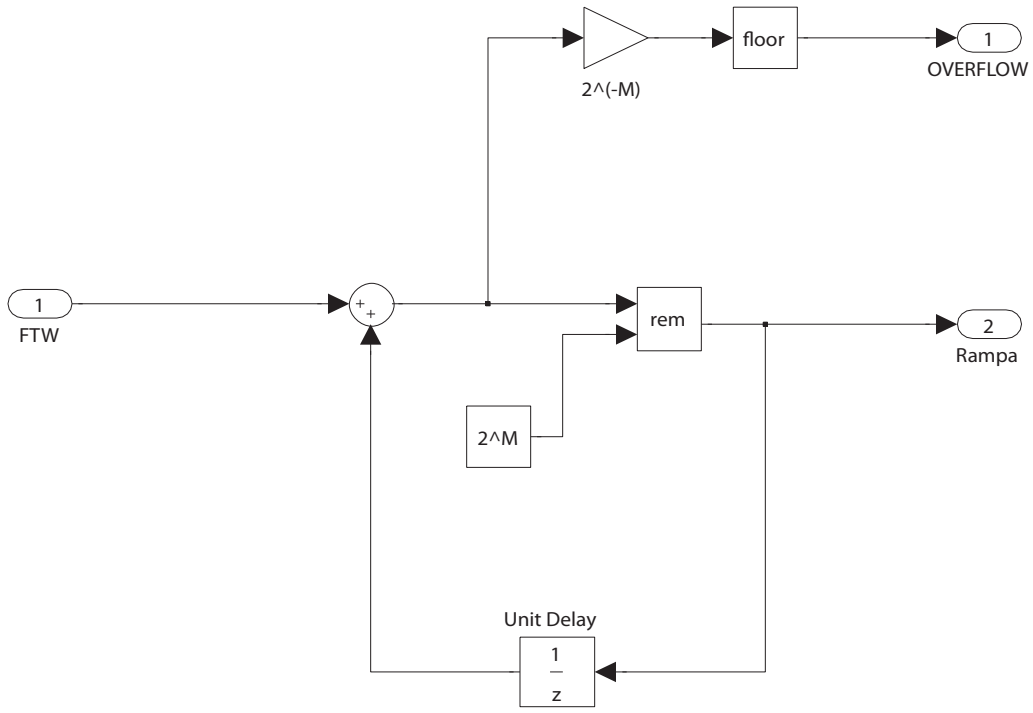

Figura 4.21: Modello Simulink dell'accumulatore

Esso è sempre pari a 0, eccetto che in un caso: quando il valore, in uscita dal nodo sommatore, diventa maggiore di 2^M, la divisione dà un numero maggiore di 1, e il floor imposta ad 1 anche la sua uscita.
In figura 4.22 sono raffigurati gli elementi usati per realizzare il blocco, chiamato MSB-1 in figura 4.20.

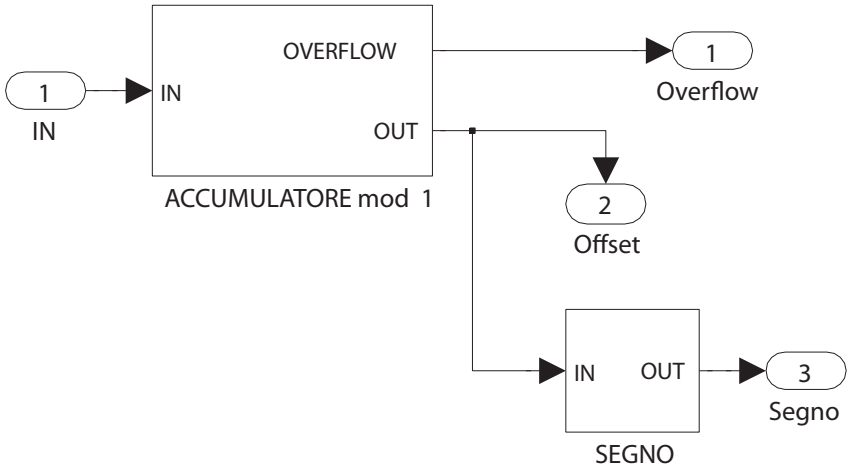

Figura 4.22: Modello Simulink del blocco MSB-1

Un contatore modulo-1, con ingresso pari all'overflow del contatore modulo-M, produce, anch'esso, due uscite: un overflow, sempre a 0, e pari ad 1 solo quando si verificano due passaggi consecutivi per il massimo, da parte della rampa; e un bit di

segno, che serve per decidere la pendenza della rampa, a seconda del quadrante. Il blocco segno dà 1 quando l'ingresso è 0, e dà -1 quando l'ingresso è 1. Infine l'uscita offset viene usata per aggiungere la costante 2^M alla rampa, quando la pendenza è negativa, altrimenti si avrebbe una rampa che va da 0 a 2^{-M}. Quindi, grazie ai due moltiplicatori e al sommatore, visibili in figura 4.20, si ottiene l'indirizzo corretto della LUT, dapprima crescente e poi decrescente.
Nella seconda parte del modello si nota la presenza del blocco che effettua il troncamento, della LUT, di un blocco MSB, analogo a quello MSB-1, e di un moltiplicatore. Il funzionamento è analogo al caso appena descritto, con l'unica differenza che risiede nei quadranti considerati. Infatti, mentre prima si distingueva tra primo e secondo quarto di periodo della sinusoide, qui si distingue tra prima e seconda metà del periodo, alle quali deve essere attribuito il giusto segno. E' da sottolineare che il troncamento è realizzato, molto semplicemente, con uno stadio di guadagno pari a 2^{W-M} (M è il numero di bit dell'accumulatore e W è il numero di bit di indirizzamento della LUT)e un blocco di arrotondamento (figura 4.23). Quindi, in questa

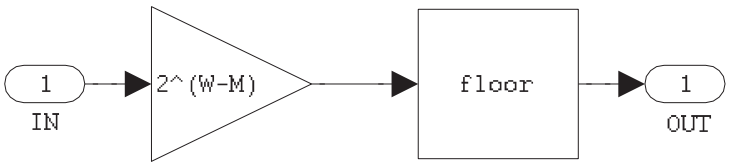

Figura 4.23: Modello Simulink del blocco Troncamento

zona, si ottiene la sinusoide raddrizzata, in uscita dalla LUT, e la si moltiplica per 1 o -1, a seconda della metà in cui ci si trova, producendo, all'uscita del moltiplicatore, la sinusoide vera e propria.

4.4.2 Modello finale: test multitono e rampa

Per come è stato realizzato il modello Simulink del DDS, con una piccola modifica, si può pensare di ottenere due sinusoidi di ampiezza dimezzata, ideali per un test a due toni, e una rampa, al fine di poter graficare la caratteristica di trasferimento. Tale possibilità è resa implementabile grazie alla tecnologia scalata(32 nm), che permette di integrare sullo stesso chip due DDS. Si considera il primo caso, rappresentato in figura 4.24. Esso consiste nel sommare le uscite di due DDS e nell'introdurre un divisore, che dimezza le ampiezze delle sinuosoidi di uscita.
La rampa, invece, è già presente all'interno del DDS in figura 4.20, in particolare all'uscita dell'accumulatore modulo-M. Pertanto è sufficiente collegare tale nodo

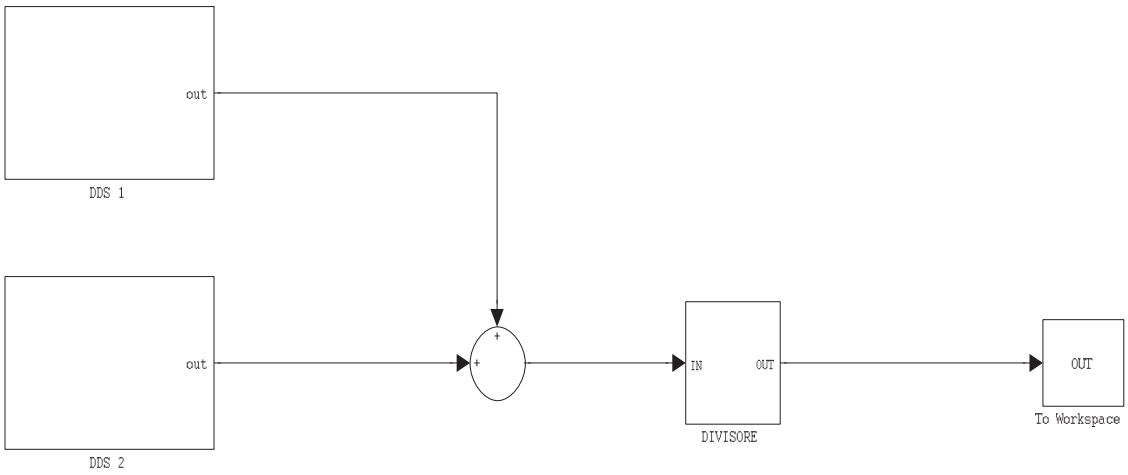

Figura 4.24: Schema generale, per test a due toni

all'uscita del sistema complessivo, ponendo, su tale cammino, un blocco che simuli la quantizzazione di ampiezza dei vari punti della rampa.
A questo punto, però, si deve poter dare la possibilità di scegliere se sintetizzare una rampa, una sinusoide o due sinusoidi. A tal fine è sufficiente inserire, nel modello in figura 4.20, due moltiplicatori, ognuno con due ingressi: il primo coincide con il segnale che si vuole sintetizzare, mentre il secondo, definito MUX o 1-MUX, viene impostato a 0 o 1, a seconda di quale sia l'uscita desiderata. Quindi i due MUX e 1-MUX sono l'uno il negato dell'altro. Il tutto è raffigurato in figura 4.25, dove si dà anche la possibilità di impostare l'ampiezza della sinusoide di uscita, tramite il divisore.

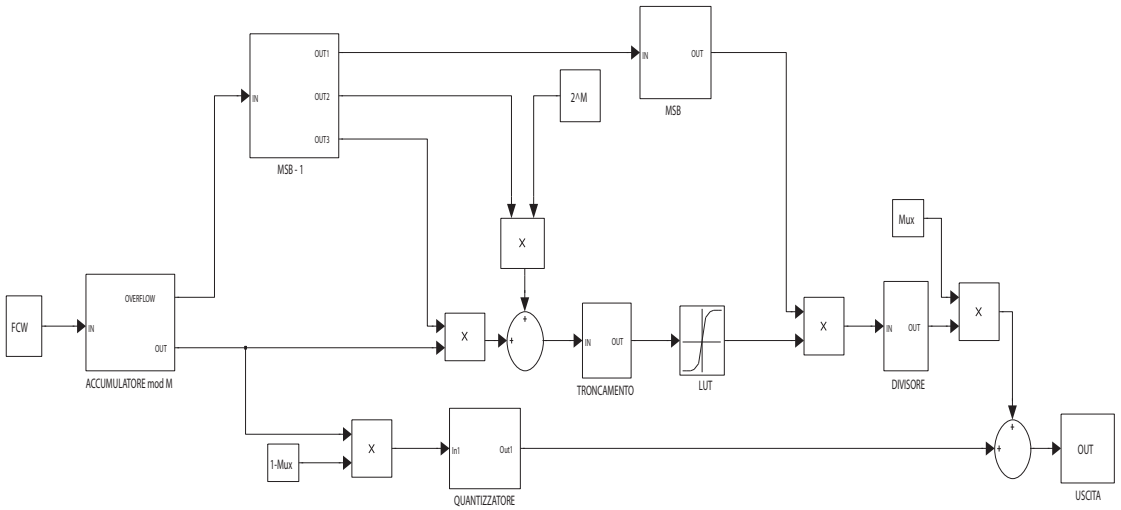

Figura 4.25: Modello finale del DDS con uscita selezionabile tra rampa a seno

4.4.3 Scelta dei parametri del DDS: simulazioni dello spettro di uscita

Per scegliere i valori dei parametri che caratterizzano le prestazioni del DDS, si parte dalle specifiche imposte dalla funzione che tale sistema assolve, ossia quella di testare il DAC. Si inizia con il numero di bit con cui viene quantizzata l'ampiezza: esso è fissato a 10, essendo il DAC a 10 bit. Quindi, se fosse tale quantizzazione a dominare su quella di fase, si avrebbe un SFDR di circa -84 dBc, che rappresenta, pertanto, il limite massimo, raggiungibile nel caso in esame. Naturalmente l'obiettivo è proprio questo, cioè di riuscire a fare in modo che la quantizzazione di fase non incida, e che il troncamento sia ridotto il più possibile. Al primo scopo si può arrivare tramite il metodo spiegato precedentemente nel capitolo, vale a dire di impostare un numero di bit di fase maggiore di quello relativo all'ampiezza. Il secondo è, invece, legato al compromesso tra le dimensioni della LUT e la risoluzione di sintonizzazione.
Poichè il DDS da implementare serve, sostanzialmente, a testare il DAC, non è necessario spingersi a risoluzioni di frequenza molto elevate. Infatti quello che interessa è valutare la linearità del DAC, pertanto una risoluzione intorno a 100 KHz è accettabile. Ciò determina il numero di bit dell'accumulatore e della parola d'ingresso, indicati, rispettivamente, con F ed M, a partire dall'equazione 4.1:

$$F = M = log_2 FTW \frac{f_{ck}}{f_{out}} = 14 \tag{4.11}$$

Un altro aspetto importante riguarda l'SFDR. Come già anticipato all'inizio del capitolo, per poter valutare soltanto la linearità del DAC, escludendo quella del DDS, quest'ultimo deve avere un SFDR molto più grande di quello del DAC. Quantificando tale concetto, si suppone che ci debbano essere almeno 20 dB di differenza.
A questo punto si ritorna sul modello finale del DDS, si effettuano delle simulazioni sullo spettro di uscita, in ambiente Matlab, e si calcola l'SFDR, variando il numero di bit di troncamento. A tal fine è stato creato uno script apposito, basato sull'algoritmo FFT. Si imposta il valore di FTW pari ad 1, in modo da non peggiorare lo spettro che, come già visto, presenta spurie tanto meno intense, quanto più il Massimo Comun Divisore tra FTW e 2^T risulta piccolo. Quindi, in realtà, vanno bene tutti i valori dispari di FTW. Ovviamente, partendo con un troncamento elevato, ci si aspetta l'andamento descritto dalla (4.10), per cui il numero di bit da troncare deve essere sicuramente minore di 4; infatti con P=10 si avrebbe

$$SFDR \simeq -60 dBc \tag{4.12}$$

Procedendo con delle simulazioni, a partire da W=10, e incrementando di 1 bit alla volta, il valore più basso di W che soddisfa la specifica sull'SFDR è 13, da cui deriva lo spettro per la singola sinusoide in figura 4.26 a cui corrisponde

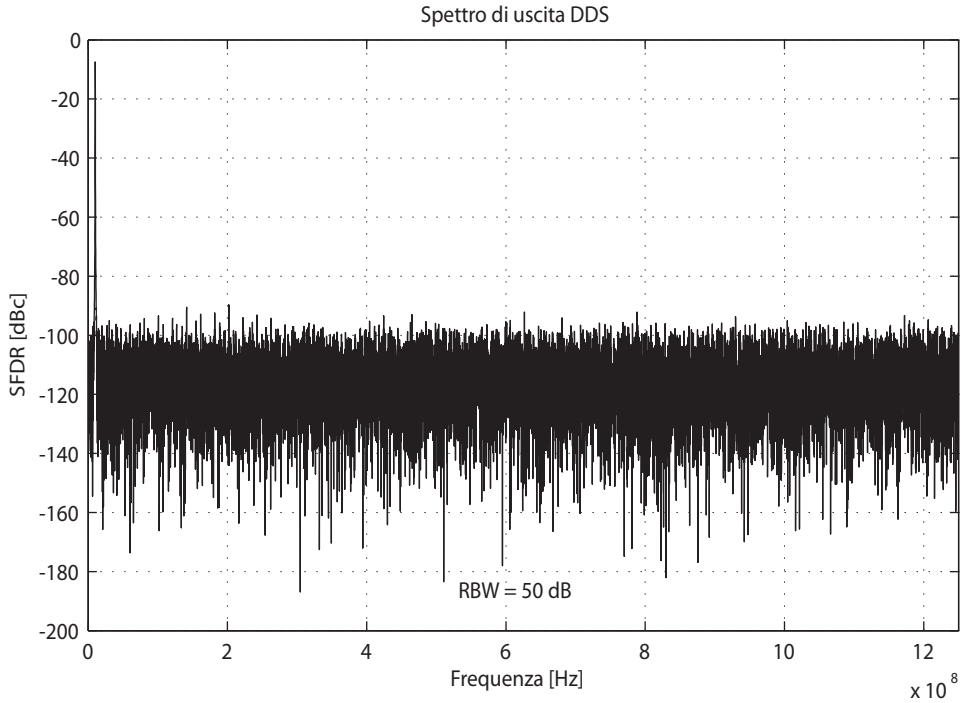

Figura 4.26: Spettro del segnale sinusoidale in uscita dal DDS
M=14
W=13

$$SFDR \simeq -84dBc \tag{4.13}$$

e lo spettro per la somma di due sinusoidi, in figura 4.27 a cui corrisponde

$$SFDR \simeq -80dBc \tag{4.14}$$

Concludendo si ricavano le dimensioni della LUT

$$LUT_{dim} = 2^W * (N-1) \simeq 73kbit \tag{4.15}$$

4.5 VHDL del sistema completo

Il modello del DDS, presentato nel paragrafo precedente, è stato realizzato sfruttando l'ambiente Matlab, nel quale sono state effettuate le simulazioni necessarie. Il passo successivo consiste nella descrizione, tramite linguaggio VHDL, dell'hard-

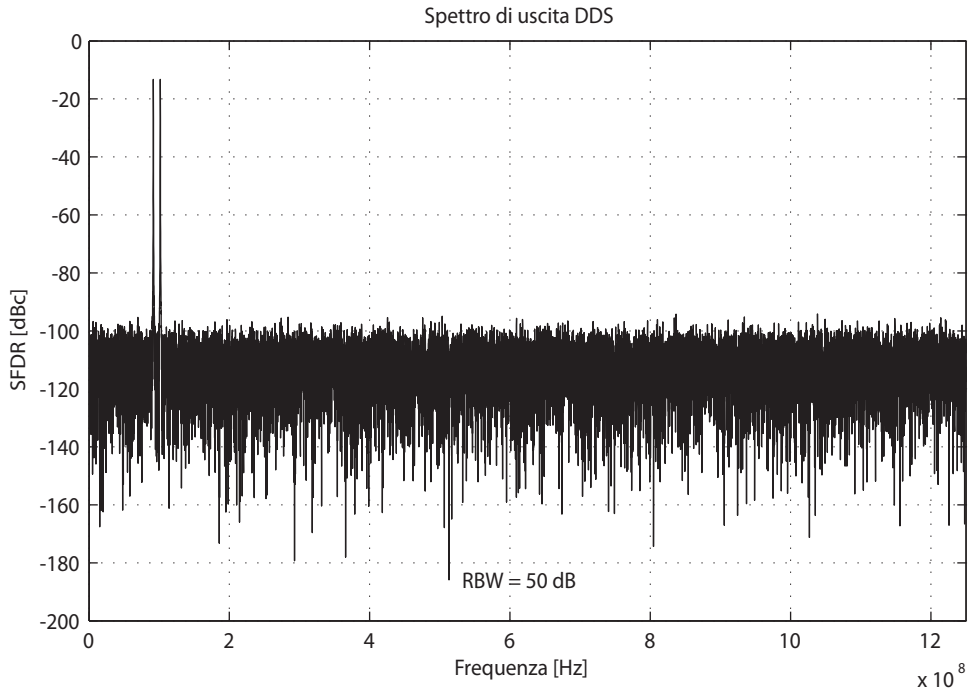

Figura 4.27: Spettro del segnale somma di due sinusoidi in uscita dal DDS
M=14
W=13

ware da implementare. Infatti il modello ottenuto in precendenza non è sufficiente per descrivere, con esattezza e precisione, il funzionamento del sistema che verrà implementato, in quanto le semplici equazioni, che governano i processi inseriti nel modello, costituiscono soltanto un'approssimazione di quella che dovrebbe essere la realtà. Pertanto, in quest'ultimo paragrafo, viene presentato il progetto in VHDL dell'intero blocco digitale. In particolare vengono descritti tutti i blocchi d'interesse, ossia il DDS, l'SPI e il decoder. Gli ultimi due sono necessari per interfacciare correttamente il DDS, rispettivamente con l'esterno e con il DAC.
Il primo blocco scritto in VHDL è, naturalmente, il DDS. Servendosi dell'aiuto dello schema in figura 4.20, si può pensare di realizzare, nell'ordine, un accumulatore, un multiplexer ed una LUT, secondo il principio illustrato in figura 4.28. In questo modo si ha un semplice generatore di sinusoide. Per sfruttare la simmetria del seno rispetto al quarto d'onda, e, quindi, avere una LUT di dimensioni ridotte, si è pensato di realizzare un accumulatore con M=16, cioè 2 bit in più di quelli previsti, mantenendo la FTW di 14 bit, e usare l'MSB e il secondo MSB, per rilevare il quadrante corretto. In sostanza si genera una rampa di durata e ampiezza quadruplicate, ma soltanto i 14 bit meno significativi vengono inviati al multiplexer. Quest'ultimo, tramite il secondo MSB, sceglie tra la rampa, così come è stata generata dall'accumulatore, o il complemento ad 1 della stessa. In questo modo, quando si è nel primo

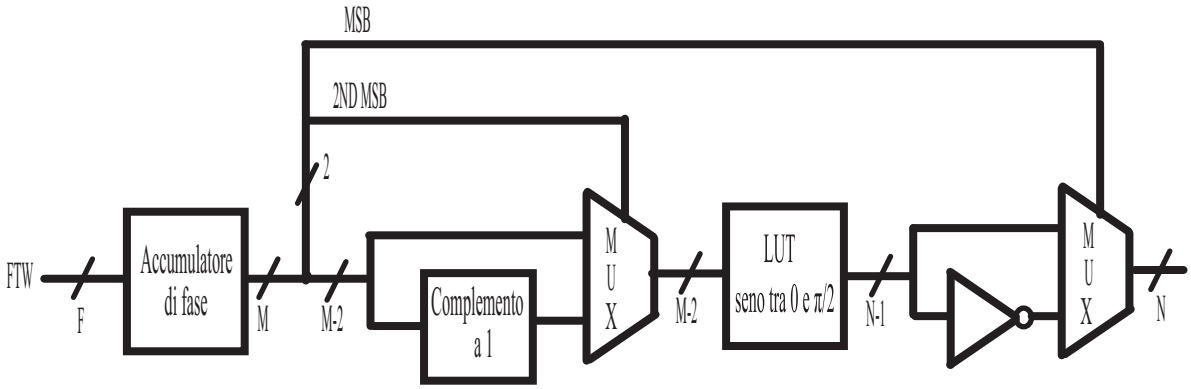

Figura 4.28: Schema di principio per realizzare il VHDL del DDS a singolo tono

quadrante, ossia nel primo quarto di periodo, il secondo MSB è pari a 0 e la scelta ricade sulla rampa crescente. Quando, invece, si è nel secondo quadrante, il secondo MSB è pari a 1 e la scelta ricade sulla rampa decrescente. In ognuno dei due casi appena citati, l'MSB è sempre pari a 0, e, pertanto, grazie al secondo multiplexer, in uscita è presente la prima metà della sinuosoide, cioè quella costituita dai campioni uscenti dalla LUT, tutti positivi. Quando l'MSB diventa pari ad 1, significa che il segno della sinusoide deve essere invertito, e, di conseguenza, il multiplexer seleziona i campioni, uscenti dalla LUT, invertiti per mezzo della porta NOT.
Ovviamente, però, lo schema del DDS completo prevede anche la possibilità di generare una rampa (figura 4.25). Per raggiungere questo scopo, si deve introdurre un demultiplexer, comandato dal valore di un registro esterno, che permette di selezionare due diversi percorsi. Per limitare il consumo di potenza, è meglio inserire il demultiplex il prima possibile, lungo il percorso del segnale, in modo da far lavorare uno solo dei due rami. Il posto ideale è in uscita dall'accumulatore (figura 4.29). A questo punto non resta che scrivere il VHDL relativo al sistema completo, con cui è possibile anche effettuare un test a due toni. Si tratta di utilizzare due DDS, uno sfruttato per ottenere la rampa e il primo seno, e l'altro per avere il secondo seno. Il divisore, necessario per scalare le ampiezze delle sinusoidi, è realizzato tramite un semplice shift, la cui entità è impostata per mezzo di un segnale esterno. Il tutto è raffigurato in figura 4.30. Per interfacciare correttamente il sistema completo con l'esterno e con il DAC, è necessario ricorrere all'uso, rispettivamente, di un interfaccia seriale-parallela (SPI) e di un decoder, che sia in grado di convertire da binario a termometrico. La prima è stata realizzata organizzando i vari registri, contenenti i valori da passare al DDS, in una matrice, la quale viene opportunamente programmata dall'esterno. Il secondo riceve il codice binario in uscita dal DDS e genera tutti i livelli necessari per pilotare correttamente il DAC.

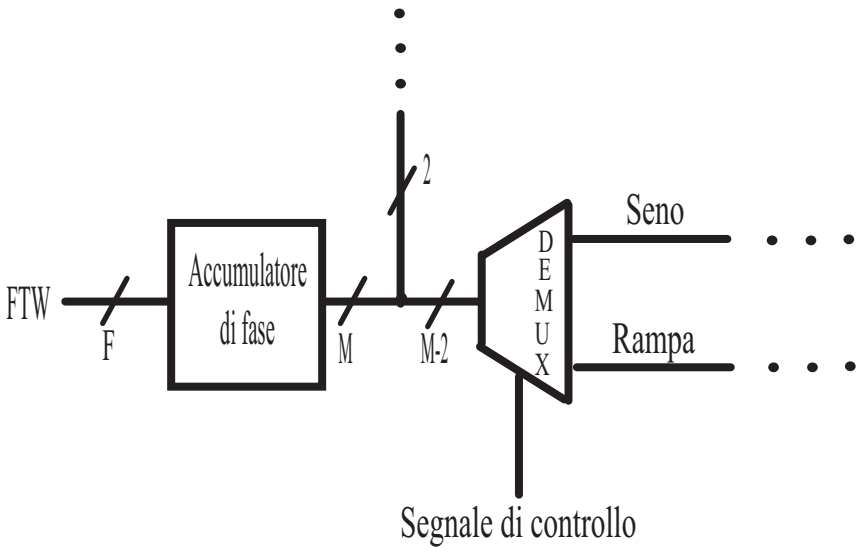

Figura 4.29: Schema di principio per realizzare il VHDL del DDS completo

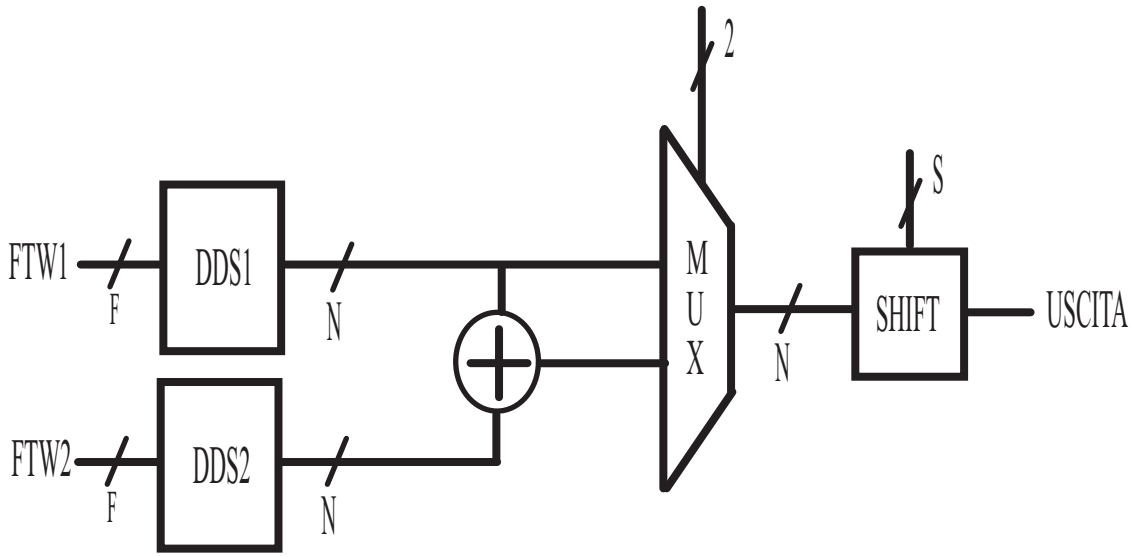

Figura 4.30: Schema di principio per realizzare il VHDL del sistema di testing completo

4.5.1 Spettri del segnale di uscita del sistema sintetizzato

Per quantificare l'SFDR, è necessario effettuare delle simulazioni. Il simulatore di VHDL è un simulatore ad eventi discreti, con una scala temporale avente risoluzione del femtosecondo. Esso lavora con variabili, siano esse digitali o analogiche, che possono essere modificate a passi discreti e tali modifiche sono legate alla comparsa di un evento. Si parla, perciò, di approccio ad eventi, che è un approccio tipico del mondo digitale, in quanto, in tale ambiente, le variabili dipendenti in gioco, come ad esempio l'uscita di una porta logica, mantengono il loro valore, fino a quando non vengono modificati i valori delle variabili indipendenti, come possono essere gli ingressi di una porta logica.

Chiaramente quella appena descritta è una situazione che non può rappresentare il mondo analogico, dove le grandezze variano con continuità nel dominio temporale continuo. Quindi, per realizzare il sistema complessivo, in cui sono spesso presenti anche componenti analogici, tramite il linguaggio VHDL, si creano dei modelli anche per il mondo analogici, senza, però, ricavarne una forma sintetizzabile. Ed è quello che si fa con il DAC.
Effettuando delle simulazioni sullo spettro del segnale di uscita, in ambiente Matlab, tramite il solito script, si ottiene un SFDR pari a -83 dBc sul singolo tono, e di -80 dBc sul multitono, quindi molto vicini a quelli ottenuti con il modello Simulink (figure 4.31 e 4.32).

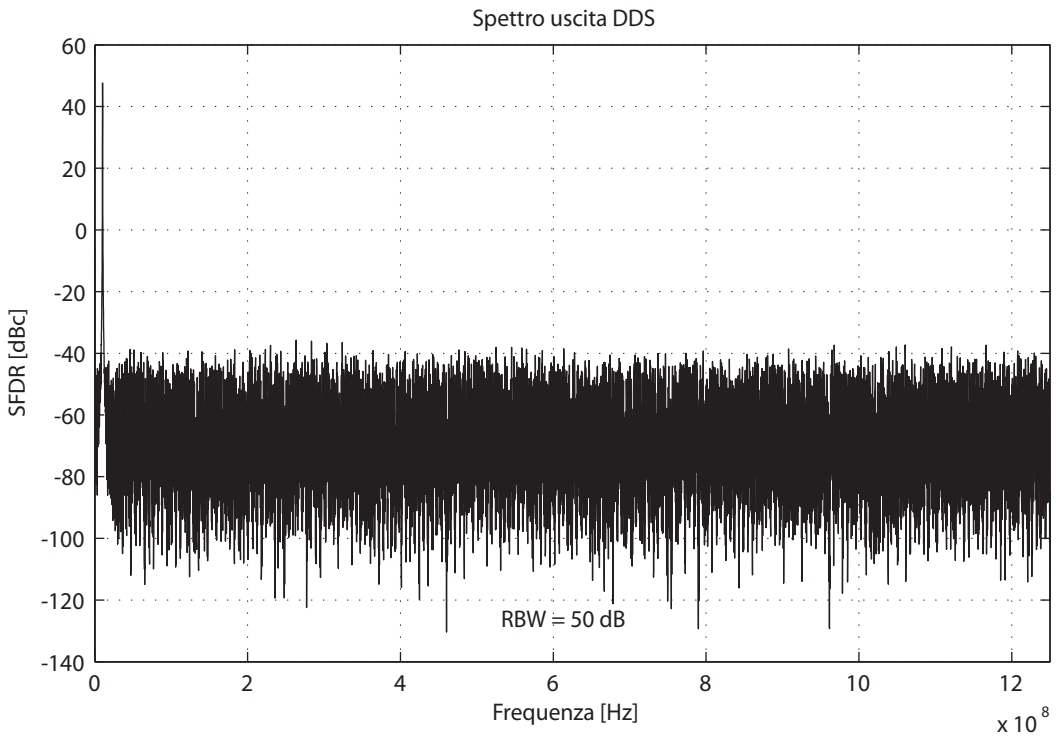

Figura 4.31: Spettro del segnale di uscita, costituito da una sola sinusoide

Pertanto il circuito di testing realizzato soddisfa pienamente la specifica iniziale, che imponeva un SFDR pari ad almeno -70 dBc ad 1 GHz per effettuare in modo corretto il test di linearità del CS DAC. Inoltre le sue prestazioni si avvicinano al limite di -84 dBc, imposto dalla quantizzazione di ampiezza, dimostrando che, effettivamente, la quantizzazione di fase non impatta sulla linearità, grazie ai parametri scelti.

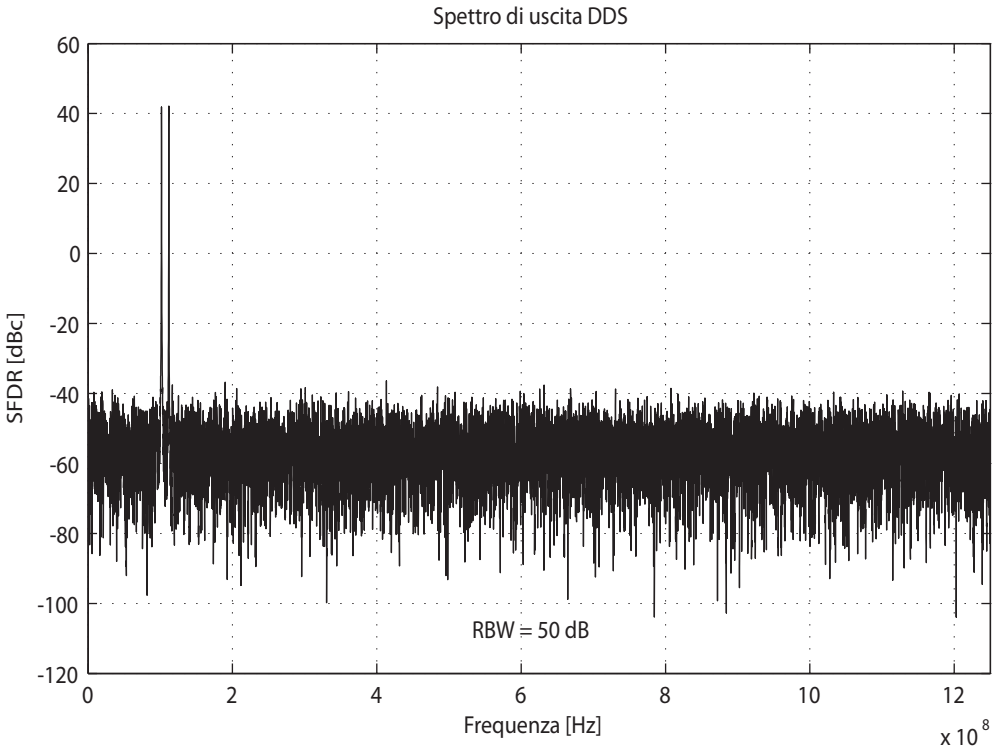

Figura 4.32: Spettro del segnale di uscita, dato dalla somma di due sinusoidi di ampiezza dimezzata

4.6 Risultati

Il presente lavoro ha riguardato il progetto di un DAC current steering e di un circuito DDS per il test della linearità, integrati in un unico chip, grazie alla tecnologia scalata (CMOS 32 nm). Ciò ha permesso di ridurre il numero di pad di uscita, con conseguente riduzione dell'area occupata e della complessità circuitale.
Il DAC, con una risoluzione di 10 bit e un sample rate di 2.5 GS/s, presenta una struttura segmentata 6-4 e uno swing della tensione differenziale di uscita di 500 mV_{pp}, su un carico pari a 50Ω. Con una corrente totale di uscita pari a 10.24 mA e una tensione di alimentazione di 1V, imposta dalla tecnologia, si ottiene una dissipazione di potenza intorno ai 40 mW, raggiungendo un SFDR di -50 dBc alla frequenza di 1 GHz. Ciò è reso possibile grazie ad un sistema più complesso, in cui è inserito il DAC, che consente di correggere, per mezzo di un algoritmo digitale di correzione, gli errori statici, che, senza tale sistema, sarebbero quantificabili in una INL pari a 6.3 LSB e in una DNL pari a 5.6 LSB. Il circuito DDS per il test della linearità consiste in due sintetizzatori di frequenza, connessi in modo tale da poter scegliere quale tipo di test effettuare, ossia se a due toni, singolo tono o una rampa per la valutazione della caratteristica statica. Scegliendo un numero di bit di fase pari a 14,

con un troncamento di 1 bit, si ottiene una ROM di circa 70 kbit e una risoluzione di frequenza intorno ai 150 KHz. Essendo il DAC a 10 bit, si imposta un numero di bit di ampiezza pari a 10, valore che impone un SFDR di -83 dBc per il test a singolo tono e di -80 dBc per quello a due toni.

Appendice A

Appendice

A.1 Caratterizzazione delle prestazioni dei DAC

In letteratura ci si scontra con numerose classificazioni dei parametri(o specifiche) che permettono di determinare la bontà del comportamento di un DAC. Una possibile classificazione è quella presente in [22], basata sul tipo di segnale in ingresso usato per testare il circuito: nel caso di segnale tempo invariante si parla di specifiche statiche, nel caso tempo variante si parla di specifiche dinamiche. Accanto ad esse, sono presentate specifiche, definite generali, che non rientrano nei due casi suddetti. Di seguito verranno descritti solo alcune dei parametri, quelli ritenuti più significativi per il progetto. Per ulteriori approfondimenti si rimanda a [2] e [23].

A.1.1 Specifiche generali

Risoluzione
Espressa in bit, la risoluzione rappresenta l'accuratezza relativa con cui un segnale elettrico full scale può essere rappresentato in step discreti.

Conversion rate o Sample Rate
Il conversion rate è la massima velocità con cui il DAC riesce a convertire campioni, mantenendo le specifiche funzionali all'interno del proprio range. Si esprime in samples per second.

Range dinamico
In un sistema il range dinamico è il rapporto tra il livello massimo di un parametro, come potenza, corrente, tensione, o frequenza, e il minimo valore rilevabile dello stesso parametro. Solitamente espresso in dB, risulta strettamente collegato alla

risoluzione del convertitore. Infatti, definito N il numero di bit del convertitore, ottengo

$$DR = 20log(2^N - 1) \tag{A.1}$$

Full Scale Range

Indicato con FSR, il full scale range è definito come la differenza tra valore massimo e minimo della tensione di uscita che il convertitore è in grado di fornire.

A.1.2 Specifiche statiche

Il comportamento statico di un DAC è descritto dalla sua caratteristica di trasferimento, per cui ci si riferisce sempre alla bassa frequenza o alla continua. In figura A.1 vengono messi in risalto gli effetti di non idealità statici, su una caratteristica ingresso-uscita di un DAC a 3 bit.

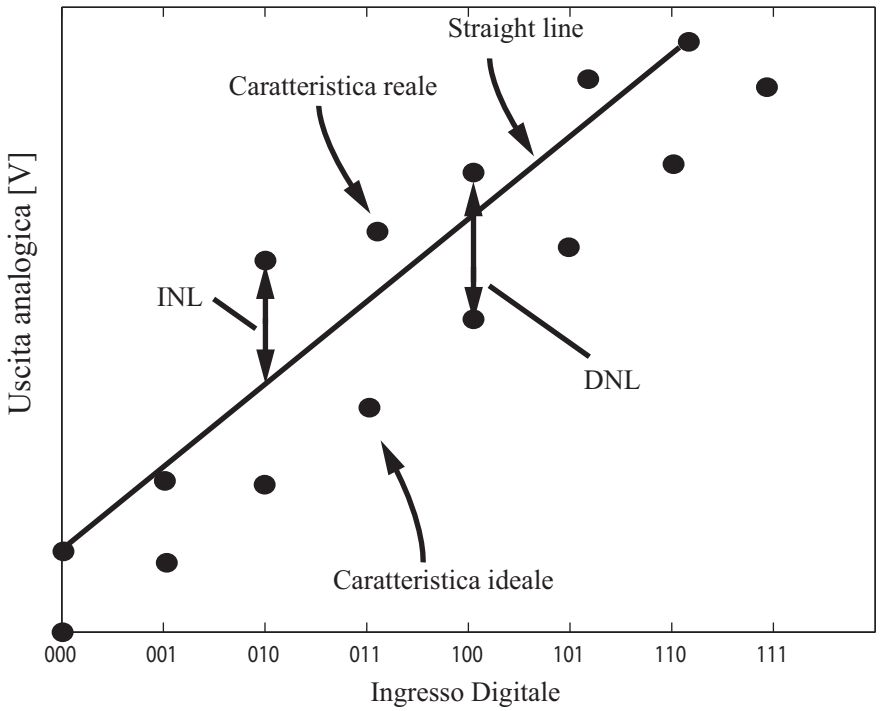

Figura A.1: Caratteristica di trasferimento di un DAC a 3 bit: INL e DNL, offset ed errore di guadagno

Linearità

La linearità statica viene caratterizzata tramite due parametri: *Non Linearità Differenziale* (DNL) e *Non Linearità Integrale* (INL). La prima è una misura della differenza tra l'ampiezza reale del gradino di uscita, corrispondente ad una variazione di

un LSB del codice d'ingresso, e l'ampiezza ideale di tale gradino. La seconda esprime la deviazione totale di un valore dell'uscita analogica dal corrispondente valore ideale. I valori ideali vengono quantificati considerando la caratteristica "straight-line" ottenuta tramite una linea retta passante per i punti corrispondenti allo 0 e al FSR, oppure quella "best-fit" , che segue la legge dei minimi quadrati. In figura A.1 si possono apprezzare INL e DNL. Dal punto di vista matematico, è possibile esprimere i due parametri, normalizzati all' LSB, tramite due semplici formule:

$$DNL_k^{norm} = \frac{A_{k+1}^{reale} - A_k^{reale} - \Delta_{LSB}}{\Delta_{LSB}} \tag{A.2}$$

$$INL_k^{norm} = \frac{A_k^{reale} - A_k^{ideale}}{\Delta_{LSB}} = \sum_{j=1}^{k} DNL \tag{A.3}$$

con A_{k+1}^{reale} e A_k^{reale} valori dell'uscita analogica corrispondenti a codici adiacenti in ingresso,A_k^{ideale} valore che idealmente dovrebbe assumere l'uscita al k-esimo passo, e Δ_{LSB} pari al gradino di uscita corrispondente all'LSB.

Monotonicità

La monotonicità è definita come la capacità del segnale di uscita di preservare lo stato per ogni incremento/decremento dell'ingresso. Quindi un DAC monotono ha un'uscita analogica che non decrementa mai per un incremento dell'ingresso.

Offset

L'offset si presenta quando, per un ingresso digitale con tutti 0, l'uscita analogica, che dovrebbe essere nulla, è diversa da 0. E' facilmente riconoscibile nella caratteristica di trasferimento, in quanto ne determina una traslazione, come si nota in figura A.1.

Errore di Guadagno

L'errore di guadagno è la differenza tra la pendenza reale e quella ideale della caratteristica di trasferimento del DAC.

A.1.3 Specifiche dinamiche

Dal punto di vista dinamico, le prestazioni di un DAC possono essere valutate sia nel dominio del tempo sia in quello della frequenza. Nel primo caso l'impatto delle non linearità dinamiche viene quantificato sollecitando il sistema per mezzo di un

impulso full scale, tramite parametri quali, ad esempio, settling time, glitch e feedthrough, e osservando la risposta nel dominio del tempo (figura A.2). Nel secondo, invece, ponendo in ingresso una sinusoide di ampiezza e frequenza nota, si giunge alla valutazione di diversi parametri, tra cui SNR e SFDR, di seguito definiti, analizzando lo spettro d'uscita.

Glitch

Il glitch è un impulso di breve durata che può comparire all'uscita del DAC, durante la transizione da un codice all'altro dell'ingresso, a causa di errori di timing o skew. L'impatto sul segnale di uscita è determinato dall'area del glitch, che è un semplice integrale del transitorio della forma d'onda.

Settling Time

Il settling time è il tempo impiegato dall'uscita analogica per assumere un valore stabile entro una determinata fascia intorno al valore di regime.

Feedthrough

Il feedthrough è il rumore che appare in uscita al DAC, a causa di accoppiamenti parassiti capacitivi, quando le linee digitali commutano.

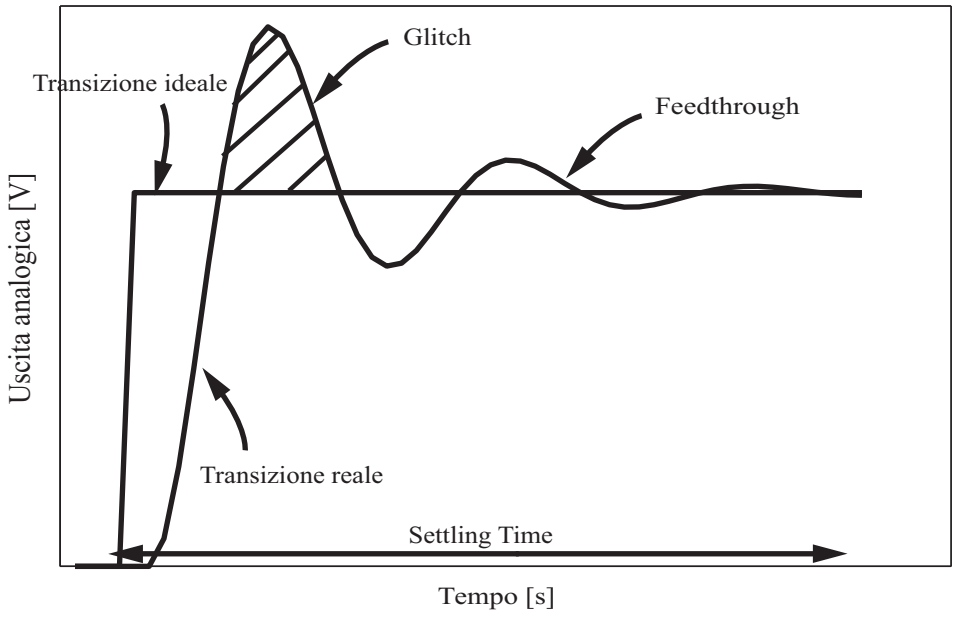

Figura A.2: Tipica transizione nel dominio del tempo della tensione di uscita di un DAC

Total Harmonic Distorsion

La Total Harmonic Distorsion (THD) è il rapporto tra la potenza associata alle armoniche spurie dovute alla distorsione e la potenza della fondamentale in una certa banda di frequenza

$$THD|_{dB} = 10log_{10}\frac{\sum_{k=2}^{\infty} P_k}{P_S} \tag{A.4}$$

dove P_k è la potenza della k-esima armonica e P_S è la potenza del segnale. Si può quantificare anche la distorsione da seconda armonica (HD_2), terza (HD_3), quarta (HD_4), etc.. considerando la potenza associata alla sola armonica di interesse, al posto della somma di tutte le potenze.

Signal to Noise Ratio

Il Signal to Noise Ratio (SNR) è il rapporto tra la potenza della fondamentale e la potenza di rumore totale entro una certa banda di frequenze, escludendo le componenti armoniche:

$$SNR|_{dB} = 10log_{10}\frac{P_S}{P_N} \tag{A.5}$$

dove P_S è la potenza del segnale e P_N è la potenza di rumore nella banda di interesse. Nel caso ideale, in cui si considera, sotto determinate ipotesi, come unico rumore quello di quantizzazione, l'espressione precedente può essere riscritta nel seguente modo

$$SNR|_{dB} \simeq 6.02N + 1.76 \tag{A.6}$$

con N numero di bit del convertitore.

Spurious Free Dynamic Range

Lo Spurious Free Dynamic Range è definito come il rapporto tra la potenza del segnale e la potenza del tono spurio più intenso entro una certa banda di frequenze. La figura A.3 chiarisce il concetto. Solitamente si esprime in dB o in dBc. In quest'ultimo caso indica quanti dB sotto il valore della frequenza fondamentale è il livello della spuria più intensa.

$$SFDR = 10log_{10}\frac{P_S}{P_{max}} \tag{A.7}$$

dove P_S rappresenta la potenza del segnale e P_{max} è la potenza della componente spuria più alta che si presenta nello spettro di uscita.

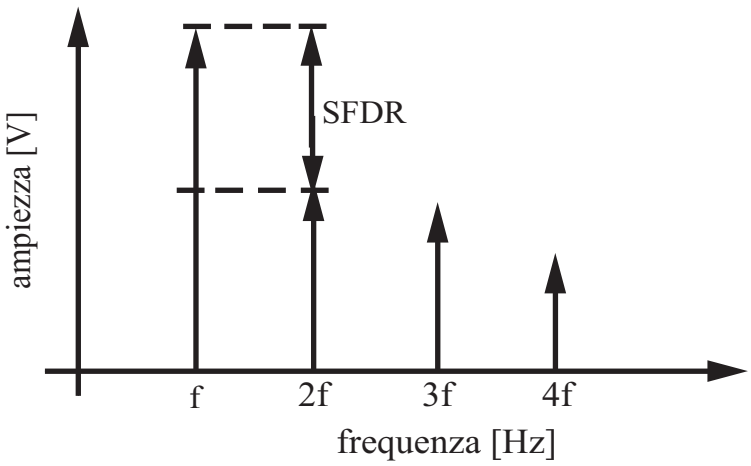

Figura A.3: Spettro di uscita di un DAC ideale

Conclusioni

Il presente lavoro ha avuto come oggetto la progettazione di un convertitore digitale-analogico *Current Steering*, caratterizzato da una risoluzione di 10 bit e da un sample rate di 2.5 GS/s, in tecnologia CMOS 32 nm, per applicazioni wireless HDMI, e la realizzazione del Direct Digital Synthesizer(DDS) per il testing del DAC, integrato sullo stesso chip.
La possibilità di inserire il DAC all'interno di un sistema più complesso, capace di correggere, tramite un algoritmo digitale, gli errori statici, ha indotto ad adottare una metodologia progettuale, totalmente innovativa, finalizzata all'incremento delle sole prestazioni dinamiche, tralasciando, di fatto, tutte le problematiche legate alla bassa frequenza.
Innanzitutto è stata fatta una panoramica nel contesto delle applicazioni wireless HDMI, e sullo standard ECMA-387, del quale sono stati specificati i parametri fondamentali, quali il numero di canali, pari a 4, la larghezza di banda di ognuno, di 2.16 GHz, e la velocità di comunicazione, variabile tra 397 Mbps a 6.35 Gbps. Da tali specifiche e dall' *ACPR*, intorno ai 30dBr, derivano le caratteristiche del DAC, in termini di risoluzione e data rate. In seguito sono state illustrate le architetture ritenute idonee per lavorare a frequenze elevate, ossia quelle parallele. Tra queste, l'unica in grado di poter raggiungere un sample rate di 2.5 GS/s è quella *current steering*, di cui è stato, brevemente, descritto il principio di funzionamento. In seguito sono state indicate le realizzazioni presenti in letteratura, facendo una panoramica dello stato dell'arte, e soffermandosi su quelle più interessanti, con prestazioni più vicine a quelle da raggiungere.
Quindi si è passati alla selezione del tipo di architettura da implementare, vale a dire quella segmentata, e, di conseguenza, al numero di bit da asegnare alle due sezioni di cui si compone. Successivamente, in seguito ad una descrizione più approfondita dei blocchi facenti parte del DAC, si è introdotto il progetto vero e proprio, iniziando con il dimensionamento della cella di corrente, basato su un approccio classico, volto alla minimizzazione degli errori statici, dovuti ai mismatch. In questo modo si è giunti ad un aumento intollerabile delle dimensioni del generatore di coda, si-

tuazione indesiderata, non soltanto per l'eccessiva area occupata, ma, soprattutto, per il deterioramento delle prestazioni ad alta frequenza, legato all'aumento dei parassitismi, che determina una maggiore distorsione, dovuta all'impendenza di uscita, finita, del DAC. In pratica, con l'approccio appena descritto, si è arrivati ad un compromesso tra prestazioni statiche e dinamiche, che non ha permesso di raggiungere le specifiche prefissate. La soluzione a tale problema, spiegata nel terzo capitolo, consiste nell'inserire il DAC all'interno di un sistema più evoluto, costituito da un DAC resistivo e un filtro adattativo, in configurazione reazionata. La retroazione fa in modo che il DAC current steering, veloce ma impreciso, segua il DAC resistivo, lento ma accurato, in modo da ridurre gli errori statici. Pertanto si tratta di una correzione digitale, che agisce minimizzando la differenza tra i guadagni dei due DAC. Tale approccio consente di ottimizzare il progetto della cella di corrente del DAC solo rispetto alle prestazioni dinamiche, trascurando quelle statiche.
Dopo avere dimensionato la cella di corrente, è stata mostrata la scelta del circuito di polarizzazione, ricaduta sulla classica configurazione dello specchio di corrente, utile quando si ha a che fare, come nel caso in esame, con una limitata tensione di alimentazione(1V). Successivamente si è focalizzata l'attenzione sulla descrizione del driver, necessario per pilotare gli interruttori della cella di corrente, e del latch, utile per sincronizzare i segnali provenienti dal decoder binario-termometrico. In quest'ottica sono stati analizzati gli errori dinamici e le contromisure adottate per limitarli. Si è optato per un driver costituito da tre invertitori, per rendere piccolo il tempo di salita e di discesa dei segnali sul gate degli interruttori della cella di corrente, e, quindi, minimizzare l'impatto dei mismatches di questi ultimi.
Nella parte finale del progetto sono stati presentati, in una tabella riassuntiva, i risultati ottenuti. In particolare si riesce a raggiungere un SFDR di circa -50dBc fino ad 1 GHz, quindi, praticamente, in tutta la banda di Nyquist.
L'ultimo capitolo è stato, invece, dedicato al progetto del sistema di testing del DAC. Dapprima è stata focalizza l'attenzione sui vincoli progettuali che devono essere soddisfatti, in particolare la purezza spettrale (in termini di SFDR) del segnale generato dal DDS, che deve essere molto maggiore dell' SFDR atteso del DAC. Poi sono stati introdotti l'architettura di base, costituita, sostanzialmente, da un accumulatore e una ROM, e e i parametri sotto il controllo del progettista, ossia la profondità dell'accumulatore e il numero di bit con cui si indirizza la ROM. L'interesse è stato, poi, trasferito sui fenomeni di quantizzazione, che riguardano sia il numero di bit con cui vengono definiti i valori assunti dai campioni della ROM (quantizzazione di ampiezza), sia quello con cui si descrivono i valori della rampa generata dall'accumulatore (quantizzazione di fase). Essi determinano la purezza spettrale della sinusoide di

uscita, congiuntamente al troncamento di fase. Quest'ultimo risulta necessario in tutti quei casi in cui la risoluzione di sintonizzazione richiesta è molto elevata, e, di conseguenza, il numero di campioni indirizzati nella ROM diventa enorme. Quindi si preferisce ridurre le dimensioni di quest'ultima, troncando il numero di bit della fase; purtroppo ciò conduce ad una riduzione della purezza spettrale. Nel caso in esame si è ricorso ad un troncamento di un solo bit e si è sfruttata la simmetria della funzione seno rispetto al quarto di periodo, in modo da ridurre le dimensioni della ROM. In conclusione sono stati illustrati i passi fondamentali della realizzazione, a partire dal modello Simulink, fino ad arrivare alla sintesi del VHDL, con i risultati delle simulazioni. Si è giunti ad un SFDR di -83 dBc per il test sinusoidale e di -80 dBc per quello a due toni.

Bibliografia

[1] H. Pan and A. A.Abidi, "Spectral Spurs due to Quantization in Nyquist ADCs," *IEEE J. Solid-State Circuits*, vol. 51, no. 8, August 2004.

[2] B. Razavi, *Principles of Data Converter System Design.* IEEE Press, 1995.

[3] K. Bult *et al.*, "A 12 bit 2.9 GS/s DAC With IM3 $<$ -60 dBc Beyond 1 GHz in 65 nm CMOS," *IEEE J. Solid-State Circuits*, vol. 44, no. 12, December 2009.

[4] P. Palmers and M. S.J.Steyaert, "A 10-Bit 1.6 GS/s 27-mW Current-Steering D/A Converter With 550-MHz 54-dB SFDR Bandwidth in 130-nm CMOS," *IEEE J. Solid-State Circuits*, vol. 57, no. 11, November 2010.

[5] W.-H. Tseng *et al.*, "A 12-bit 1.25-GS/s DAC in 90nm CMOS With $>$ 70 dB SFDR up to 500 MHz," *IEEE J. Solid-State Circuits*, vol. 46, no. 12, December 2010.

[6] C. Doris, "High-speed D/A Converters: from Analysis and Synthesis Concept to IC Implementation," Master's thesis, Eindhoven University of Technology, Olanda, 2004.

[7] M. S. J. S. Xu Wu, Pieter Palmers, "A 130 nm CMOS 6-bit Full Nyquist 3 GS/s DAC," *IEEE J. Solid-State Circuits*, vol. 43, no. 11, November 2008.

[8] M. S. Anne Van Den Bosch, Marc A. F. Borremans and W. Sansen, "A 10-bit 1-GSample/s Nyquist Current-Steering CMOS D/A Converter," *IEEE J. Solid-State Circuits*, vol. 36, no. 3, March 2001.

[9] M.Clara *et al.*, "A 1.5V 200MS/s 13b 25mW DAC with randomized nested background calibration in 0.13 µm CMOS," *IEEE Solid-State Circuits Conf. Dig. Tech. Papers*, pp. 250–251, 2007.

[10] M. Pelgrom *et al.*, "Matching properties of MOS transistors," *IEEE J. Solid-State Circuits*, vol. 24, pp. 1433–1440, October 1989.

[11] B. Razavi, *Design of Analog CMOS Integrated Circuit.* McGraw-Hill International Edition, 2001.

[12] A. L. Lacaita, S. Levantino, and C. Samori, *Integrated Frequency Synthesizers for Wireless Systems.* Cambridge University Press, 2007.

[13] J. M. Rabaey, A. Chandrakasan, and B. Nikolic, *Digital Integrated Circuits*, 2nd ed. Prantice-Hall, 2003.

[14] D. A. Mercer, "Low-Power Approaches to High-Speed Current-Steering Digital-to-Analog Converters in 0.18 µm CMOS," *IEEE J. Solid-State Circuits*, vol. 42, no. 8, August 2007.

[15] D. A. Sunderland *et al.*, "CMOS/SOS Frequency Synthesizer LSI Circuit for Spread Spectrum Communications," *IEEE J. Solid-State Circuits*, vol. 19, no. 4, August 1984.

[16] *A Technical Tutorial on Digital Signal Synthesis*, Analog Devices, 1999.

[17] I. K. B. Widrow and M.-C. Liu, "Statistical theory of quantization," *IEEE Trans. Instrum. Meas.*, vol. 45, pp. 353–361, April 1996.

[18] I. Henry T.Nicholas and H. Samueli, "An Analysis of the Output Spectrum of Direct Digital Frequency Synthesizers in the Presence of Phase-Accumulator Truncation," *41th Annual Frequency Control Symposium*, 1987.

[19] H. S. Henry T.Nicholas, III and B. Kim, "The optimization of Direct Digital Frequency Synthesizer Performance in the Presence of Finite Word Length Effects," *42nd Annual Frequency Control Symposium*, 1988.

[20] A. Y. K. Avanidra Madisetti and A. N. Willson, "A 100-MHz, 16-b, Direct Digital Frequency Synthesizer with a 100-dBc Spurious-Free Dynamic Range," *IEEE J. Solid-State Circuits*, vol. 34, no. 8, August 1999.

[21] J. Vankka and K. Halonen, *Direct Digital Synthesizers: Theory, Design and Applications.* Kluwer Academic Publishers, 2000.

[22] I. Myderrizi and A.Zeki, "Current Steering Digital to Analog Converters: Functional Specifications, Design Basics, and Behavioral Modeling," *IEEE Antennas and Propagation Magazine*, vol. 52, no. 4, August 2010.

[23] D. A.Johns and K. Martin, *Analog Integrated Circuit Design.* John Wiley and Sons, 1997.

Ringraziamenti

Con il presente lavoro di tesi si conclude un importante percorso di studi. Numerose sono state le persone che mi hanno accompagnato durante questo periodo e a loro sono dedicate queste poche righe. Innanzitutto voglio ringraziare i miei genitori, coloro che, con grandi sacrifici, mi hanno permesso di diventare quello che sono, di raggiungere i miei obiettivi e di fare, in ogni momento, ciò che volevo. Un abbraccio particolare va anche a mia sorella, per la pazienza e l'affetto avuti, in questi anni, nei miei confronti.

Desidero ringraziare sentitamente tutto il laboratorio di High-Speed Integrated Circuits del Politecnico di Milano, in particolare il Professore Salvatore Levantino ed il professore Carlo Samori, che, con i loro preziosi consigli, hanno costituito, per me, un riferimento insostituibile, durante questo lavoro. Inoltre li ringrazio anche per la professionalità, la disponibilità e la comprensione dimostrata nei miei riguardi. Un grazie speciale va ad Andrea Fenaroli, per la pazienza infinita che ha avuto nei miei riguardi, nonchè per gli insegnamenti indispensabili che mi ha regalato. Un ringraziamento sincero va anche a Giovanni Marzin, Davide Tasca e Federico Pepe, per il loro supporto e per la loro infinita disponibilità, ogniqualvolta ne ho avuto bisogno. Grazie anche ai colleghi tesisti, Giovanni Marucci e Claudia Palattella, con i quali ho condiviso tutte le situazioni più importanti che hanno caratterizzato questi ultimi mesi. Con tutti si è instaurato un rapporto d'amicizia, che va al di là di quello professionale, e che ci ha permesso di rendere più gradevoli le giornate trascorse insieme.

Infine ringrazio tutti gli amici e i familiari che hanno condiviso con me questa avventura, non lasciandomi mai da solo. In particolare un forte abbraccio va ad Isa, Sergio e Roberta, che sono stati per me una seconda famiglia, a mio cugino Edoardo, agli amici Giacomo e Claudio, e all'amico, compagno di mille battaglie, calcistiche e non, Lorenzo.