

# POLITECNICO DI MILANO

Scuola di Ingegneria dell'Informazione  
Corso di Laurea Specialistica in Ingegneria Elettronica



## **PROGETTO E REALIZZAZIONE DI UN AMPLIFICATORE INTEGRATO A MODULAZIONE / DEMODULAZIONE PER SPETTROSCOPIA DI IMPEDENZA A BANDA AMPIA**

Relatore:

Dr. Giorgio FERRARI

Correlatori:

Prof. Marco SAMPIETRO

Dr. Angelo ROTTIGNI

Tesi di Laurea di:

Emanuele Moretti

Matricola 747333

*Anno Accademico 2010-2011*



*Raffaello Sanzio, "La scuola di Atene" – 1509/1511 – Stanza della Segnatura, Musei Vaticani*

*.... Ai miei nonni Angelo,  
Anna, Bruno, Gilda ....*

# Indice

-	Indice delle figure.....	ii
-	Indice delle tabelle.....	iv
-	Abstract.....	v
-	Introduzione.....	1
-	Capitolo 1: Spettroscopia di impedenza.....	4
➤	Capitolo 1.1 – Introduzione.....	4
➤	Capitolo 1.2 – Proprietà dielettriche dei materiali biologici e delle cellule.....	6
➤	Capitolo 1.3 – Campi di applicazione del circuito.....	10
➤	Capitolo 1.4 – Tecniche tradizionali di spettroscopia di impedenza .....	16
➤	Capitolo 1.5 – Specifiche di progetto.....	23
-	Capitolo 2: Descrizione del sistema.....	25
➤	Capitolo 2.1 – Guadagno d’anello del sistema.....	33
➤	Capitolo 2.2 – Guadagno d’anello e non linearità.....	38
➤	Capitolo 2.3 – Analisi sul rumore.....	43
➤	Capitolo 2.4 – Propagazione dell’offset.....	45
➤	Capitolo 2.5 – Non idealità dei segnali di riferimento.....	54
➤	Capitolo 2.6 – Descrizione dei singoli blocchi del circuito.....	58
-	Capitolo 3: Gestione della corrente continua.....	79
➤	Capitolo 3.1 – Rete DC con attenuatore di corrente.....	80
➤	Capitolo 3.2 – Rete DC ad ampia banda.....	83
➤	Capitolo 3.3 – Rete DC con compensazione polo – zero.....	92
-	Capitolo 4: Simulazioni circuitali.....	98
-	Capitolo 5: Layout e misure sperimentali.....	108
➤	Capitolo 5.1 – Layout del circuito.....	108
➤	Capitolo 5.2 – Realizzazione della scheda di test.....	119
➤	Capitolo 5.3 – Misure sperimentali.....	127
-	Conclusioni.....	134
-	Bibliografia.....	136
-	Ringraziamenti.....	138

# Indice delle figure

Figura 1.1: Rappresentazione polare di un'impedenza, nelle componenti modulo e fase.....	5
Figura 1.2: Diagramma di Nyquist dell'impedenza di una rete RC parallelo.....	6
Figura 1.3: Intervalli di frequenze relativi alle dispersioni dielettriche di materiali biologici.....	9
Figura 1.4: Modello elettrico equivalente semplificato di una singola cellula sospesa in soluzione.....	10
Figura 1.5: <u>Parte superiore</u> : Passaggio di una particella all'interno di un microcanale con tre elettrodi. Il segnale d'impedenza viene misurato in modo differenziale, la misura del tempo di transito permette di calcolare la velocità della cellula. <u>Parte inferiore</u> : Modello elettrico semplificato della variazione di impedenza al passaggio di una cellula. Simulazione dello spettro d'impedenza di una cellula dal diametro di 10 $\mu$ m. I rettangoli evidenziano le frequenze di interesse per la discriminazione cellulare.....	12
Figura 1.6: Schema di principio di un microscopio a forza atomica (AFM).....	13
Figura 1.7: Parte superiore: Misure elettriche utilizzando un microscopio AFM. Parte inferiore: Rappresentazione schematica della tecnica Nanoscale Dielectric Microscopy.....	14
Figura 1.8: Schema di principio di un ponte a corrente alternata.....	17
Figura 1.9: Schema di principio di un misuratore di ammettenza basato su risonanza.....	19
Figura 1.10: Schema di principio di misurazione di impedenza basata su amplificatore a transimpedenza.....	20
Figura 1.11: Topologia classica di transimpedenza: conversione lineare tra corrente in ingresso e tensione in uscita tramite la resistenza di retroazione.....	21
Figura 1.12: Preamplificazione ottenuta tramite rapporto tra capacità di derivazione Cd e di integrazione Ci.....	22
Figura 2.1: Schema di principio dell'innovativa topologia utilizzata per la misura dell'impedenza su banda.....	25
Figura 2.2: Rappresentazione delle componenti armoniche idealmente presenti nel sistema.....	27
Figura 2.3: Sdoppiamento del cammino di andata con riferimenti in fase ed in quadratura con il segnale in ingresso, per poter discriminare correttamente tali componenti.....	28
Figura 2.4: Spettro del segnale (verde) e del rumore flicker (rosso) sovrapposto in corrispondenza dei diversi stadi della struttura finora considerata.....	30
Figura 2.5: <u>In alto</u> : Schema a blocchi del cammino d'andata per evitare che il segnale risenta del rumore flicker. <u>In basso</u> : Spettro del segnale e del rumore della struttura.....	31
Figura 2.6: Schema a blocchi del circuito completo.....	33
Figura 2.7: Guadagno d'anello del sistema, diagrammi di Bode di modulo (in alto) e fase (in basso), calcolati per $f_0=1$ MHz.....	35
Figura 2.8: Diagramma di Nyquist del guadagno d'anello per lo studio della stabilità.....	36
Figura 2.9: Diagrammi di Bode di modulo e fase del guadagno reale del circuito per $f_0$ pari a 1 MHz, 10 MHz e 100 MHz.....	37
Figura 2.10: Schema a blocchi di un generico circuito retroazionato con disturbo di carico.....	38
Figura 2.11: Circuito semplificato utilizzato per lo studio del comportamento delle armoniche spurie.....	39
Figura 2.12: Raffronto tra lo spettro della tensione di uscita ad anello chiuso (a sinistra) e ad anello aperto (a destra) ad una frequenza di 10 kHz (fuori della banda retroazionata).....	40
Figura 2.13: Raffronto tra lo spettro della tensione di uscita ad anello chiuso (a sinistra) e ad anello aperto (a destra) ad una frequenza di 1 kHz (frequenza intermedia).....	41
Figura 2.14: Raffronto tra lo spettro della tensione di uscita ad anello chiuso (a sinistra) e ad anello aperto (a destra) ad una frequenza di 100 Hz (all'interno della banda retroazionata).....	42
Figura 2.15: Circuito equivalente per lo studio sul rumore che affligge le uscite a bassa frequenza.....	45
Figura 2.16: Indicazione dei vari contributi di offset differenziale presenti nel cammino di andata.....	46
Figura 2.17: Componenti armoniche generate a partire dall'offset in continua nel caso di frequenza di misura non multipla della frequenza del chopper.....	48
Figura 2.18: Componenti armoniche generate a partire dall'offset in continua nel caso di frequenza di misura multipla dispari della frequenza del chopper.....	49
Figura 2.19: Sinusoidi di uscita alla frequenza di misura generate a partire dall'offset nel caso di ingresso nullo e frequenza di misura multipla dispari di quella di chopper. Si noti il valore limitato di ampiezza anche con valori di offset significativi (massimo 1 mV).....	50
Figura 2.20: Componenti armoniche generate a partire dall'offset in continua nel caso di frequenza di misura multipla pari della frequenza del chopper.....	51
Figura 2.21: Sinusoidi di uscita alla frequenza di misura generate a partire dall'offset nel caso di ingresso nullo e frequenza di misura multipla pari di quella del chopper. Si noti il valore elevato raggiunto dall'ampiezza di tali sinusoidi.....	53

Figura 2.22: non idealità considerate nel percorso di amplificazione: differente guadagno dei due percorsi ( $A_1$ e $A_2$ ), fase di demodulazione diversa da quella di modulazione ( $\theta_{CM}$ ), differenza di fase tra i due percorsi diversa da $90^\circ$ ( $\varphi_d$ ).....	56
Figura 2.23: Struttura semplificata del sistema retroazionato.....	57
Figura 2.24: Differenziale di ingresso ad alta banda.....	59
Figura 2.25: Schema di principio del moltiplicatore ad interruttori.....	60
Figura 2.26: Onde quadre di comando dei transistori utilizzati come interruttori nel moltiplicatore: il DC di tali onde è leggermente diverso dal 50% per evitare fenomeni di cross conduzione.....	61
Figura 2.27: Schema di principio del moltiplicatore analogico utilizzato.....	62
Figura 2.28: Buffer di corrente retroazionato a larga banda.....	63
Figura 2.29: Schema circuitale completo del moltiplicatore analogico implementato.....	63
Figura 2.30: Raddoppiamento della struttura, con comando al MOS centrale sfasato di $180^\circ$ , per la cancellazione delle armoniche indesiderate.....	65
Figura 2.31: Stadio fully differential utilizzato nell'implementazione dell'amplificatore chopperato.....	66
Figura 2.32: Rete di gestione del modo comune a capacità commutate dell'amplificatore chopperato.....	68
Figura 2.33: Schematizzazione della rete di gestione del modo comune e tensioni di comando degli interruttori.....	68
Figura 2.34: Integratore attivo ad operazionale.....	70
Figura 2.35: Attenuatore di corrente con transistori MOS operanti in regime di sottosoglia.....	70
Figura 2.36 Il modo comune all'uscita single ended del moltiplicatore chopperato causa armoniche spurie nell'anello.....	71
Figura 2.37: Rete di gestione del modo comune a tempo continuo per il filtro passa basso differenziale.....	72
Figura 2.38: Amplificatore operazionale a due stadi per la realizzazione del blocco amplificante dei filtri.....	73
Figura 2.39: Moltiplicatore di uscita (solo ramo seno) con uscita single – ended e reiezione delle armoniche Indesiderate.....	76
Figura 2.40: Buffer di uscita.....	77
Figura 3.1: Schema di principio per la gestione della corrente continua in ingresso e schema riassuntivo del percorso a modulazione/demodulazione.....	79
Figura 3.2: Rete di gestione della corrente continua con attenuatore di corrente.....	81
Figura 3.3: Guadagno d'anello della rete di gestione della corrente continua ad attenuatore di corrente.....	82
Figura 3.4: Rete di gestione della corrente continua ad ampia banda.....	83
Figura 3.5: Guadagno d'anello della rete di gestione della corrente continua ad ampia banda, senza considerare il blocco amplificante (da dimensionare), per varie capacità di ingresso.....	85
Figura 3.6: Circuito per il calcolo dell'impedenza vista dal nodo di ingresso della rete di gestione della corrente continua.....	86
Figura 3.7: Modulo dell'impedenza presentata al nodo di ingresso dalla rete di gestione della corrente continua (equivalente ad una serie LR).....	87
Figura 3.8: Interazione tra l'anello di gestione della corrente continua e l'anello principale a modulazione/demodulazione.....	88
Figura 3.9: Modello impedenziale equivalente del circuito complessivo.....	89
Figura 3.10: Corrente nella capacità di feedback (coincidente con la corrente di ingresso a $f_0=200$ kHz).....	90
Figura 3.11: Corrente nella capacità di feedback (molto più elevata della corrente di ingresso) a $f_0=25$ kHz.....	91
Figura 3.12: Rete di gestione della corrente continua con attenuatore di corrente e cancellazione polo – zero.....	93
Figura 3.13: Circuito per il calcolo del $G_{loop}$ del solo attenuatore di corrente.....	94
Figura 3.14: Guadagno d'anello della rete con attenuatore di corrente non retroazionato (sinistra) e dell'attenuatore stesso (destra).....	96
Figura 4.1: <u>In alto</u> : Transistori di andata a regime dell'uscita e della terra virtuale con frequenza di misura pari a 10 MHz; <u>In basso</u> : Dettagli degli stessi segnali.....	99
Figura 4.2: Uscite a bassa frequenze dei percorsi in fase e in quadratura con frequenza di misura 10 MHz.....	100
Figura 4.3: Trasformata discreta di Fourier (DFT) della tensione di uscita (simulazione su sistema reale completo a 10 MHz).....	101
Figura 4.4: Uscite a bassa frequenza sui due rami in fase ed in quadratura con segnale in ingresso di tipo seno (sinistra) e di tipo coseno (a destra).....	102
Figura 4.5: Relazione di fase in quadratura tra tensione in uscita e corrente di ingresso, dettata dalla capacità di feedback (a sinistra) e uscite a bassa frequenza dei rami in fase ed in quadratura con segnale in ingresso sfasato di $45^\circ$ dai due riferimenti (a destra).....	102
Figura 4.6: <u>In alto</u> : Analisi di stabilità della rete di gestione della corrente continua implementata, per diverse correnti spillate; <u>In basso</u> : Tensione di uscita indipendente dalla corrente continua spillata.....	103
Figura 4.7: <u>In alto</u> : Transitorio di andata a regime dell'uscita con frequenza di misura 10 kHz; <u>In basso</u> : Transitorio di andata a regime dell'uscita (sovra oscillante) con frequenza di misura pari a 1 kHz.....	104

Figura 4.8: Ricostruzione dei grafici di modulo e fase di un'impedenza incognita, con simulazioni a varie frequenze.....	106
Figura 5.1: Dimensioni relative di un transistor per applicazioni analogiche su layout.....	109
Figura 5.2: Dimensioni relative su layout di un transistor per applicazioni analogiche interdigitato.....	109
Figura 5.3: Specchio di corrente.....	110
Figura 5.4: Rappresentazione del layout di uno specchio di corrente formato da tre transistori.....	111
Figura 5.5: Moltiplicatore analogico finale.....	112
Figura 5.6: Layout del circuito complessivo, con i nomi dei vari pad.....	115
Figura 5.7: Immagine del layout del circuito comprendente solo i blocchi operanti ad alta frequenza, implementato per facilitare test solo su tali parti del sistema.....	118
Figura 5.8: Derivazione di vari riferimenti di tensione di DEMO1 a partire dalle tensioni di alimentazione.....	120
Figura 5.9: Gestione sulla scheda di test del segnale di uscita ad alta frequenza proveniente da DEMO1.....	121
Figura 5.10: Gestione sulla scheda di test del segnale di ingresso da fornire a DEMO1.....	122
Figura 5.11: Lato TOP del circuito stampato della scheda di test.....	125
Figura 5.12: Lato BOTTOM del circuito stampato della scheda di test.....	126
Figura 5.13: Rete di gestione della corrente continua.....	128
Figura 5.14: Tensione sulla $R_{att}$ della rete di gestione della corrente continua in funzione della corrente spillata.....	129
Figura 5.15: Risposta allo scalino positivo della rete di gestione della corrente continua.....	130
Figura 5.16: Risposta allo scalino negativo della rete di gestione della corrente continua.....	130
Figura 5.17: Guadagno di conversione del moltiplicatore analogico di downconversion a $f_{in}=f_0=10$ kHz.....	131
Figura 5.18: Guadagno di conversione del moltiplicatore analogico di downconversion a $f_{in}=f_0=10$ MHz, in funzione della fase dell'ingresso, parametrizzata sull'ampiezza del segnale di ingresso.....	132

## Indice delle tabelle

Tabella 2.1: Parametri salienti del differenziale ad alta banda di ingresso.....	60
Tabella 2.2: Parametri salienti del moltiplicatore analogico.....	66
Tabella 2.3: Parametri salienti dell'amplificatore chopperato e della sua rete di gestione del modo comune.....	69
Tabella 2.4: Parametri salienti dell'amplificatore a due stadi implementato per il blocco amplificante dell'integratore.....	74
Tabella 4.1: Riassunto delle prestazioni del circuito.....	107
Tabella 5.1: Descrizione dei pad del sistema.....	115
Tabella 5.2: Strumenti utilizzati nel setup sperimentale.....	133

## Abstract

La spettroscopia di impedenza è una tecnica di indagine che permette di ricavare informazioni sulle caratteristiche chimico – fisiche di materiali biologici a partire dalle proprietà dielettriche. La permittività di tali campioni è pesantemente variabile in frequenza, a causa di vari fenomeni legati al comportamento del campione in esame. Essa presenta in frequenza vari picchi di diverso valore, denominati dispersioni dielettriche, che avvengono a partire da frequenze di decine di kHz, fino ai GHz. Inoltre, la ridotta tensione applicabile conduce ad avere correnti di segnale di valore limitato.

Nel presente lavoro di tesi si è realizzato uno strumento per la spettroscopia di impedenza basato su un amplificatore a transimpedenza con topologia innovativa. È presente nel cammino di andata dell'amplificatore, infatti, un meccanismo di modulazione/demodulazione del segnale errore alla stessa frequenza di stimolo del campione. Si può dunque utilizzare uno stadio amplificante ad alto guadagno e banda limitata, ma grazie alla traslazione in frequenza si spinge la frequenza di misura a valori molto superiori al prodotto guadagno banda dell'amplificatore, consentendo di coprire cinque decenni in frequenza (dai kHz fino a centinaia di MHz) e quindi un ampio range di dispersioni dielettriche. Il guadagno d'anello è elevato solo alla frequenza di misura, con valore in modulo indipendente dalla stessa (il che comporta buona linearità) e con banda di rumore molto stretta e costante anch'essa rispetto alla frequenza di misura, il che consente di raggiungere valori di sensibilità in termini di impedenza minima equivalente misurabile molto elevata (nell'ordine degli aF in capacità).

Una parte rilevante del lavoro ha riguardato il progetto di una rete complementare per la gestione della corrente DC proveniente dal campione, non gestita dall'anello principale, attiva solo per frequenze minori del kHz per non interagire col resto del circuito a basse frequenze di misura.

In seguito, definito il layout del chip in tecnologia CMOS standard 0,35  $\mu\text{m}$  e realizzata una scheda di test per la gestione dei segnali da e verso il chip, sono stati compiuti i primi test sperimentali.

# Introduzione

La spettroscopia di impedenza (IS) è una metodologia di indagine basata sulla misura dell'impedenza in un ampio intervallo di frequenze, ed è alla base di svariate tecniche di caratterizzazione di campioni solidi, sospensioni e microstrutture.

Negli ultimi anni, l'interesse del mondo scientifico verso lo sviluppo di biosensori utilizzando la spettroscopia di impedenza è andato aumentando dal momento che lo strumento di analisi offerto da tale tecnica è versatile, accurato e non necessita dell'uso di marcatori chimici fluorescenti, che sono indispensabili nei tradizionali metodi ottici utilizzati in biologia ma che comportano un significativo aumento in termini di costi e di tempo di preparazione dei campioni.

La caratterizzazione delle proprietà cellulari a partire da segnali elettrici esterni è inoltre un approccio compatibile con la tecnologia CMOS standard; ciò permette una profonda integrazione funzionale (per esempio consentendo di effettuare anche un processing digitale dei dati, in modo tale da rendere fruibili risultati elaborati anche a personale non esperto), aprendo la strada alla realizzazione di piattaforme complete parallele ed automatizzate, da utilizzare in applicazioni in vivo (anche portatili) e in vitro.

Tali considerazioni rispecchiano la naturale tendenza a convergere di tecnologia elettronica e di scienza biologica, che ha subito un'accelerazione senza pari nelle ultime decine di anni, allorché lo scaling delle tecnologie microelettroniche ha raggiunto dimensioni minime compatibili con le dimensioni di singole cellule: una tale miniaturizzazione consente di investigare anche fenomeni elettrochimici che avvengono su dimensioni spaziali dei nanometri e su archi temporali di nanosecondi.

In questo lavoro di tesi, in accordo con la linea di azione appena presentata, è stato completato il progetto di uno strumento completamente integrato in tecnologia CMOS (con lunghezza minima di canale di 0,35 micron) per indagini spettroscopiche.

La realizzazione dello strumento su singolo chip punta all'obiettivo di unire all'indubbia efficacia di una tecnica ampiamente consolidata come la spettroscopia di impedenza i benefici di una elevata sensibilità e di una maggior localizzazione delle misure. Il primo vantaggio è ottenibile grazie alla riduzione dei parassitismi che incidono pesantemente sul rumore in strumenti macroscopici, soprattutto alle alte frequenze, mentre il secondo è conseguenza diretta della miniaturizzazione.

Entrambi questi aspetti sono importanti nel mondo biologico, in quanto generalmente i segnali da misurare sono piccoli e si vogliono indagare le proprietà dei campioni su scale compatibili con



quelle cellulari. Inoltre, con la tecnica presentata, sarebbe possibile anche la rilevazione in loco dei parametri di interesse in tempo reale e in modo assolutamente non invasivo.

Nel caso particolare di misure di impedenza su interfacce biologiche sub micrometriche, le richieste in termini di sensibilità sono particolarmente spinte; la tensione applicata non deve superare le poche decine di millivolt per non perturbare il delicato equilibrio elettrostatico del campione in esame, e ciò, a causa della scarsa conducibilità dei tessuti, porta ad operare nell'ambito dei gigaOhm e degli atto Farad, con correnti di segnale risultanti limitate al massimo a qualche nano Ampere. Nel contempo, nella spettroscopia di impedenza è richiesto di esplorare un ampio intervallo spettrale, anche fino a centinaia di megaHertz, per avere un margine sufficiente per investigare in modo esaustivo il range di frequenze nel quale si colloca la dispersione dielettrica di proteine e lipidi, costituenti fondamentali delle cellule animali e vegetali.

Queste esigenze sono state tenute in conto nel progetto del sistema elettronico qui presentato: l'implementazione su singolo chip permette di posizionare il campione biologico nelle vicinanze dell'apparato, riducendo i parassitismi dei collegamenti e migliorando l'accessibilità della misura. Il circuito ha poi sensibilità molto elevata, nell'ordine degli attoFarad sulla misura di una capacità incognita: quindi è possibile garantire una buona ricostruzione dello spettro anche in presenza di DUT (Device Under Test) con impedenza molto elevata. Infine, un requisito fondamentale che è stato alla base di tutto il progetto è la possibilità di operare su banda estesa, per rendere possibile l'analisi di spettri di dispersione posti su un ampio range di frequenze, e di conseguenza la caratterizzazione di diverse strutture biologiche e di tutti i fenomeni legati al loro comportamento. La banda di analisi ottenuta si estende da qualche kiloHertz fino a circa 100 MHz, con l'intento di colmare il gap riscontrato nell'odierna ricerca tra i metodi di spettroscopia ad alta e a bassa frequenza.

Per ottenere tali prestazioni è stato necessario introdurre una topologia architetture innovativa, che ha permesso di ottenere bande molto ampie senza compromettere le prestazioni di sensibilità. L'idea alla base della topologia sta nella modulazione / demodulazione del segnale errore, per poterlo traslare dalla frequenza di misura fino a bassa frequenza, dove viene amplificato, per poi essere riportato ad alta frequenza, chiudendo così l'anello di retroazione alla frequenza dello stimolo di ingresso. Ciò consente il fondamentale vantaggio di poter effettuare l'amplificazione con blocchi di guadagno operanti a basse frequenze, slegandosi così dal tradizionale compromesso progettuale relativo al prodotto guadagno – banda degli amplificatori, ma ci sono altri fattori positivi che hanno portato a scegliere questa strada: ad esempio, il segnale nel cammino di andata è traslato sempre alla stessa frequenza, indipendentemente dalla frequenza di indagine. Si assicura così un elevato

guadagno d'anello per ogni frequenza di misura, e indipendente dalla stessa (requisito fondamentale per una buona linearità). Nel suo complesso, il sistema realizzato consiste in un blocco di guadagno retroazionato tramite capacità, ma la particolarità della struttura fa sì che il guadagno d'anello sia elevato solo nei dintorni della frequenza di indagine, facendo sì che soltanto in un ristretto intervallo centrato attorno ad essa il sistema si comporti come un integratore, con tutti i vantaggi appena riportati.

Le particolari prestazioni del chip lo rendono impiegabile con successo in svariati campi di indagine biologica, dalla citometria di flusso alle acquisizioni di microscopia elettrochimica su nanoscala, risultando inoltre particolarmente adatto all'integrazione con altri microsistemi di misura, nell'ottica di realizzare dei Lab – On – Chip, sistemi di acquisizione e di prima elaborazione autonomi.

Nel primo capitolo sono illustrati i concetti alla base della tecnica di spettroscopia di impedenza, con particolare attenzione all'indagine del mondo biologico; inoltre, sono mostrati esempi applicativi del presente lavoro di tesi, in alternativa alle tradizionali tecniche di spettroscopia che verranno sinteticamente presentate.

Nel secondo capitolo è descritta la struttura innovativa proposta, con delle iniziali considerazioni a livello di sistema per poi addentrarsi nelle scelte progettuali e nella struttura di massima dei vari blocchi che costituiscono il circuito.

Nel terzo capitolo verrà presentato nel dettaglio il progetto di una rete ancillare di gestione della corrente continua, che è fondamentale per evitare il malfunzionamento dell'amplificatore in presenza di retroazione a capacità. Verranno presentate le problematiche relative a varie versioni di rete, in particolare ci si soffermerà sul conflitto tra il guadagno d'anello della gestione della corrente continua con quello complessivo, infine si presenterà la versione definitiva scelta ed implementata.

Nel quarto capitolo saranno presenti le simulazioni effettuate in fase di progettazione del chip, mentre nel quinto ed ultimo capitolo si descriverà la fase di realizzazione del layout del circuito (con le scelte critiche effettuate) e la caratterizzazione dello stesso con i primi dati sperimentali.

# Capitolo 1: Spettroscopia di impedenza

## Capitolo 1.1 – Introduzione

La spettroscopia di impedenza (IS) è una tecnica di indagine versatile che, se effettuata su un vasto range di frequenza, rende possibile l'analisi di svariate proprietà chimico – fisiche di campioni biologici (in vivo e in vitro): attraverso di essa è anche possibile eseguire processi di testing di dispositivi a semiconduttore. Le misure IS forniscono lo spettro, cioè l'andamento di modulo e fase di un'impedenza ignota al variare della frequenza. Soprattutto in ambito biologico, dove le grandezze da misurare sono di ampiezza limitata, lo spettro che si ottiene è tipicamente caratterizzato da variazioni di lieve entità, di pochi punti percentuali sul modulo dell'ampiezza e di frazioni di grado sulla fase. Per questi motivi, è essenziale che lo strumento abbia elevata risoluzione, per poter ottenere misure significative.

Il principio alla base della IS è molto semplice: si applica al campione oggetto di studio uno stimolo noto di corrente oppure di tensione (preferibile, come si vedrà in seguito, in caso di impedenza del campione molto elevata) e se ne osserva la risposta nel tempo, ovvero la tensione oppure la corrente risultante.

Ogni fattore in grado di modificare la conduttività del sistema può potenzialmente essere indagato con questa tecnica, poiché l'andamento dell'impedenza con la frequenza permette di descrivere in modo completo le proprietà elettriche di qualunque sistema lineare. Il tipo di informazioni ottenibili può essere solitamente ricondotto a due tipologie differenti:

- Parametri pertinenti al solo campione sotto indagine, come la conduttività, la costante dielettrica, la mobilità e la concentrazione di equilibrio di specie cariche;
- Parametri pertinenti all'interfaccia tra l'elettrodo e l'oggetto indagato, come il valore della capacità di una regione di interfaccia e i meccanismi di trasferimento della carica all'interfaccia.

La necessità di distinguere tra loro le due tipologie di informazioni si traduce nell'esigenza pratica di analizzare lo spettro su banda più ampia possibile, in modo da distinguere fenomeni diversi che avvengono a frequenze diverse.

Operativamente, la misura impedenziometrica si effettua applicando al dispositivo in esame un segnale  $V(t)$  e leggendo la corrente prodotta  $I(t)$ .

L'ammettanza del campione è data dal rapporto tra la trasformata di Laplace della corrente che lo attraversa e la trasformata del segnale di tensione applicato all'ingresso:

$$Y = \frac{\mathcal{L}\{I(t)\}}{\mathcal{L}\{V(t)\}} = \frac{I(s)}{V(s)} = G + iB$$

ed è possibile rappresentarla in un diagramma polare, come nella figura 1.1: in questo caso l'ammettanza è descritta da modulo e fase:

$$|Y| = \alpha = \sqrt{G^2 + B^2}, \varphi = \tan^{-1}\left(\frac{B}{G}\right)$$

Ottenendo, come è noto:

$$Y = \alpha e^{i\varphi}$$

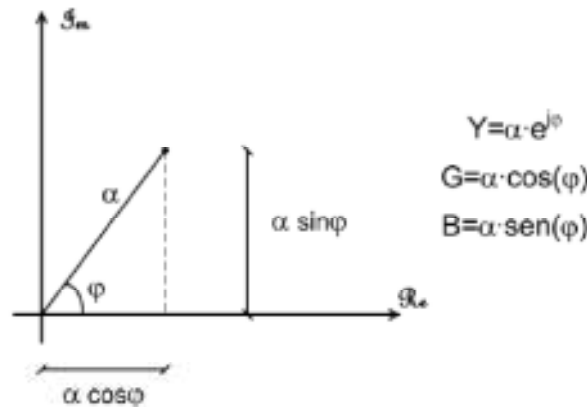


Figura 1.1: Rappresentazione polare di un'impedenza, nelle componenti modulo e fase

I risultati ottenuti tramite tecniche di spettroscopia di impedenza necessitano per loro natura di una rappresentazione in tre dimensioni, dal momento che l'impedenza può essere vista come una funzione complessa: l'informazione di impedenza è scomponibile come parte reale e parte immaginaria in funzione della frequenza, pertanto per esprimere in modo completo  $Z$  è possibile utilizzare o i diagrammi di Bode, che forniscono modulo e fase su due grafici separati, o il diagramma di Nyquist, nel quale in un grafico cartesiano bidimensionale si esprime la componente immaginaria in funzione della componente reale al variare della frequenza, così che ogni frequenza sia rappresentata da un punto nel piano e la curva risultante sia l'interpolazione dell'informazione alle varie frequenze alle quali si effettua la misura. Il diagramma di Nyquist risulta particolarmente utile se si vogliono ottenere informazioni legate a singolarità vicine in frequenza, che non risulterebbero ben distinte su grafici logaritmici come i diagrammi di Bode. In figura 1.2 è riportato a titolo di esempio il diagramma di Nyquist di una semplice rete RC in parallelo.

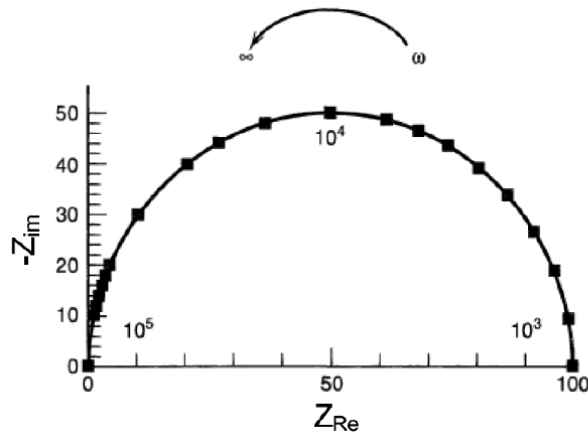


Figura 1.2: Diagramma di Nyquist dell'impedenza di una rete RC parallelo

## Capitolo 1.2 – Proprietà elettriche dei materiali biologici e delle cellule

Le tecniche impedenziometriche, già utilizzate da decenni su campioni biologici, hanno trovato numerose possibilità di applicazione e sviluppo con l'avvento delle nanotecnologie; in particolare, è risultato chiaro come riducendo le dimensioni dei sistemi di misura fino a realizzarli su singolo chip si avrebbero avuti i vantaggi, essenziali in molti contesti, della portabilità e della disponibilità di sistemi a basso costo, oltre a quelli di poter determinare le proprietà delle cellule viventi (come concentrazione in un volume) e i loro parametri elettrici in modo rapido e non invasivo, con elevata risoluzione spaziale, riducendo i parassitismi e i problemi di accessibilità che si riscontravano con apparati di misura macroscopici.

Per ragioni storiche, le tecniche che indagano il comportamento di tessuti biologici con la spettroscopia di impedenza sono conosciute anche come tecniche di spettroscopia dielettrica: esse si basano sulla misura della permittività e della conducibilità al variare della frequenza, e hanno consentito di raggiungere notevoli risultati già negli anni '20 del secolo scorso, come ad esempio la scoperta dello spessore molecolare della membrana cellulare e la natura ionica della conduzione nervosa [1]. Spesso, il termine spettroscopia dielettrica è usato per lo studio di sospensioni, effettuato ad alte frequenze (da 100 MHz ai GHz), mentre il termine spettroscopia di impedenza è più comune in studi di interfacce liquidi /solidi a frequenze minori di 10 MHz.

Fondamentalmente, il metodo di indagine è l'applicazione al campione di un campo elettrico, al quale è associata un'energia che viene trasformata: il movimento soggetto ad attrito dei portatori di carica provoca la dispersione dell'energia sotto forma di calore, mentre la polarizzazione del materiale (per esempio, l'orientamento dei dipoli elettrici) provoca immagazzinamento energetico.

La risposta del materiale al campo elettrico può dunque esser descritta dalla conduttività ( $\sigma$ , in S/m), che quantifica la facilità con cui portatori di carica delocalizzati si possono muovere attraverso il materiale sotto l'influsso di un campo elettrico, e dalla permittività ( $\epsilon$ , in F/m) che è un indicatore della polarizzabilità del materiale, cioè della sua propensione ad immagazzinare carica. La permittività è spesso espressa come permittività relativa, adimensionale, rapportata a quella del vuoto.

Le due grandezze appena descritte sono raccolte in termini di permittività complessa secondo il modello di Debye formulato nel 1929 [2]:

$$\epsilon^* = \epsilon' - i\epsilon'' = \epsilon - \frac{i\sigma}{\omega}$$

La parte immaginaria nell'espressione precedente rappresenta la perdita dissipativa dovuta al movimento della carica polarizzabile in fase con il campo elettrico.

Moltiplicando quest'espressione per  $i\omega$  si ottiene  $\epsilon^*i\omega = \epsilon i\omega + \sigma$ , che è equivalente all'espressione dell'ammettenza per unità di lunghezza di una rete RC parallelo: questo significa che, conoscendo la geometria del campione sotto esame, è possibile ricavare i parametri di  $\epsilon^*$  a partire da una misura di spettroscopia di impedenza.

In molte sostanze, la permittività e la conduttività sono costanti solo per un limitato range di frequenze. All'aumentare della frequenza, la permittività esibisce una generale tendenza a diminuire mentre la conduttività tende ad aumentare a causa (semplificando) della presenza nel modello equivalente della membrana di condensatori plasmatici che si cortocircuitano a frequenze attorno ai kHz, consentendo lo scorrimento di correnti più intense rispetto a quelle in continua (partecipazione alla conduzione da parte di fluidi intra – extra cellulari). I vari picchi nei valori della permittività dovuti alla sua dipendenza dalla frequenza sono chiamati dispersioni o rilassamenti dielettrici.

La perdita dissipativa è presente anche negli isolanti, e per descrivere in modo intuitivo questa interazione si può fare ricorso al modello fisico usato da Pethig [1], in cui i dipoli oscillanti sono considerati come sfere rotanti, la cui rotazione è frenata dall'attrito con il mezzo viscoso circostante. Risulta chiaro dunque come le molecole esibiscano un rilassamento dielettrico all'aumentare della frequenza del campo, dal momento che oltre una certa frequenza esse smettono di oscillare.

Le teorie dielettriche sulla polarizzazione interfacciale sono state sviluppate e validate da risultati sperimentali su diversi sistemi eterogenei, e continuano ad esser perfezionate sviluppando modelli sempre più realistici ed affidabili. Ogni dispersione può essere matematicamente approssimata da una singola costante di tempo:

$$\epsilon^*(\omega) = \epsilon_\infty + \frac{\epsilon_S - \epsilon_\infty}{1 + i\omega\tau}$$

Dove  $\epsilon_s$  è la permittività a bassa frequenza (statica),  $\epsilon_\infty$  è la permittività misurata ad alta frequenza e  $\tau$  è il tempo caratteristico di rilassamento.

In linea generale, le proprietà dei materiali biologici sono caratterizzate da quattro tipi di dispersione denominati  $\alpha$ ,  $\beta$ ,  $\gamma$ ,  $\delta$ , situate, rispettivamente, in bassa frequenza (range dei kHz), a decine di MHz, nel campo delle microonde e a centinaia di MHz (figura 1.3). I valori della permittività dielettrica nella regione delle dispersioni  $\alpha$  sono determinati dalla mobilità degli ioni attorno alle membrane. Per frequenze più elevate le macromolecole e le cariche della membrana plasmatica (inclusa la capacità elettrica intrinseca della stessa) subentrano nei processi di interazione del campo elettrico con i tessuti, meccanismo che abbassa il valore della permittività di un paio di ordini di grandezza (regione di dispersione  $\beta$ ). Il fenomeno è qui di seguito brevemente descritto: i campi elettrici a bassa frequenza caricano i condensatori della membrana e fanno accumulare le cariche all'interfaccia di separazione di cellule e tessuti (spazio intra-extra cellulare). Al crescere della frequenza il tempo di accumulo di queste cariche in prossimità delle membrane diminuisce (prima che si siano accumulate i campi elettrici si invertono, cambiando verso alle velocità delle cariche) pertanto la permittività dielettrica decresce e questa tendenza permane nel campo di frequenza 10 kHz - 100 MHz. Nel campo di frequenza 100 - 1000 MHz, (regione di dispersione  $\delta$ ) sono invece i moti di orientazione delle molecole polari dell'acqua legate alle proteine o ad altre strutture cellulari a influenzare il valore di  $\epsilon_r$ . Questo andamento si mantiene fino al limite della banda investigata e comunque gli altri cambiamenti della permittività dielettrica si hanno quando i livelli, prima rotazionali e poi vibrazionali delle varie macromolecole polari e dell'acqua cominciano ad essere via via interessati, per frequenze maggiori di 20 GHz (regione di dispersione  $\gamma$ ).

Le sospensioni cellulari, per esempio, esibiscono una significativa dispersione  $\beta$  dovuta all'effetto di polarizzazione interfacciale presente all'interfaccia tra la membrana fosfolipidica e la soluzione intra ed extra cellulare. L'acqua invece presenta una dispersione di tipo  $\gamma$ , mentre alcune proteine (o altre macromolecole) presentano dispersioni situate in un range variabile tra il dominio  $\alpha$  e quello  $\gamma$ , a seconda delle dimensioni e della carica elettrica della molecola [3]; ciò significa che è necessario estendere l'analisi a un ampio range di frequenze.

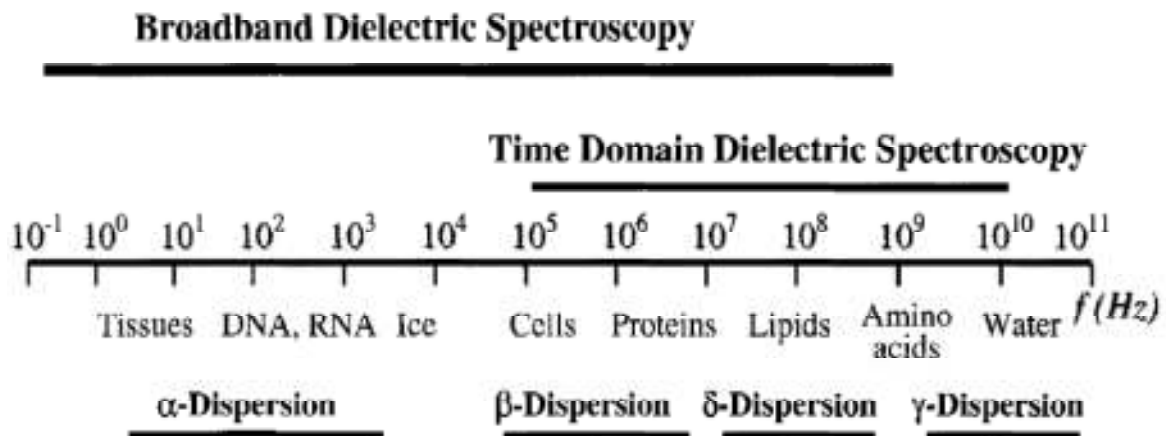


Figura 1.3: Intervalli di frequenze relativi alle dispersioni dielettriche di materiali biologici

Ad eccezione dei virus, la materia vivente è composta da cellule. Esse hanno una struttura simile tra loro, con una membrana a doppio strato lipidico che, nel caso di batteri e cellule animali, include proteine a cavallo di esse e che circonda il citoplasma, con uno spessore di 4 -10 nanometri. La membrana cellulare ha una struttura complessa: per poter svolgere le funzioni necessarie alla vita, la cellula deve poter scambiare molecole con l'ambiente che la circonda, e la parete cellulare presenta canali opportuni per permettere che ciò avvenga. La parete contiene dei gruppi elettricamente carichi che consentono alla membrana di comportarsi da scambiatore di ioni: ciò implica che le proprietà elettriche della membrana siano soggette a cambiamenti nel tempo, a causa della variazione di concentrazione di ioni. Gli effetti delle proteine e dell'acqua determinano le proprietà elettriche, per esempio la permittività relativa riportata in letteratura può variare tra 2 e 10. Il trasporto di ioni è regolato da alcune proteine chiamate canali ionici, e alcuni esperimenti hanno mostrato come la membrana, senza canali ionici e proteine, sia completamente isolante: fino a frequenze di decine di chilohertz la membrana non presenta alcuna dispersione [4], ciò significa che applicare un forte campo elettrico a bassa frequenza vuole dire provocare una forte differenza di potenziale ai capi della membrana, che si somma alla differenza di potenziale già presente intrinsecamente (variabile a seconda dell'attività cellulare, ma comunque nell'ordine di decine di millivolt) e che causa la rottura del doppio strato lipidico che funge da dielettrico.

Il citoplasma, invece, contiene acidi, proteine, sali e, spesso, strutture membranose che influenzano le proprietà elettriche. I valori di permittività relativa che si trovano in letteratura variano tra 50 e 200. Fondamentalmente comunque il citoplasma può essere approssimato come una soluzione salina altamente conduttiva, in cui è presente materiale organico in grande quantità. Per frequenze superiori a 20 MHz si hanno fenomeni di dispersione causati dall'inerzia delle molecole



del citoplasma che ne impedisce l'effettivo spostamento, per cui il comportamento passa da conduttivo ( $\rho_{\text{cyto}}$ ) a dielettrico ( $\epsilon_{\text{cyto}}$ ).

Da queste considerazioni nasce il più semplice modello del comportamento cellulare, o modello single cell, illustrato in figura 1.4: la membrana è rappresentata come un'impedenza puramente capacitiva, con valori dell'ordine di  $0,5 - 1 \mu\text{F}/\text{cm}^2$ , mentre il comportamento elettrico del citoplasma può essere rappresentato con il parallelo di una resistenza e di una capacità, che descrivono i valori medi di permittività e conduttività. A basse frequenze, la cellula può dunque essere vista come una sfera isolante situata in un mezzo conduttivo, mentre ad alte frequenze la capacità della membrana risulta cortocircuitata ed è quindi possibile accedere alle proprietà elettriche interne.

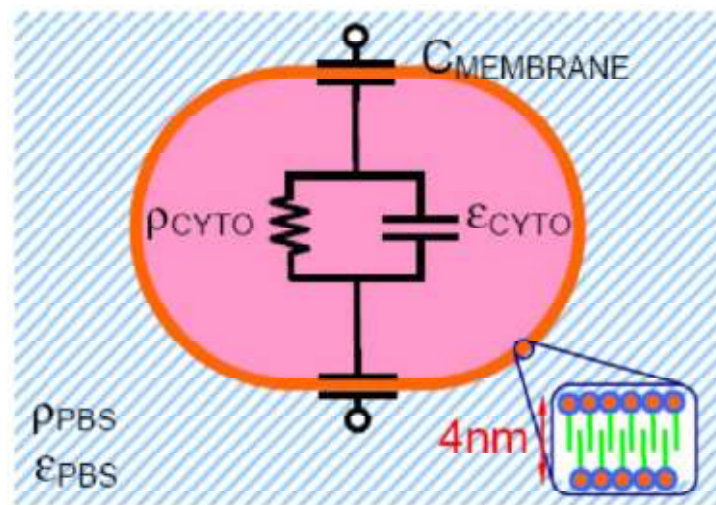


Figura 1.4: Modello elettrico equivalente semplificato di una singola cellula sospesa in soluzione

### Capitolo 1.3 – Campi di applicazione del circuito

Il circuito progettato nel presente lavoro di tesi in tecnologia integrata CMOS  $0,35 \mu\text{m}$  è un amplificatore a transimpedenza che, grazie ad una modulazione / demodulazione del segnale errore alla frequenza di stimolo del campione biologico, permette di utilizzare blocchi amplificatori a guadagno elevato e banda stretta, permettendo in tal modo di estendere la banda di misura ben oltre i consueti limiti dettati dal GBWP dell'amplificatore. Il guadagno dell'anello, sempre grazie alla modulazione/demodulazione, è elevato soltanto alla frequenza di misura, consentendo di avere una banda equivalente di rumore del guadagno reale molto limitata, ed il valore di picco è indipendente dalla frequenza di indagine, garantendo elevata linearità. Tale circuito dunque ha i requisiti di sensibilità e di intervallo di frequenze di operazione tali da essere potenzialmente utile in varie tipologie di spettroscopia di impedenza, in particolare:

Citometria di flusso

La citometria di flusso è una tecnica per il conteggio e l'analisi di particelle microscopiche, come cellule e cromosomi, sospese in un flusso di liquido che passa attraverso un apparato di rilevazione elettronico, in grado di poter processare migliaia di particelle al secondo. L'applicazione di tale tecnica permette l'analisi multiparametrica di caratteristiche chimico fisiche delle particelle. Grazie alla possibilità di integrare microelettrodi in canali capillari, che permettono la manipolazione e il rilevamento a livello di singola cellula, esistono numerosi campi di ricerca in cui un circuito per la citometria permetterebbe di indagare in tempo reale le caratteristiche della cellula: tra i più importanti, si ricordano qui l'oncologia, l'ematologia e la tossicologia.

I dispositivi dedicati alla citometria di flusso impedenziale si basano sul seguente procedimento. Si posizionano tre microelettrodi A, B, C in un micro canale, trasversali al flusso di cellule e la misura è basata sulla variazione di impedenza  $Z_{AC} - Z_{BC}$  tra due segmenti successivi del canale quando vengono attraversati dalla cellula [5]. A partire poi dalla misura delle dimensioni della cellula sotto esame, si effettua una stima di altri parametri di interesse. I segnali presenti sono caratterizzati da ampiezza limitata, qualche decina di millivolt.

Si consideri ora il semplice modello dell'interfaccia tra elettrodo ed elettrolita (figura 1.5): la cellula è presentata come un citoplasma uniforme, sferico, con conducibilità  $\sigma$  nell'ordine di 0,5 S/m (minore della conducibilità della soluzione fisiologica nella quale è immersa, circa 1,5 S/m), circondato da una membrana non conduttiva sottile, con una capacità  $C_m = 1 \mu\text{F}/\text{cm}^2$ . Come si può notare in figura, dove è rappresentato lo spettro di impedenza risultante da una simulazione su cellula con 10  $\mu\text{m}$  di diametro, è necessario avere strumenti di misura capaci di eseguire l'analisi fino a centinaia di megahertz. Infatti, a bassa frequenza la cellula è isolante: al suo passaggio si misura un aumento di resistenza dovuto al volume occupato, quindi il primo massimo resistivo tra 100 kHz e 1 MHz è relativo alle dimensioni della cellula. Il picco reattivo tra 2 MHz e 5 MHz è legato alla membrana cellulare, infine il valore di impedenza ad alta frequenza è legato alla conduttività del citoplasma, infatti da frequenze attorno ai 10 MHz la cellula equivale ad un conduttore avente conducibilità diversa rispetto alla soluzione nella quale si sta muovendo.

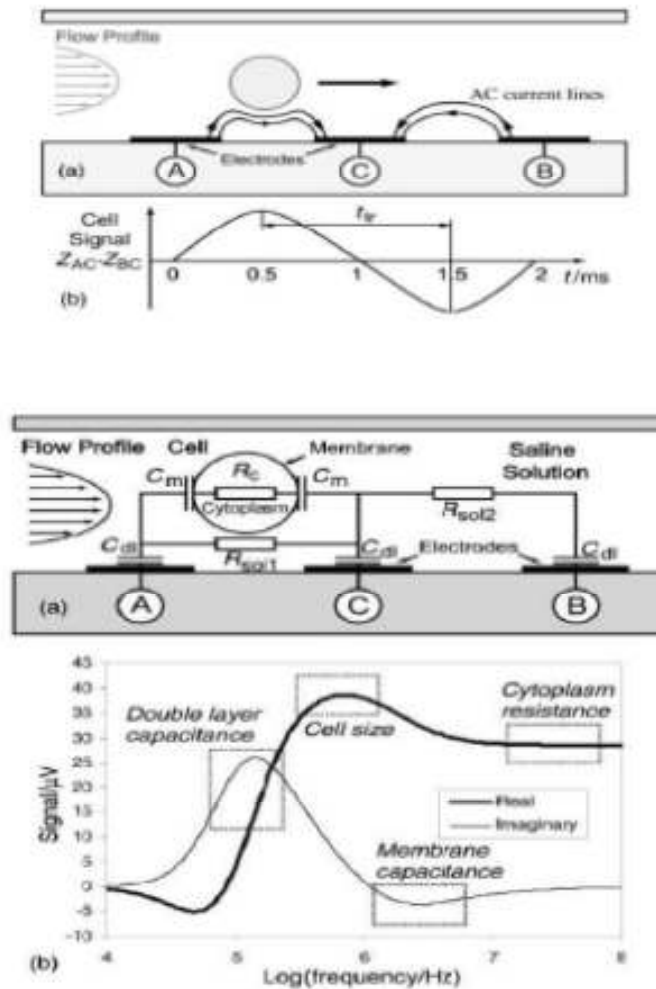


Figura 1.5: Parte superiore: Passaggio di una particella all'interno di un microcanale con tre elettrodi. Il segnale d'impedenza viene misurato in modo differenziale, la misura del tempo di transito permette di calcolare la velocità della cellula. Parte inferiore: Modello elettrico semplificato della variazione di impedenza al passaggio di una cellula. Simulazione dello spettro d'impedenza di una cellula dal diametro di 10 $\mu$ m. I rettangoli evidenziano le frequenze di interesse per la discriminazione cellulare.

### Microscopio a forza atomica

Il microscopio a forza atomica (AFM) è uno strumento atto alla caratterizzazione topografica di superfici con altissima risoluzione spaziale. Come è possibile dedurre dalla figura 1.6, il microscopio a forza atomica consiste in una microstrip di silicio (cantilever) che termina con una punta realizzata tipicamente in silicio, oro o diamante, a seconda della applicazioni. Il campione sotto esame viene posizionato in prossimità della punta utilizzando un elemento piezoelettrico che permette l'indirizzamento in un piano bidimensionale della superficie del campione con risoluzione migliore

di 10 nm, e consente altresì il movimento nella direzione normale al piano con risoluzione nell'ordine dei 10 pm.

Il principio di funzionamento è il seguente: durante una scansione, la punta viene portata in prossimità della superficie del campione in modo che la forza di interazione tra punta e superficie determini una flessione del cantilever, rilevata otticamente inviando un raggio laser sulla superficie del cantilever stesso e misurando la deflessione del raggio. Un opportuno sistema di controllo cambia la distanza relativa tra cantilever e campione per mantenere la deflessione del raggio laser costante. Riassumendo, l'AFM è un sistema retroazionato optoelettronico che fa in modo di mantenere costante la forza di interazione tra punta e superficie. L'immagine topografica è derivata dai dati relativi al movimento verticale del cantilever (oppure del campione) durante la scansione.

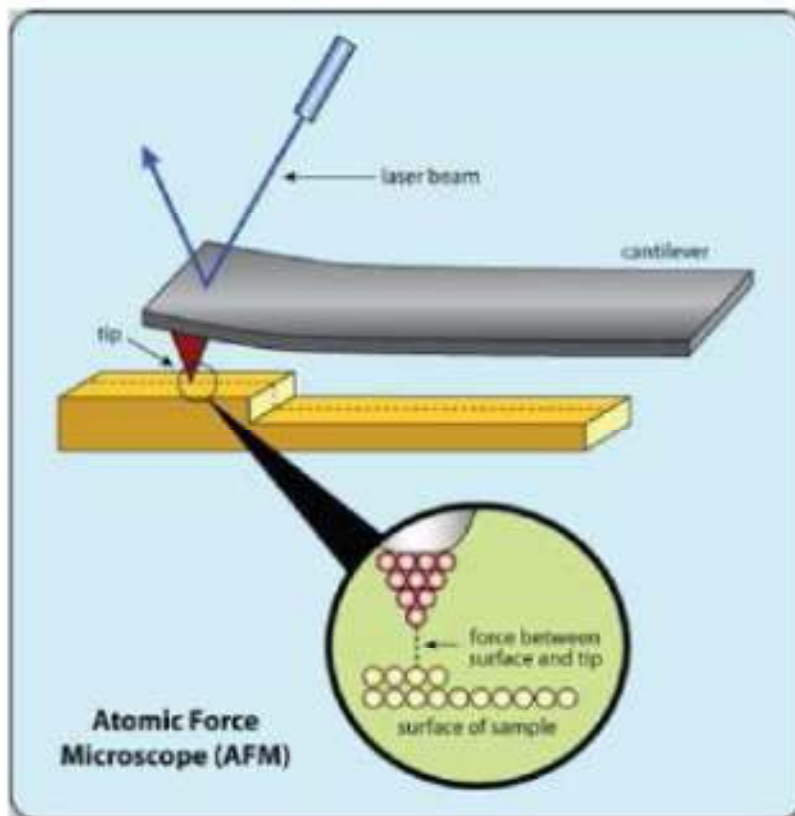


Figura 1.6: Schema di principio di un microscopio a forza atomica (AFM)

Anche se fondamentalmente è utilizzato per realizzare immagini topografiche, questo tipo di microscopio può anche essere modificato per eseguire misure elettriche. Il cantilever e la punta, come detto, possono essere realizzati in materiali elettricamente conduttivi, come oro o silicio drogato, in modo da creare un contatto elettrico, oltre che meccanico. Un secondo contatto elettrico può essere realizzato deponendo il campione su un substrato conduttivo in oro o grafite. Così facendo si realizza un Nanoscale Capacitance Microscope (NCM), che è uno strumento per la misura

della capacità tra punta e campione. In figura 1.7 è riportato uno schema di utilizzo dell'AFM come elettrodo: utilizzando l'AFM come NCM è possibile quantificare un'immagine bidimensionale della costante dielettrica a bassa frequenza con risoluzione laterale di decine di nanometri [6], ricostruita sulla base della misura della capacità locale e del relativo spessore del campione. Ciò avviene in due fasi: nella prima scansione viene ricostruita la topologia del campione ottenendo lo spessore rispetto al riferimento, costituito dal substrato piatto; nella seconda scansione, eseguita ponendosi ad un'altezza costante rispetto all'elettrodo inferiore, si misura la variazione  $\Delta C$  della capacità locale rispetto ad un riferimento sul substrato. Dai dati di spessore e capacità è possibile ricavare il valore della costante dielettrica locale del campione sotto esame.

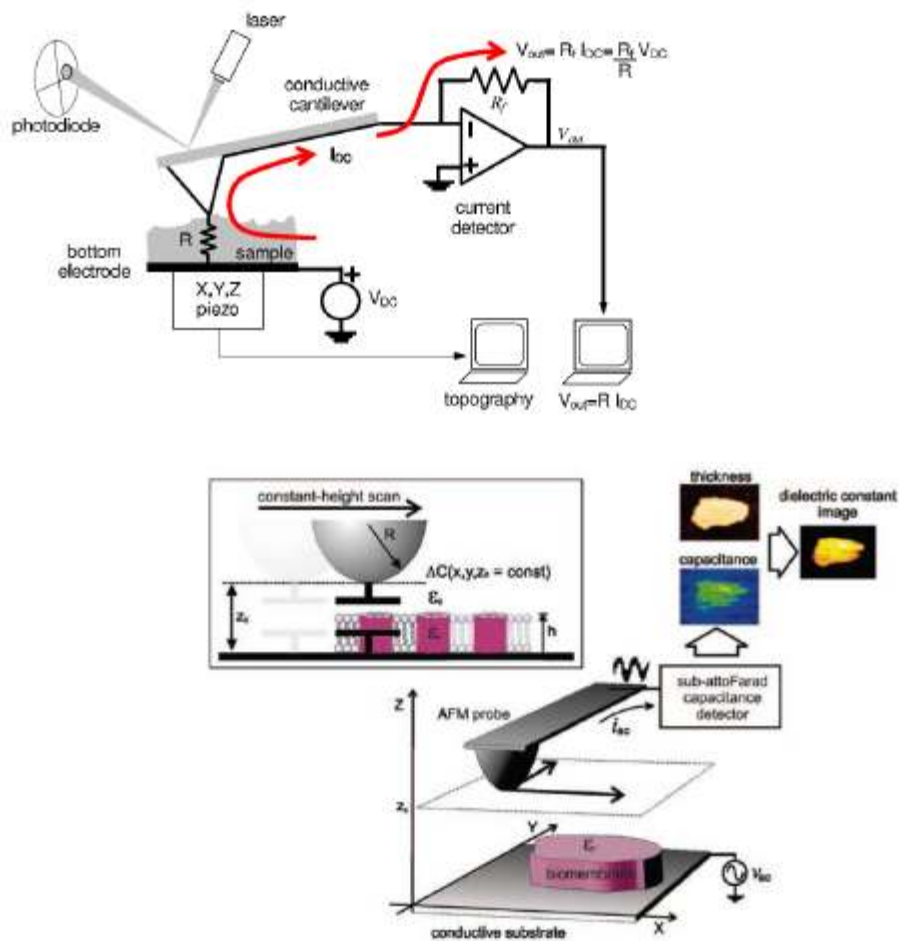


Figura 1.7: Parte superiore: Misure elettriche utilizzando un microscopio AFM. Parte inferiore: Rappresentazione schematica della tecnica Nanoscale Dielectric Microscopy.

Un AFM convenzionale non è adatto ad eseguire questo tipo di misura, poiché per ottenere la sensibilità richiesta (ordine di grandezza di 1 aF) è necessario che l'elettronica di lettura sia a basso rumore e si trovi in prossimità del cantilever, in modo da minimizzare l'insieme dei parassitismi

dovuti ad una connessione a distanza. In questo contesto, l'impiego di una soluzione interamente integrata risulta particolarmente vantaggioso.

Bisogna rilevare il fatto che le misure con NCM sono state finora eseguite in ambiente secco, mentre per sondare in modo adeguato le proprietà di campioni biologici è auspicabile analizzarli in ambiente liquido, condizione che però determinerebbe la formazione di resistenze parassite di interfaccia tra la punta del microscopio e il campione, che maschererebbero l'informazione di capacità locale. Per superare tale difficoltà, è possibile ampliare l'intervallo di frequenze della misura al di là di quello attuale, a 50 kHz – 1 MHz, in modo da rendere trascurabile il contributo resistivo rispetto a quello capacitivo.

### Lab – on – chip

I sistemi Lab – on - Chip (LoC) sono studiati per manipolare piccoli volumi di fluidi in micro canali. Strutture del genere trovano oggi un numero crescente di applicazioni, soprattutto in ambito chimico, biologico e medico, permettendo di abbattere il costo delle analisi e di effettuarle in tempo reale e in loco. A lungo termine, un obiettivo è quello di integrare in un unico sistema LoC, con dimensioni di pochi centimetri quadri, tutte le operazioni di analisi svolte tipicamente in un laboratorio. L'utilizzo dei LoC fornisce svariati vantaggi (specifici per le loro applicazioni):

- Consumo di bassi volumi di fluido: vantaggioso perché consente un minore utilizzo di costosi reagenti e misure non invasive
- Analisi a elevata risoluzione e miglior efficienza dovuta a brevi tempi per ottenere i dati (dato che si lavora su brevi distanze)
- Miglior controllo del processo, grazie ad una più veloce risposta del sistema (in particolare: controllo di temperature in reazioni esotermiche)
- Compattezza del sistema, legata ai piccoli volumi e all'integrabilità
- Naturale evoluzione verso la parallelizzazione dei processi, consentendo analisi ad elevato throughput;
- Costi di fabbricazione ridotti, che permettono la possibilità di produrre chip usa e getta con tecniche di produzione di massa;
- Piattaforma più sicura in caso di studi chimici e radioattivi, grazie al minor volume di fluido necessario.

La progettazione degli elementi funzionali di questo tipo di sistemi (micro canali, micro elettrodi, valvole, sensori, unità di lettura ed elaborazione di segnali biologici) rappresenta una sfida

tecnologica a cui il filone di ricerca nel quale si inserisce questo lavoro di tesi cerca di dare una risposta.

Infatti, l'integrazione di questi sistemi con circuiti microelettronici per la rilevazione di segnali rende possibile esaminare le caratteristiche elettriche del campione: in particolare, utilizzando cellule, proteine, enzimi, integrati con un sistema di microelettrodi è possibile ottenere un sensore elettrochimico molto efficiente per sostanze biologicamente attive [7]. L'interfaccia elettrica di questo sistema è solitamente ottenuta impiegando un array di microelettrodi planari metallici.

Parallelamente allo sviluppo dei LoC, il mondo scientifico ha la generale necessità di compiere degli esperimenti su cellule viventi, e ciò ha dato un ulteriore stimolo allo sviluppo di microstrutture ed elettronica miniaturizzata per l'estrazione di dati in tale ambito. L'obiettivo finale di questo sviluppo è quello di progettare un sistema in grado di rilevare autonomamente il maggior numero di parametri sul comportamento dinamico della cellula: monitorare cioè in tempo reale la crescita cellulare, la scissione e il metabolismo. Un sistema del genere contribuirebbe allo sviluppo di nuovi farmaci e fornirebbe un grande aiuto in test tossicologici, sostituendo gli eticamente controversi test su animali.

Uno dei vantaggi dell'usare LoC per eseguire test biologici riguarda la possibilità di coltivare cellule nello stesso ambiente in cui si eseguono le misure, consentendo così di monitorare anche i processi di proliferazione e scissione cellulare. Una delle principali sfide in tale ambito è quella di controllare lo stato interno della cellula per poter determinare il più velocemente possibile e con elevato livello di affidabilità quale sostanza abbia attivato dei processi interni quali la mitosi o l'apoptosi. Anche per tali analisi è utile un apparato a multi sensori e risulta necessario lo sviluppo di elettronica su singolo chip e a banda elevata.

#### ***Capitolo 1.4 – Tecniche tradizionali di spettroscopia di impedenza***

Come è stato ampiamente mostrato nei precedenti paragrafi, la misura di impedenza fino a frequenze elevate e con ottima sensibilità è fondamentale in svariati campi di studio scientifici, dalla fisica della materia, all'ingegneria e alla biologia. Nonostante i continui miglioramenti a questo proposito, le metodologie studiate per la misura ad alta frequenza non sono ancora state perfettamente consolidate, a differenza di quanto è avvenuto per misure impedenziali a bassa oppure ad altissima (microonde) frequenza: per questo motivo, il problema continua a suscitare un forte interesse da parte del mondo scientifico.

Nel campo della metrologia, sono state date due definizioni operative alternative di impedenza, a seconda dell'intervallo di frequenza caratteristico dell'applicazione. Per frequenze fino a decine di kHz, l'impedenza è definita come il rapporto tra la trasformata di Fourier della tensione presente tra due terminali di un dispositivo e la trasformata della corrente che fluisce attraverso di essi. Nell'ambito della metrologia a radiofrequenza, da 50 MHz a centinaia di GHz, l'impedenza si definisce in corrispondenza di una sezione del dispositivo (tipicamente una porta coassiale), ed è una quantità relativa allo scattering di un'onda elettromagnetica incidente sulla sezione considerata, con riferimento all'impedenza caratteristica del sistema di misura. Un importante obiettivo del presente lavoro di tesi è annullare il gap che separa i campi di indagine a bassa frequenza e ad alta frequenza, e quindi condurre misure d'impedenza ad alta sensibilità nelle decadi centrali rispetto alla precedente classificazione, nell'intervallo approssimativamente compreso tra 100 kHz e 100 MHz.

Esistono svariate tecniche per effettuare la misura di un'impedenza incognita, ognuna caratterizzata da vantaggi e svantaggi. Nella scelta della tecnica da utilizzare, è dunque molto importante valutare lo specifico campo di applicazione e le condizioni di misura, considerando l'influenza di fattori quali il range che si desidera coprire e l'accuratezza che è necessario raggiungere.

### Ponte di Wheatstone

I ponti in regime sinusoidale ricalcano la struttura tipica del ponte di Wheatstone, con la differenza che le resistenze vengono sostituite da generiche impedenze e che, ovviamente, il circuito viene alimentato da una tensione alternata sinusoidale. Con riferimento alla figura 1.8, variando il valore di una delle impedenze note ( $Z_1$ ,  $Z_2$ ,  $Z_4$ ) si cerca di portare il ponte in una situazione di equilibrio nella quale la tensione differenziale tra i nodi C e D, misurata con un rilevatore di zero, sia nulla.

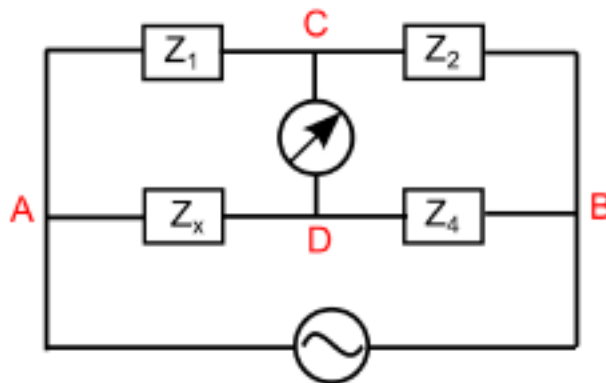


Figura 1.8: Schema di principio di un ponte a corrente alternata



Le possibili combinazioni di impedenze in grado di dar luogo all'equilibrio sono molte, ma tipicamente ci si limita a considerare le seguenti:

- Almeno due delle tre impedenze note devono essere puramente resistive, oppure puramente capacitive.
- Le impedenze pure sono fisse, mentre l'impedenza ignota costituisce il ramo variabile del ponte, assieme alla quarta impedenza, detta "di regolazione".
- Le condizioni di equilibrio devono essere indipendenti dalla frequenza.

I ponti si possono classificare in ponti a rapporto, dove le impedenze pure si trovano su lati adiacenti, oppure in ponti a prodotto, dove esse si trovano sui lati opposti. In entrambi i casi, si può scrivere l'equazione di equilibrio del ponte come segue:

$$Z_x = \frac{Z_1 \cdot Z_4}{Z_2}$$

I ponti a rapporto utilizzati normalmente hanno come rapporto un numero reale. In generale, le due impedenze  $Z_1$  e  $Z_2$  sono due resistori. Viene chiamato ponte di Gott quello in cui l'impedenza incognita è un condensatore e quella di regolazione un condensatore con un resistore in serie. Nel ponte di Wien invece l'impedenza incognita è un induttore, e quella di regolazione una serie di induttore e resistenza. I ponti a prodotto normalmente usati sono quelli di Maxwell e di Shering, per la misura rispettivamente di induttori e di condensatori, e sono implementati in modo tale che il prodotto di  $Z_1$  per  $Z_4$  risulti essere un numero reale.

I vantaggi dei ponti in alternata consistono nella cancellazione del segnale di modo comune e la compatibilità intrinseca con sistemi differenziali, mentre lo svantaggio più limitante risulta essere la necessità di disporre di numerosi interruttori per selezionare le impedenze note, allo scopo di avere un ampio range dinamico. Inoltre, a causa degli effetti parassiti degli interruttori, dei collegamenti, nonché delle tolleranze dei componenti, con questa tecnica risulta difficile coprire un range significativo di frequenze.

Tecniche di risonanza

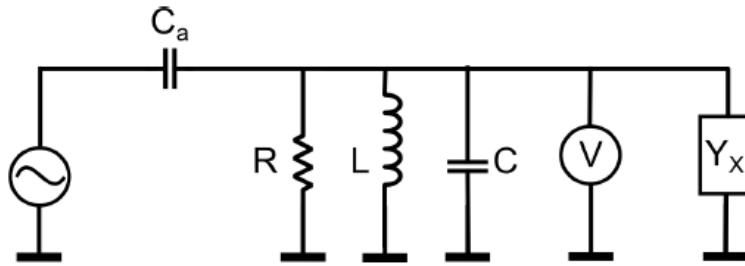


Figura 1.9: Schema di principio di un misuratore di ammettenza basato su risonanza

Lo schema di principio di un misuratore di ammettenza basato su risonanza è mostrato in figura 1.9. Un generatore di tensione ad alta frequenza alimenta il circuito risonante parallelo, la capacità di accoppiamento  $C_a$  è di valore modesto così che la sua impedenza sia molto maggiore della resistenza  $R$  alla frequenza considerata, in modo tale che il circuito risonante veda un circuito aperto verso il generatore. Così facendo, il generatore non contribuisce in modo significativo ad abbassare la selettività del circuito, e quindi la precisione con cui può essere misurata l'impedenza è buona. Il voltmetro elettronico rileva la condizione di risonanza basandosi sulla misura del valore di picco della tensione ai capi del circuito. La misura dell'impedenza si effettua con il metodo di sostituzione, cioè si porta il circuito alla risonanza variando  $R$  e  $C$ , prima in assenza e poi in presenza dell'ammettenza incognita  $Y_x$ . Il fattore di qualità della rete è dato da:

$$Q = \frac{2\pi E_{immagazzinata}}{E_{dissipata}} = 2\pi \frac{\frac{1}{2}(C + C_x)V^2}{\frac{1}{2}\left(\frac{R \cdot R_x}{R + R_x}\right)T_0} = \omega_0(C + C_x) \left(\frac{R \cdot R_x}{R + R_x}\right).$$

Sapendo che la pulsazione di risonanza vale:

$$\omega_0 = \frac{1}{\sqrt{(C + C_x)L}}$$

si può ottenere

$$Q = \frac{R \parallel R_x}{\omega_0 L}.$$

Essendo  $L$  e  $R$  di valore noto, dalla frequenza di risonanza è possibile ricavare il valore di  $C_x$ . Dalla misura del  $Q$  invece è possibile ricavare  $R_x$ .

In alternativa al circuito presentato, è possibile anche utilizzare configurazioni che sfruttino la risonanza serie, ma è preferibile la configurazione in parallelo che introduce meno errori, in quanto tutti i componenti hanno un riferimento in comune.

La tecnica di risonanza è tanto più efficace tanto più è elevato il fattore di qualità  $Q$ , il che rende meno importante il rumore elettronico del sistema di lettura. Gli svantaggi risiedono nel dover regolare i parametri per raggiungere la risonanza, nella scarsa accuratezza in caso di resistenze incognite basse (che degradano il fattore di qualità) e soprattutto nel limitato range di frequenze gestibili.

Amplificatore a transimpedenza.

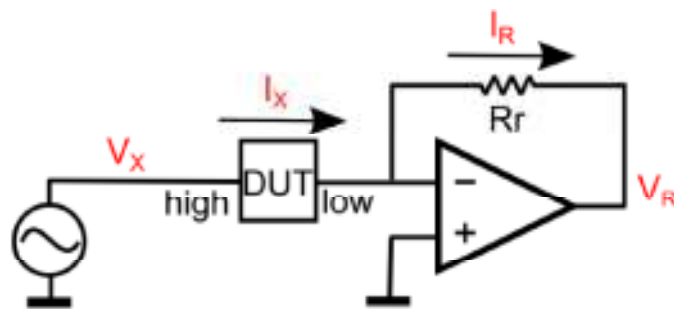


Figura 1.10: Schema di principio di misurazione di impedenza basata su amplificatore a transimpedenza

La tecnica basata sull'utilizzo di amplificatori a transimpedenza (o ponte auto bilanciato) è illustrata in figura 1.10. La corrente che scorre nel Device Under Test (DUT) è eguagliata dalla corrente che attraversa la resistenza posta in reazione all'amplificatore operazionale. La terra virtuale presente all'ingresso invertente dell'amplificatore, nodo Low, fa sì che la tensione applicata al nodo High coincida con la tensione totale applicata al DUT. L'impedenza incognita  $Z_x$ , essendo nota la tensione applicata  $V_x$  e misurando quella in uscita  $V_R$ , vale:

$$Z_x = \frac{V_x}{I_x} = \frac{R_R V_x}{V_R}$$

Dove  $V_x$  e  $V_R$  devono esser intesi come fasori alla frequenza di misura:

$$V_x = |V_x|e^{i\theta_x}, V_R = |V_R|e^{i\theta_R}$$

Il vantaggio di questa struttura è di esser semplice, flessibile e insensibile all'eventuale presenza di capacità parassite ai nodi High e Low. Lo svantaggio, d'altro canto, risiede nel dover accedere ad entrambi i terminali del DUT e nella necessità di un rilevatore adeguato per estrarre la fase, oltre che il modulo della tensione di uscita.

Inoltre, la topologia base dell'amplificatore a transimpedenza di figura 1.11 non possiede gradi di libertà sufficienti per disaccoppiare tra loro i vincoli di rumore, banda e dinamica della corrente di

ingresso: il rumore di corrente dovuto a  $R_R$  si confronta direttamente con il segnale, in quanto il suo generatore equivalente di rumore  $i_{eq}^2 = \frac{4kT}{R_R}$  si trova direttamente in ingresso.

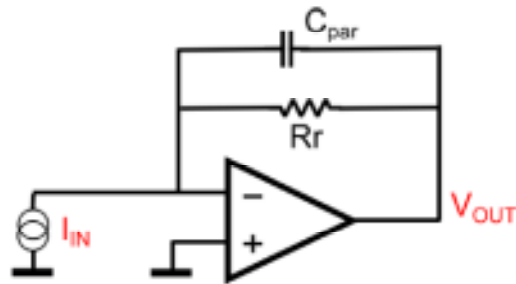


Figura 1.11: Topologia classica di transimpedenza: conversione lineare tra corrente in ingresso e tensione in uscita tramite la resistenza di retroazione

La banda, invece, è determinata dalla presenza della inevitabile capacità parassita in parallelo a  $R_R$  ed è inversamente proporzionale alla resistenza,  $BW = \frac{1}{2\pi C_{par} R_R}$ . Infine, la dinamica della corrente in ingresso risulta legata a quella della tensione massima in uscita sempre attraverso la resistenza di retroazione,  $I_{MAX} = \frac{V_{OUT,MAX}}{R_R}$ .

Dalle relazioni scritte risulta che, per garantire una densità spettrale di rumore in ingresso sufficientemente bassa, è richiesto un valore elevato di resistenza in retroazione. Tale resistenza non solo non sarebbe integrabile, ma farebbe sì che capacità parassite dell'ordine di centinaia di fF basterebbero per limitare la banda di indagine al di sotto dei kHz. Inoltre, la dinamica di corrente in ingresso sarebbe pari a pochi nA in corrispondenza di una escursione della dinamica di uscita pari a +/- 1,5 V.

Nella prospettiva di realizzare un amplificatore a basso rumore, la topologia più idonea è quella in cui il segnale si trasferisce attraverso capacità, elementi non rumorosi, e il guadagno è ottenuto dal rapporto tra tali capacità. Questa è stata l'idea alla base dello sviluppo della struttura di figura 1.12, il cui progetto è stato oggetto di due tesi di laurea [8, 9].

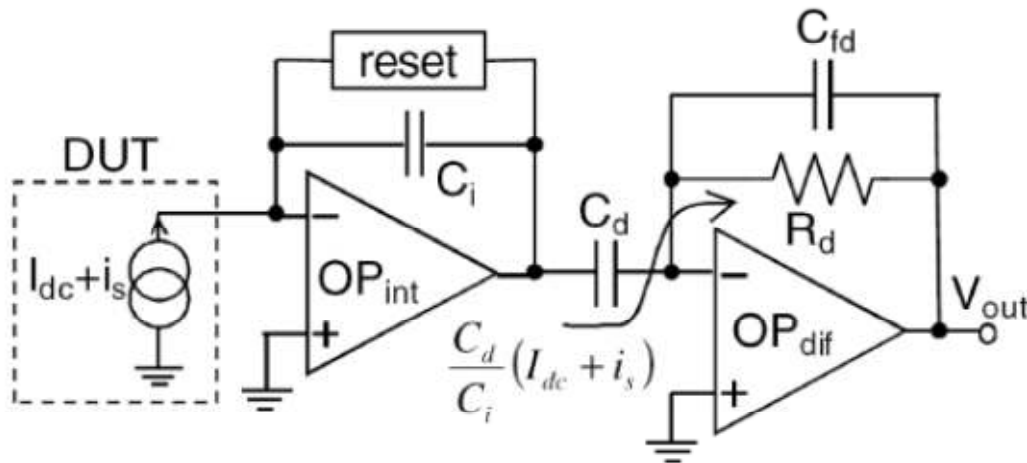


Figura 1.12: Preamplificazione ottenuta tramite rapporto tra capacità di derivazione  $C_d$  e di integrazione  $C_i$

La cascata dello stadio integratore e dello stadio derivatore consente l'amplificazione della corrente in ingresso prima della conversione corrente – tensione, come suggerito dalla funzione di trasferimento ideale del circuito in cui la resistenza equivalente complessiva è amplificata del fattore dato dal rapporto delle capacità presenti sul percorso del segnale:

$$V_{OUT}(s) = -R_d \left( \frac{C_D}{C_i} \right) V_{in}(s).$$

La compensazione dell'azione integrale con quella derivativa lega la corrente amplificata alla corrente di ingresso attraverso un guadagno costante, la cui accuratezza è dovuta all'elevato grado di accoppiamento ottenibile, in tecnologia integrata, per quanto riguarda il rapporto di due capacità. La presenza di una rete di reset impedisce la saturazione del primo stadio dovuta alla componente continua della corrente in ingresso.

Con l'architettura considerata è stata ottenuta una banda di 5 MHz e una densità spettrale di rumore in ingresso di 3 fA/ $\sqrt{\text{Hz}}$  fino a 100 kHz. Il limite per la massima banda di misura è dato dal prodotto guadagno – banda dell'operazionale. Supponendo ad esempio di considerare un amplificatore a singolo polo, il limite di banda dell'integratore sarebbe pari a

$$BW = GBWP_{AO} \frac{C_i}{C_i + C_{IN}},$$

dunque la banda decresce se si riduce il valore della capacità in retroazione. Dal momento che per avere un buon guadagno di corrente tale capacità dev'esser piccola, è facile notare come guadagno di corrente e banda massima di misura debbano essere necessariamente frutto di un compromesso.

Se si considerano ad esempio valori ragionevoli per  $C_i$  (centinaia di fF) e per  $C_{in}$  (una decina di pF), una richiesta in banda di 100 MHz con un guadagno d'anello pari almeno a 10 si tradurrebbe

nella necessità di avere un GBWP dell'ordine di qualche GHz, assolutamente non facile da ottenere in tecnologia CMOS standard.

### **Capitolo 1.5 – Specifiche di progetto**

Come riportato nei paragrafi precedenti prendendo in considerazione l'analisi della dispersione dielettrica delle cellule vegetali e animali, per indagare in modo completo il comportamento delle cellule stesse a partire dalle proprietà elettriche è necessario estendere la banda delle misure di impedenza da qualche kHz alle centinaia di MHz, ed esser in grado su questo ampio range di frequenze di rilevare anche piccole variazioni dell'impedenza del campione.

Dunque l'applicazione delle tecniche di spettroscopia a strutture biologiche richiede la disponibilità di uno strumento di misura dotato delle seguenti caratteristiche:

- Integrazione su singolo chip, per permettere di posizionare il campione biologico nelle strette vicinanze del sistema: in tal modo si riducono i parassitismi dei collegamenti e si migliora l'accessibilità, ottenendo indagini in tempo reale del campione, in modo non invasivo, favorendo la realizzazione di sistemi portatile, paralleli e multifunzione (Lab – On – Chip).
- Sensibilità molto elevata: così facendo si garantisce un'accurata ricostruzione dello spettro anche in presenza di valori di impedenza del DUT elevati, dettati dalle ridotte dimensioni del campione in esame.
- Banda molto estesa, per rendere possibile l'indagine di spettri di dispersione posti su intervalli ampi di frequenze, e di conseguenza la caratterizzazione di diverse strutture biologiche e di tutti i fenomeni legati al loro comportamento.

Le tecniche per la misura dell'impedenza presentate sinteticamente in questo capitolo non forniscono prestazioni sufficientemente elevate, in particolare la tecnica a ponte renderebbe necessario l'utilizzo di molte impedenze di valore noto per raggiungere le prestazioni di sensibilità richiesta, mentre le tecniche di risonanza sono valide solo in un piccolo range di frequenze: la miglior strada da percorrere sembra esser quella del progetto di un amplificatore a transimpedenza, ma con architettura profondamente rinnovata rispetto a quella classica per poter soddisfare le richieste della spettroscopia di impedenza; in particolare, tali requisiti sono:

- Banda di misura fino a 100 MHz;
- Basso rumore, in modo da ottenere una risoluzione nella misura della capacità dell'ordine dell'attofarad;
- Insensibilità alla presenza di una capacità parassita in ingresso fino a 10 pF;

- Guadagno d'anello elevato e costante nel range di frequenze considerato, per assicurare elevata accuratezza e linearità in tutto la banda di interesse.

Sulla base di queste specifiche, nel prossimo capitolo si descriverà la nuova architettura, come visione di insieme e poi addentrandosi nello specifico dei singoli blocchi, molti dei quali progettati in un precedente lavoro di tesi [10], mentre la fattibilità teorica, con blocchi ideali, è stata dimostrata nel lavoro [11].

## Capitolo 2: Descrizione del sistema

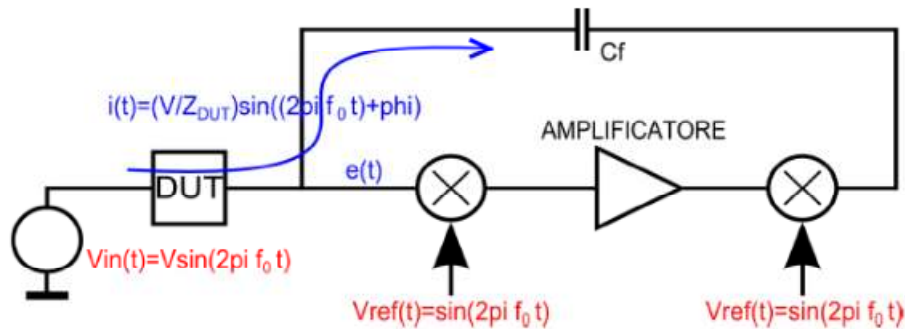


Figura 2.1: Schema di principio dell'innovativa topologia utilizzata per la misura dell'impedenza su ampia banda

Questo lavoro di tesi si inquadra nella fase finale della progettazione e nella successiva realizzazione e testing di un circuito integrato per eseguire misure di spettroscopia di impedenza: il sistema deve soddisfare le specifiche di alta banda e sensibilità espresse nel precedente capitolo. L'obiettivo della struttura realizzata consiste nella lettura del modulo e della fase della corrente proveniente dal Device Under Test (DUT), in modo da essere in grado di risalire al valore di impedenza incognito, essendo noto lo stimolo di tensione fornito al campione in esame.

Come spiegato precedentemente, applicando al campione una sinusoide  $V(t) = V_m \sin(\omega t)$ , si ottiene la corrente  $I(t) = I_m \sin(\omega t + \varphi)$ , dove  $\varphi$  è lo sfasamento tra i due segnali (pari a  $0^\circ$  nel caso di impedenza puramente resistiva e pari a  $+90^\circ$  in caso di impedenza capacitiva). Dal rapporto tra segnale di tensione e di corrente si ricava l'informazione sull'impedenza del DUT alla frequenza  $\omega/(2\pi)$ .

La struttura concettualmente innovativa alla base del circuito è mostrata in figura 2.1: il DUT è stimolato da una tensione sinusoidale; la corrente che scorre nell'impedenza ignota è semplicemente data dal rapporto tra la tensione applicata e l'impedenza ignota stessa, ammesso che il guadagno d'anello sia abbastanza elevato da mantenere fermo in tensione il nodo di terra virtuale. Se così accade, la corrente che scorre nel DUT procede attraverso la  $C_f$  posta in retroazione definendo una tensione in uscita proporzionale all'ammettenza da misurare. Il generatore di stimolo e, ovviamente, il DUT sono gli unici elementi non integrati.

L'idea che sta alla base dell'architettura realizzata consiste nel traslare il segnale errore della retroazione  $e(t)$  a bassa frequenza, effettuare l'amplificazione, riportandolo poi ad alta frequenza per chiudere l'anello con un segnale alla stessa frequenza dello stimolo in ingresso. In questo modo,



si ha il grande vantaggio di dover utilizzare come componenti operanti ad alte frequenze solo i traslatori, mentre il blocco di guadagno nel percorso di andata lavora a bassa frequenza.

I benefici derivanti da questa architettura a modulazione / demodulazione sono molteplici: portare il segnale errore a basse frequenze consente di amplificarlo disponendo di un blocco con guadagno elevato, ma con banda limitata. Così facendo, la massima frequenza del segnale inviato sul DUT può essere di molto maggiore rispetto al prodotto guadagno – banda dell'operazionale presente sul cammino di andata, consentendo di bypassare il consueto compromesso progettuale tra guadagno elevato (disponibile in topologie tradizionali solo a bassissime frequenze) e bande elevate (disponibili solo penalizzando il guadagno).

Si può eseguire un veloce confronto tra l'amplificatore a modulazione /demodulazione e uno tradizionale: questo amplificatore può gestire segnali fino a 100 MHz con guadagno d'anello alla frequenza di misura  $A_0$  di circa  $10^6$ , un amplificatore ideale, con queste premesse, dovrebbe avere prodotto guadagno banda pari a  $GBWP_{eq} = A_0 \cdot f_{MAX} = 10^6 \cdot 100 \text{ MHz} = 100 \text{ THz}$ , che non è ottenibile con le odierne tecnologie. In tale stima si è trascurata la partizione capacitiva, inevitabile nel  $G_{loop}$ , considerando la presenza di una capacità parassita afferente al nodo di ingresso.

Inoltre, il segnale errore  $e(t)$  è traslato sempre alla stessa frequenza, indipendentemente dalla frequenza di indagine del DUT: si assicura così un elevato guadagno d'anello per tutte le frequenze di misura, e con un valore che non dipende dalla frequenza di misura stessa. La banda di rumore ottenuta, infine, è molto contenuta: come si vedrà in seguito, la funzione di trasferimento è caratterizzata da una larghezza di banda di qualche chiloHertz pur riuscendo ad amplificare segnali fino al centinaio di MHz.

Nel suo complesso, il sistema consiste in un amplificatore retroazionato tramite capacità, che dunque presenta un guadagno ideale pari a  $\frac{V_{OUT}}{I_{IN}} = -\frac{1}{sC_f}$ , ma la particolarità del sistema implementato è che il guadagno d'anello è elevato solo alla frequenza di misura, e che dunque il sistema si comporta da integratore solo in corrispondenza di  $f_0$ , con tutti i vantaggi elencati.

Per ottenere una frequenza a valle del traslatore indipendente da  $f_0$ , il metodo più semplice è quello di moltiplicare per un segnale di riferimento avente la stessa frequenza del segnale di ingresso, così da traslare quest'ultimo in continua: è lo stesso principio che si utilizza nei ricevitori radio detti in omodina o in Zero – IF. Come è noto dalla formule di Werner, l'operazione di moltiplicazione fornisce un segnale in bassa frequenza proporzionale all'ampiezza del segnale di ingresso e all'eventuale sfasamento rispetto al riferimento:

$$A_1 \text{sen}(\omega_0 t + \varphi) \cdot A_{ref} \text{sen}(\omega_0 t) = \frac{A_1 A_{ref}}{2} \cos(\varphi) - \frac{A_1 A_{ref}}{2} \cos(2\omega_0 t + \varphi)$$

Lo stadio di guadagno centrale nel cammino di andata deve avere guadagno elevato in continua, con il quale viene trattata la frequenza differenza ottenuta dalla demodulazione; inoltre, esso deve anche agire come filtro per eliminare la componente a  $2f_0$ , che se trasmessa provocherebbe la presenza di armoniche indesiderate nell'anello.

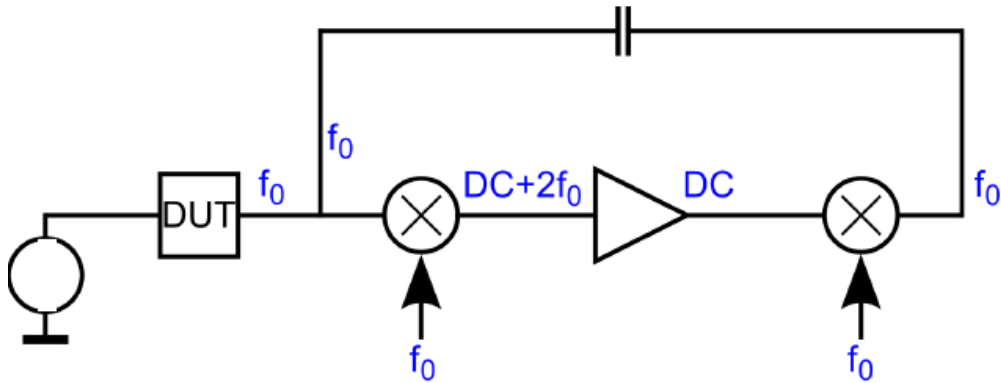


Figura 2.2: Rappresentazione delle componenti armoniche idealmente presenti nel sistema

Le armoniche presenti nell'anello, in un caso puramente ideale e con segnale di riferimento sinusoidale, sono rappresentate in figura 2.2: come si può notare, all'uscita del sistema è presente la sola componente a  $f_0$  e l'anello è chiuso correttamente.

Nonostante questo, la struttura così come presentata non è ancora adeguata, in quanto il segnale proveniente dal DUT presenta componenti ignote in fase. Per esempio, nel caso l'impedenza da rilevare fosse puramente capacitiva, il segnale di corrente in ingresso al sistema sarebbe cosinusoidale: tale corrente, trattata dal ramo di retroazione capacitivo, darebbe luogo ad un'uscita sinusoidale, coerente con un segnale errore nell'anello anch'esso sinusoidale (trattato correttamente se moltiplicato per riferimenti di tipo seno).

Se invece l'impedenza del DUT fosse resistiva, ciò condurrebbe ad avere una corrente sinusoidale, che integrata sulla capacità in retroazione fornirebbe all'uscita una tensione cosinusoidale, la quale a sua volta implicherebbe un segnale errore di tipo coseno: ma un segnale errore del genere, moltiplicato per riferimenti sinusoidali, a valle del primo moltiplicatore non darebbe alcun segnale in uscita, il che non è coerente con il corretto funzionamento dell'anello.

Come avviene in tutti i processi di demodulazione, per questo motivo è necessario processare il segnale errore nelle sue componenti seno e coseno, su due cammini paralleli, come mostrato in figura 2.3

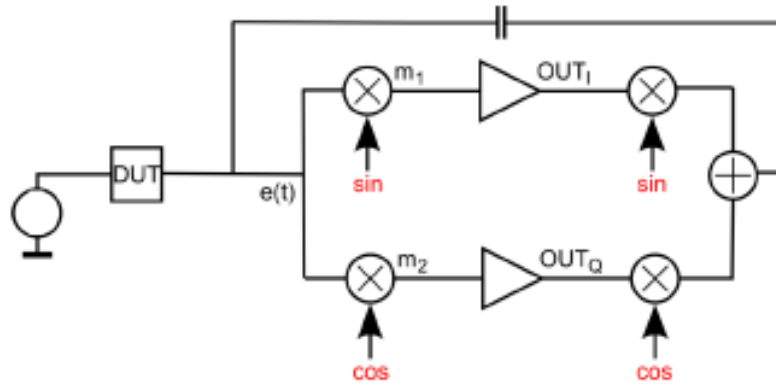


Figura 2.3: Sdoppiamento del cammino di andata con riferimenti in fase ed in quadratura con il segnale in ingresso, per poter discriminare correttamente tali componenti

Questa soluzione ha il vantaggio di poter fornire direttamente, all'uscita dei due amplificatori, i segnali  $OUT_I$  e  $OUT_Q$ , i quali sono segnali in continua proporzionali alla parte immaginaria e alla parte reale dell'ammettenza del DUT, e che corrispondono rispettivamente a componente capacitiva e resistiva del campione se lo si considera equivalente ad un parallelo RC.

Un'architettura simile è stata rinvenuta in un brevetto della Agilent Technologies [12]: progettando il circuito qui descritto, tuttavia, si vuole realizzare una versione completamente integrata e ad altissima sensibilità.

Il DUT, stimolato con una tensione sinusoidale a frequenza  $f_0$ , risponde con un segnale di corrente avente stessa frequenza e con ampiezza e fase dipendenti dal valore dell'impedenza da misurare. L'effetto della retroazione è quello di far sì che solo una piccola parte del segnale applicato cada all'ingresso del blocco di andata, producendo un segnale errore  $e(t) = E_0 \sin(\omega t + \varphi)$ .

Il segnale  $e(t)$  si divide sui due rami, che lo processano in parallelo moltiplicandolo per segnali di riferimento in quadratura tra loro. In questo modo si ottengono due segnali proporzionali alla sola componente in fase ed in quadratura del segnale originario:

$$m_1 = e(t) \sin(\omega_0 t) = E_0 \sin(\omega_0 t + \varphi) \sin(\omega_0 t) = \frac{E_0}{2} [\cos(\varphi) - \cos(2\omega_0 t + \varphi)]$$

$$m_2 = e(t) \cos(\omega_0 t) = E_0 \sin(\omega_0 t + \varphi) \cos(\omega_0 t) = \frac{E_0}{2} [\sin(\varphi) + \sin(2\omega_0 t + \varphi)]$$

L'azione dei blocchi di guadagno, caratterizzati da banda passante molto minore di  $\omega_0$ , è quella di eliminare le componenti ad alta frequenza e di amplificare la sola componente in continua, ottenendo così le due uscite a bassa frequenza del sistema, proporzionali alle componenti in fase ed in quadratura dell'impedenza ignota rispetto allo stimolo sinusoidale in ingresso al DUT.

$$OUT_I = \frac{A_0 E_0}{2} \cos(\varphi),$$

$$OUT_Q = \frac{A_0 E_0}{2} \text{sen}(\varphi).$$

Dove  $A_0$  è il guadagno in continua degli amplificatori con polo a bassa frequenza.

I due segnali  $OUT_I$  e  $OUT_Q$  vengono in seguito moltiplicati per i rispettivi segnali di riferimento a frequenza  $f_0$ , e quindi sommati fornendo un'uscita pari a:

$$V_{OUT,HF} = \frac{A_0 E_0}{2} [\cos(\varphi) \cdot \text{sen}(\omega_0 t) + \text{sen}(\varphi) \cdot \cos(\omega_0 t)].$$

In questo modo, il segnale risultante dalla somma dei due segnali ha un contenuto spettrale alla stessa frequenza del segnale di riferimento di ingresso, così da consentire di chiudere l'anello di retroazione per mezzo della capacità  $C_f$ .

Idealmente, la retroazione fa sì che tutta la corrente del DUT venga integrata sulla capacità  $C_f$ : se si suppone una corrente nel DUT sinusoidale, la tensione di uscita vale quindi:

$$V_{out} = -\frac{1}{C_f} \int I_{in}(t) dt = -\frac{I_{in}}{C_f} \cdot \frac{\cos(2\pi f_0 t + \varphi)}{2\pi f_0}$$

Mentre le tensioni delle uscite in continua  $OUT_I$  e  $OUT_Q$  valgono rispettivamente:

$$|OUT_I| = \frac{\frac{I_{IN}}{C_f}}{2\pi f_0} \cdot \frac{1}{G_{mixer}} \cdot \cos(\varphi), \quad |OUT_Q| = \frac{\frac{I_{IN}}{C_f}}{2\pi f_0} \cdot \frac{1}{G_{mixer}} \cdot \text{sen}(\varphi),$$

Dove  $G_{mixer}$  è il guadagno del moltiplicatore analogico finale, una volta fissata l'ampiezza dei segnali di riferimento in fase ed in quadratura.

A questo punto è necessario considerare l'effetto del rumore sul sistema: in particolare, il rumore flicker del primo moltiplicatore analogico e dell'amplificatore sarebbero sovrapposti al segnale. In figura 2.4 è rappresentato lo spettro del segnale in ingresso e nei successivi stadi: a valle della moltiplicazione si vede come il segnale, che come detto è in continua, sarebbe sommerso dal rumore flicker del moltiplicatore stesso. L'effetto dell'amplificatore centrale è poi quello di far passare solo le componenti intorno alla continua, e di aggiungere il proprio flicker noise. Dunque, sia sulle uscite DC che, poi, su quella ad alta frequenza, il rumore flicker si confronta direttamente con il segnale, riducendo il rapporto segnale / rumore.

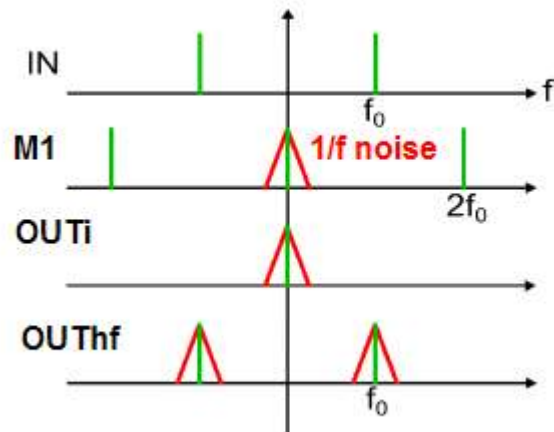


Figura 2.4: Spettro del segnale (verde) e del rumore flicker (rosso) sovrapposto in corrispondenza dei diversi stadi della struttura finora considerata

È stato pertanto opportuno ideare un metodo per poter separare le componenti del segnale da quelle di rumore: per fare ciò, si è deciso di utilizzare come blocco di guadagno centrale un amplificatore chopperato. In questo ulteriore passo in avanti nella definizione dell'architettura, lo stadio di guadagno è preceduto e seguito da moltiplicatori ad onda quadra, realizzati con semplici interruttori i quali, non introducendo apprezzabile rumore, portano il segnale alla frequenza delle onde quadre di comando degli interruttori, separandolo dal rumore flicker che per sua natura è centrato attorno alla continua. Il singolo canale di andata è modificato come in figura 2.5, dove sono anche rappresentati gli spettri presenti. Per evitare che il rumore del primo moltiplicatore analogico si sovrapponga al segnale, tale moltiplicatore viene scambiato di posizione, rispetto alla sequenza di moltiplicazioni più intuitiva, con il primo moltiplicatore ad interruttori, che si trova quindi a precedere tutti i blocchi caratterizzati da rumore flicker elevato: il rumore  $1/f$  così non ha più alcuna possibilità di andarsi a sovrapporre al segnale utile.

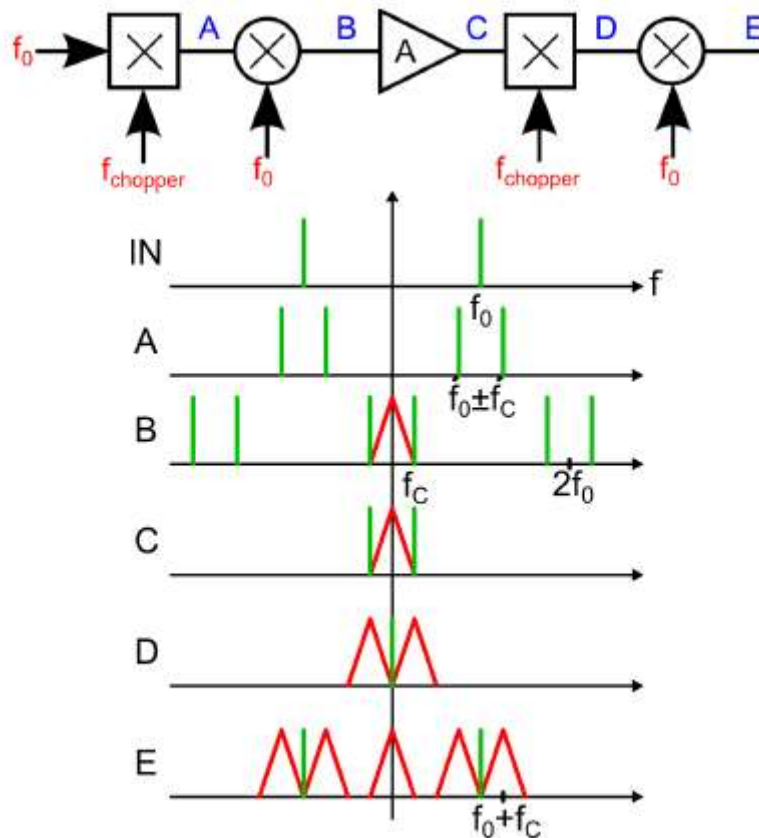


Figura 2.5: In alto: Schema a blocchi del cammino d'andata per evitare che il segnale risenta del rumore flicker. In basso: Spettro del segnale e del rumore della struttura.

Considerando per semplicità la sola armonica fondamentale del segnale di chopper, nel punto A il segnale è presente a frequenza  $f_0 \pm f_{chop}$ , nel punto B si trova riportato alla bassa frequenza  $f_{chop}$  e intorno a  $2f_0$ , mentre il rumore flicker introdotto dal moltiplicatore analogico è attorno alla continua. In C si trovano le stesse componenti a bassa frequenze amplificate, mentre le componenti ad alta frequenza sono parzialmente filtrate. In D il segnale utile è portato a frequenza nulla, mentre il rumore è modulato attorno a  $f_{chop}$ , infine in E si vede il segnale utile riportato alla frequenza di misura  $f_0$ . Supponendo di disporre in D di un filtro passa basso che elimini le componenti di rumore e le componenti ad alta frequenza introdotte dalle operazioni di chopper, sia le uscite DC che quella ad alta frequenza presentano un elevato rapporto segnale / rumore, avendo filtrato il rumore flicker dei primi stadi e avendo ridotto l'effetto dell'ultimo moltiplicatore grazie all'elevato guadagno degli stadi precedenti. Il filtro passa basso inoltre si occupa di introdurre il polo principale dell'anello, a frequenza molto bassa, e di contribuire con un fattore predominante al guadagno in continua del loop. È da rilevare come l'introduzione dell'amplificatore chopperato appena dopo la modulazione in frequenza permetta di poter ridurre sensibilmente il rumore di tutti gli stadi successivi; tale

amplificazione non può avere un guadagno molto elevato perché è necessario che l'amplificatore abbia banda ampia, per poter trattare correttamente il segnale che a quel punto dell'anello si trova alla frequenza del chopper. Inoltre, per garantire stabilità, il polo principale di questo amplificatore dovrà essere a una frequenza molto maggiore dell'attraversamento dell'asse a 0 dB del filtro passa basso in uscita, che invece deve avere guadagno elevato in continua (per avere guadagno d'anello elevato) e banda molto ridotta, per introdurre il polo dominante dell'anello e per filtrare tutte le armoniche indesiderate presenti.

L'introduzione dei moltiplicatori ad interruttori comandati alla frequenza di chopper conduce ad un altro problema: la presenza di transistori MOS che commutano nelle vicinanze del nodo di terra virtuale al quale afferisce uno dei nodi del DUT non è consigliabile in quanto la presenza dei picchi di tensione dovuti a inevitabili fenomeni di iniezione di carica (in corrispondenza all'apertura / chiusura degli switch) potrebbe nuocere al campione biologico sotto esame: pertanto, è stato introdotto uno stadio che effettua una preamplificazione, a guadagno limitato per garantire alta banda, tra ingresso e moltiplicatore ad interruttori in modo da garantire un disaccoppiamento tra i picchi e il DUT.

Lo schema a blocchi completo del circuito è rappresentato in figura 2.6: il cammino di andata in realtà è mantenuto completamente differenziale fino all'uscita single – ended del moltiplicatore finale, aumentando dinamica e linearità nel trattamento del segnale.

L'uscita finale del sistema, come detto, contiene un'informazione sovrapposta su parte reale e parte immaginaria dell'impedenza del DUT alla frequenza di misura, mentre le uscite in continua permettono di render disponibili le due informazioni, già separate, in modo estremamente comodo: purtroppo, tale comodità è parzialmente limitata dal rumore del moltiplicatore finale, che impatta sull'estrazione di tali segnali, e dal fatto che, essendo sul cammino d'andata, esse risentono di tutte le possibili non linearità presenti nel sistema, come si vedrà in seguito.

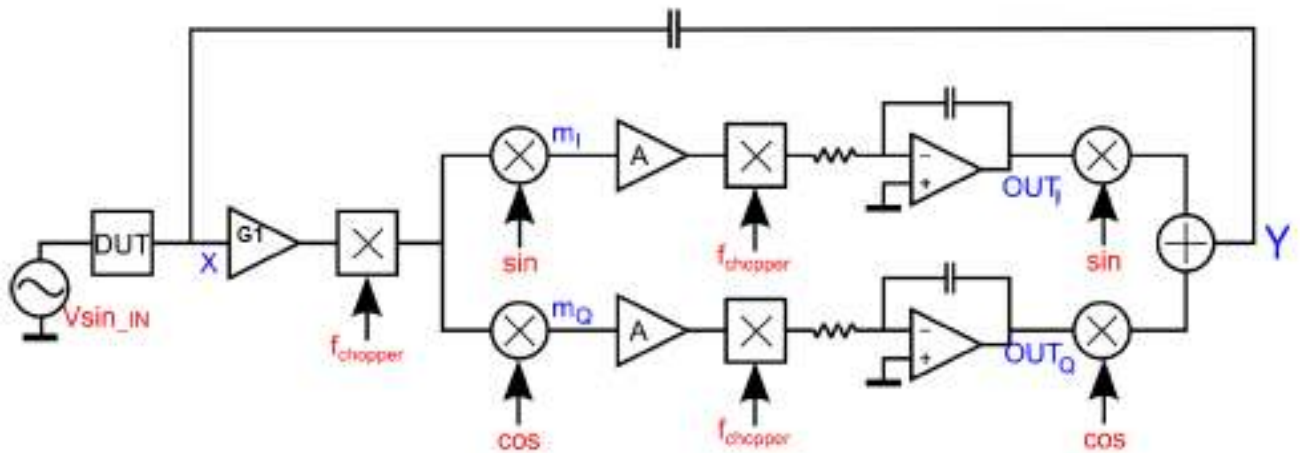


Figura 2.6: Schema a blocchi del circuito completo

### Capitolo 2.1 – Guadagno d’anello del sistema

Per il calcolo del guadagno d’anello si consideri la struttura rappresentata nella figura 2.6. Per semplicità di calcolo, si trascura nella seguente analisi la presenza dei due moltiplicatori ad interruptori, il cui effetto principale è la riduzione del rumore flicker. Inoltre, si considera l’insieme dei due blocchi di guadagno presenti nel cammino di andata, l’amplificatore chopperato e il filtro passa basso attivo, come un unico blocco con espressione  $A(s) = \frac{A_0}{(1+s\tau_p)}$ , dove  $A_0$  è il guadagno in continua complessivamente offerto dagli stadi e  $\tau_p$  è la costante di tempo relativa al polo a più bassa frequenza, cioè quello introdotto dal filtro passa basso attivo. Tale approssimazione è lecita, in quanto il polo del filtro passa basso è stato scelto in modo che il polo dell’amplificatore chopperato intervenga molto dopo l’attraversamento a 0 dB del guadagno d’anello complessivo: la cascata di questi due stadi è in effetti dunque approssimabile a un unico blocco di guadagno a singolo polo.

Tagliando l’anello all’ingresso del primo stadio, è possibile ricavare le tensioni presenti a valle dei moltiplicatori analogici, all’ingresso dei blocchi di guadagno:

$$m_I = X(f)G_1G_{M1} * \left( \frac{\delta(f - f_0) - \delta(f + f_0)}{2i} \right) = \frac{G_1G_{M1}}{2i} [X(f - f_0) - X(f + f_0)],$$

$$m_Q = X(f)G_1G_{M1} * \left( \frac{\delta(f - f_0) + \delta(f + f_0)}{2} \right) = \frac{G_1G_{M1}}{2} [X(f - f_0) + X(f + f_0)],$$

Dove il simbolo \* rappresenta l’operazione di convoluzione. In queste formule è stato considerato che il segnale in ingresso viene moltiplicato per un segnale sinusoidale e per un segnale cosinusoidale sui due cammini in parallelo.  $G_1$  rappresenta il guadagno del primo stadio, mentre  $G_{M1}$



e  $G_{M2}$  rappresentano il guadagno dei moltiplicatori una volta fissata l'ampiezza del segnale di riferimento.

Dunque, la tensione di uscita ad alta frequenza vale:

$$Y(f) = G_1 G_{M1} G_{M2} A(f) \left( \frac{X(f - f_0) - X(f + f_0)}{2i} \right) * \left( \frac{\delta(f - f_0) - \delta(f + f_0)}{2i} \right) + \\ + G_1 G_{M1} G_{M2} A(f) \left( \frac{X(f - f_0) + X(f + f_0)}{2} \right) * \left( \frac{\delta(f - f_0) + \delta(f + f_0)}{2} \right).$$

Sviluppando le formule, si ottiene un'espressione da cui risulta chiaro come il guadagno del blocco amplificante venga traslato in frequenza, adattandosi alla frequenza alla quale si effettua la misura,  $f_0$ :

$$\frac{Y(f)}{X(f)} = \frac{G_1 G_{M1} G_{M2}}{2} \cdot [A(f - f_0) + A(f + f_0)],$$

dove  $A(f + f_0) = \frac{A_0}{\left(1 + \frac{i(f+f_0)}{f_p}\right)}$ ; e  $A(f - f_0) = \frac{A_0}{\left(1 + \frac{i(f-f_0)}{f_p}\right)}$ .

Sostituendo, si ottiene:

$$\frac{Y(f)}{X(f)} = G_1 G_{M1} G_{M2} A_0 \left( \frac{1 + \frac{if}{f_p}}{1 + i \frac{2f}{f_p} - \frac{f^2 - f_0^2}{f_p^2}} \right).$$

Da qui, ipotizzando la presenza di una capacità  $C_{in}$  afferente al nodo di terra virtuale e sostituendo alla Trasformata di Fourier la Trasformata di Laplace, si ottiene il  $G_{loop}$ :

$$G_{loop}(s) = \frac{C_f}{C_f + C_{in}} \cdot \frac{G_1 G_{M1} G_{M2} A_0}{1 + \frac{f_0^2}{f_p^2}} \cdot \frac{1 + s\tau_p}{1 + s \left( \frac{2\tau_p}{1 + \frac{f_0^2}{f_p^2}} \right) + s^2 \left( \frac{\tau_p^2}{1 + \frac{f_0^2}{f_p^2}} \right)}$$

Il guadagno d'anello del sistema presenta una coppia di poli complessi – coniugati alla frequenza  $f_0$  e con fattore di qualità  $Q = \frac{\tau_p \omega_0}{2}$ . Il trasferimento è quindi caratterizzato da un elevato guadagno centrato attorno alla frequenza del segnale di ingresso  $f_0$ , come è possibile vedere in figura 2.7 dove è rappresentato il  $G_{loop}$  in modulo e fase per  $f_0 = 1$  MHz. Il picco di guadagno è dato dalla coppia di poli complessi – coniugati a frequenza  $f_0$ , ammesso ovviamente che tale frequenza sia maggiore della frequenza del polo dominante dell'anello. Il fattore di qualità della rete risulta proporzionale alla frequenza di ingresso, il che è prevedibile dato che la larghezza di banda del guadagno d'anello attorno al picco non dipende dalla frequenza.

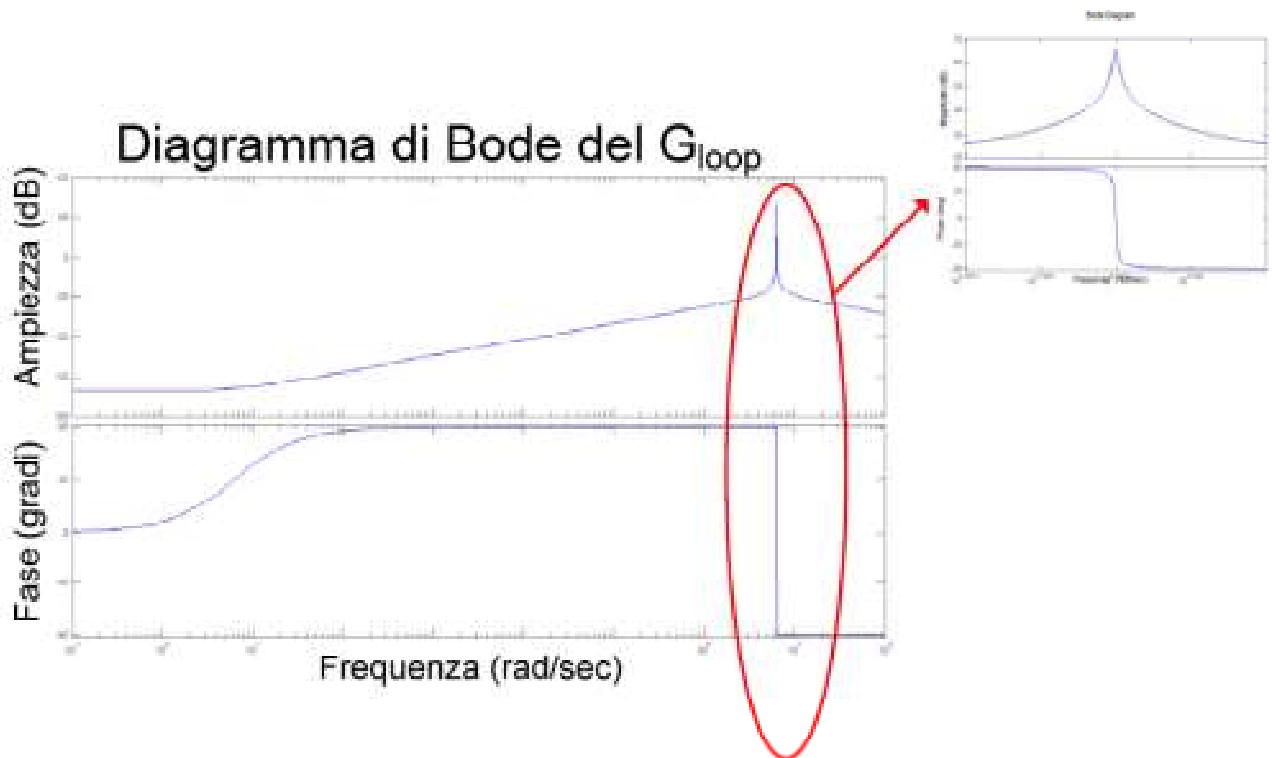


Figura 2.7: Guadagno d'anello del sistema, diagrammi di Bode di modulo (in alto) e fase (in basso), calcolati per  $f_0=1\text{ MHz}$

Lo studio della stabilità del sistema non può essere effettuato con il criterio di Bode, in quanto il guadagno d'anello attraversa più di una volta l'asse a 0 dB; ma è possibile utilizzare il Criterio di Nyquist, che invece ha validità del tutto generale.

Riferendosi alla figura 2.8, a frequenza nulla il guadagno d'anello è puramente reale. Poiché  $f_p \ll f_0$ , interviene come prima singolarità lo zero a  $f_p$  e il diagramma polare aumenta, sia in modulo, sia in fase. Con l'intervento dei due poli complessi e coniugati a frequenza  $f_0$ , il guadagno d'anello tende a zero e lo fa con fase  $-90^\circ$ , ossia lungo l'asse immaginario. Il diagramma del  $G_{\text{loop}}$  non compie alcun giro attorno al punto  $-1$ , perciò il sistema risulta essere asintoticamente stabile.

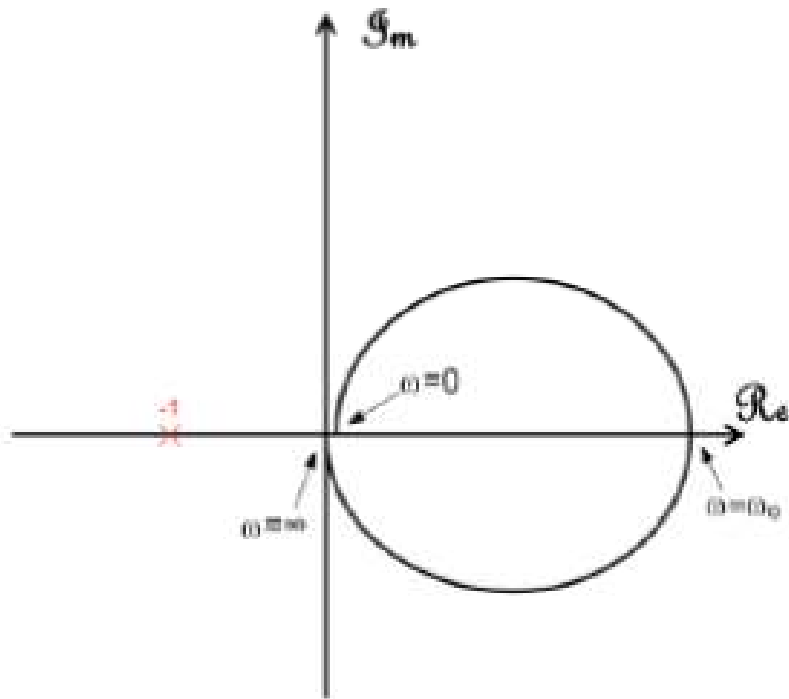


Figura 2.8: Diagramma di Nyquist del guadagno d'anello per lo studio della stabilità

Una volta calcolato il guadagno d'anello, il cui valore elevato consente di poter trascurare il guadagno diretto, si può ricavare il guadagno reale del circuito con la nota relazione:

$$G_{reale} = \frac{G_{id}}{1 - \frac{1}{G_{loop}(s)}}$$

con  $G_{id} = -\frac{1}{sC_f}$ .

Svolgendo alcuni semplici passaggi, si ottiene:

$$G_{reale}(s) = \frac{1}{sC_f} \frac{\beta(1 + s\tau_p)}{\left[1 + \beta + \left(\frac{f_0^2}{f_p^2}\right) + s\tau_p(2 + \beta) + s^2\tau_p^2\right]}$$

Dove  $\beta = G_{loop}(f_0) = \frac{C_f}{C_f + C_{in}} \cdot G_1 G_{M1} G_{M2} A_0$ .

I diagrammi di Bode di modulo e fase del guadagno reale e di quello ideale sono riportati in figura 2.9 per tre valori di  $f_0$  (1 MHz, 10 MHz e 100 MHz). Si può notare come, alla frequenza di interesse, il guadagno reale coincida con quello ideale, e come la banda ad anello chiuso sia molto stretta attorno alla frequenza di misura, filtrando così selettivamente il rumore.

## Diagramma di Bode del $G_{reale}$

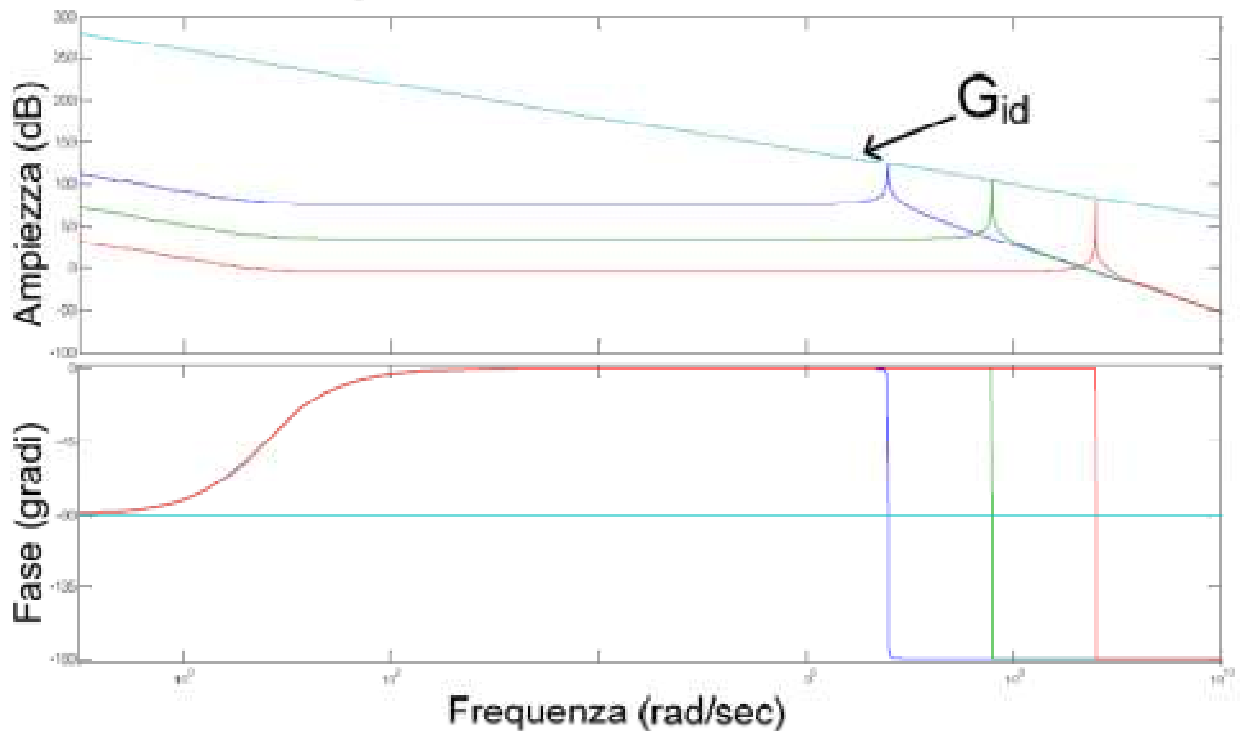


Figura 2.9: Diagrammi di Bode di modulo e fase del guadagno reale del circuito per  $f_0$  pari a 1 MHz, 10 MHz e 100 MHz

Il guadagno ideale del sistema coincide quindi con quello di un integratore, ma con la particolarità che questo è vero solamente nei dintorni della frequenza di misura, questo grazie al fatto che la frequenza alla quale il  $G_{loop}$  assume un valore elevato non è la continua, ma cambia centrandosi proprio in corrispondenza a tale frequenza. Il secondo termine del guadagno reale rappresenta un filtro risonante con ampiezza alla risonanza circa unitaria se  $\beta \gg 1$ . Si consideri ora il sistema realmente implementato, in particolare con la presenza di due blocchi di guadagno in cascata: in questo contesto, si calcoli il  $G_{loop}(f_0)$ , ovvero  $\beta$ , il guadagno d'anello alla frequenza del segnale di ingresso.

$$\begin{aligned}
 G_{loop}(f_0) &= G_1 G_{M1} G_{AO,chop} G_{integratore} G_{M2} \frac{C_f}{C_f + C_{in}} \\
 &= 7 \cdot 0,965 \cdot 100 \cdot 12,5 \cdot 10^6 \cdot 0,23 \cdot \frac{1}{100} \sim 1,9 \cdot 10^7
 \end{aligned}$$

I valori presenti sono quelli ottenuti nel dimensionamento dei vari blocchi, supponendo nel caso pessimo una capacità al nodo di ingresso di valore 10 pF e una capacità in retroazione di 100 fF.

La banda ad anello chiuso del sistema può essere ricavata dal fattore di qualità della coppia di poli complessi coniugati del guadagno reale  $\left(Q = \frac{f_0}{f_p\beta}\right)$  e risulta essere pari a  $\beta f_p$ , equivalente a quella che si avrebbe in un sistema a singolo polo con guadagno in continua pari a  $\beta$  e singolarità posta a  $f_p$ . Si deve tener presente che il filtro passa basso attivo è stato dimensionato con un polo a frequenza molto bassa, e che risulta esser dunque il polo dominante lungo l'anello. Quindi:

$$BW_{loop} = \beta f_p = G_{loop}(f_0) \cdot \frac{1}{2\pi\tau_p},$$

dove  $\tau_p$  è la costante di tempo del polo dominante dell'integratore, ed è relativa ad avere un prodotto guadagno – banda nell'integratore pari a 100 Hz, come verrà discusso in seguito. La banda ad anello chiuso del sistema risulta esser pari a circa 100 Hz in caso di  $C_{in}=10$  pF e a circa 1 kHz con  $C_{in}= 1$  pF, se ovviamente tutte le altre singolarità presenti sono oltre questa frequenza in modo da non inficiare la stabilità del sistema. Si può notare come l'elemento dominante dell'anello sia il blocco integratore: infatti, dalla relazione di  $\beta$  si nota come il contributo dei blocchi ad esclusione dell'integratore sia all'incirca unitario, in caso di  $C_{in}=10$ pF: di conseguenza il guadagno d'anello alla frequenza di misura è circa pari al guadagno in continua del filtro,  $10^7$ , e la banda ad anello chiuso è pari al suo prodotto guadagno – banda: 100 Hz.

Dall'espressione della banda a -3 dB del sistema e dall'equivalenza con un sistema a singolo polo, è possibile calcolare la banda equivalente di rumore, che risulta essere costante al variare della frequenza di misura e vale  $B_n = \frac{\pi}{2} f_p\beta$ , che nel caso pessimo ( $C_{in}=1$ pF) vale 1,6 kHz.

## Capitolo 2.2 – Guadagno d'anello e non linearità

Come è risaputo dalla teoria dei controlli, in tutti i sistemi retroazionati si ha una riduzione degli eventuali disturbi di carico che affliggono l'uscita, riduzione proporzionale al valore del guadagno dell'anello.

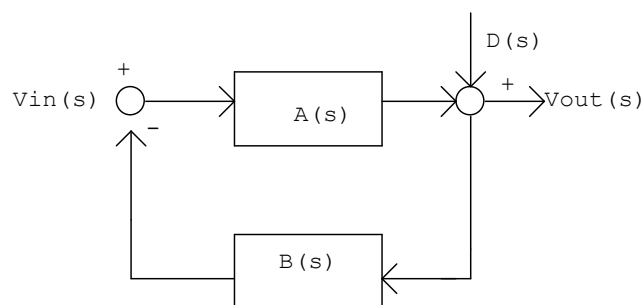


Figura 2.10: Schema a blocchi di un generico circuito retroazionato con disturbo di carico

Si consideri, infatti, il classico schema di controllo reazionato mostrato in figura 2.10: la funzione di trasferimento tra disturbo ed uscita vale, come noto,  $\frac{V_{out}(s)}{D(s)} = \frac{1}{1-A(s)B(s)}$ ; questo significa che se il contenuto spettrale del disturbo cade all'interno della banda retroazionata, si ha una riduzione del suo effetto pari al valore del  $G_{loop}$  a quella frequenza.

Questo vale propriamente solo per circuiti lineari tempo – invarianti: nel circuito presentato in questo lavoro di tesi, invece, sono presenti delle operazioni non lineari (le moltiplicazioni). Risulta dunque di interesse concettuale capire se quanto appena detto vale anche in questo contesto oppure no.

Per poter eseguire questo raffronto, si è operato sul circuito semplificato rappresentato in figura 2.11, utilizzato nel lavoro [11] per i primi studi sulla fattibilità teorica del sistema:

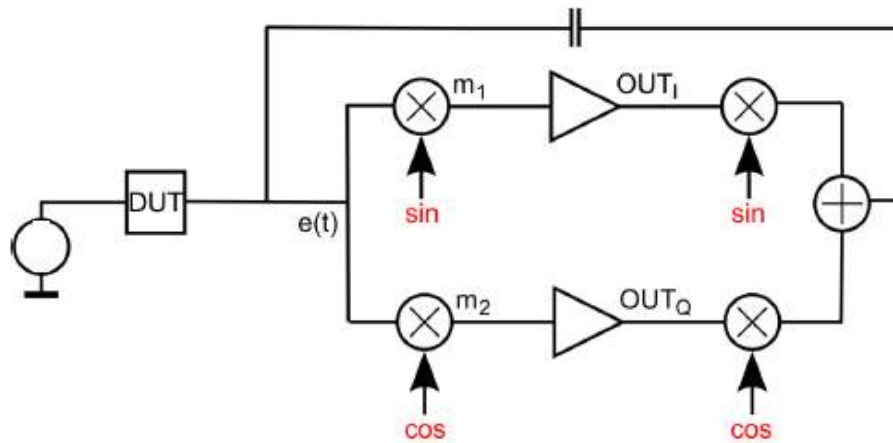


Figura 2.11: Circuito semplificato utilizzato per lo studio del comportamento delle armoniche spurie

Sono stati eliminati i moltiplicatori ad interruttori e si sono utilizzati amplificatori ideali con guadagno in continua 150000 e polo a 1 Hz: (si noti che questo non varia la forma del  $G_{loop}$  così come è stata precedentemente calcolata, ma solo alcuni valori come la larghezza di banda ad anello chiuso ed il guadagno in continua). Questi accorgimenti si sono resi necessari poiché le operazioni di traslazione in frequenza tramite onda quadra introducono un gran numero di armoniche, difficili da seguire nel loro percorso lungo l'anello. Con queste semplificazioni, invece, è possibile andare a considerare solo le distorsioni dovute al moltiplicatore analogico finale, che impattano direttamente sull'uscita, e quindi verificare se esse si comportano in modo differente ad anello chiuso / aperto. Inoltre, operare con blocchi ideali rende molto più facile poter lavorare anche con le armoniche dovute alla distorsione molto vicine alla frequenza di misura, cosa che non sarebbe invece agevole utilizzando i blocchi reali con le relative non idealità.

Il moltiplicatore finale, come ogni sistema non lineare, presenterà degli effetti di generazione armonica dovuti intrinsecamente alla propria caratteristica non lineare. Questo può essere modellizzato in modo tale da poter rappresentare il segnale di uscita ad alta frequenza (se il segnale  $V_{BB}$  è in continua) non come una sinusoide pura, ma come somma di infinite armoniche, di ampiezza ovviamente via via evanescenti: la struttura differenziale di gran parte del moltiplicatore finale conduce ad avere essenzialmente distorsioni di ordine dispari, principalmente di III e di V armonica. Quantificando attraverso simulazioni queste distorsioni è possibile effettuare il confronto cercato. Ad anello chiuso, saranno presenti nello spettro di uscita anche armoniche pari dovute alle varie moltiplicazioni introdotte, ma ci si concentra solo su quelle dispari in quanto introdotte dal moltiplicatore in modo indipendente da come si effettua la prova.

Per prima cosa, si effettua una prova a frequenze alle quali sicuramente la III armonica cade all'esterno della banda retroazionata, per esempio 10 kHz. Una volta verificato che il segnale  $V_{out}$  sia concorde con il valore dettato dal guadagno ideale, si misura il valore della tensione all'uscita dei blocchi di guadagno sui rami seno e coseno (che, essendo il sistema a regime, saranno delle tensioni continue, da riportare poi a 100 kHz attraverso la moltiplicazione), e si ripropongono queste tensioni all'ingresso del moltiplicatore in una prova ad anello aperto. Come intuitivo, le distorsioni di III e di V armonica (misurate attraverso lo strumento della Trasformata Discreta di Fourier applicata ai due segnali di uscita, ad anello aperto e ad anello chiuso) sono sostanzialmente identiche, in quanto cadono fuori dalla banda retroazionata, come si può notare dalla figura 2.12.

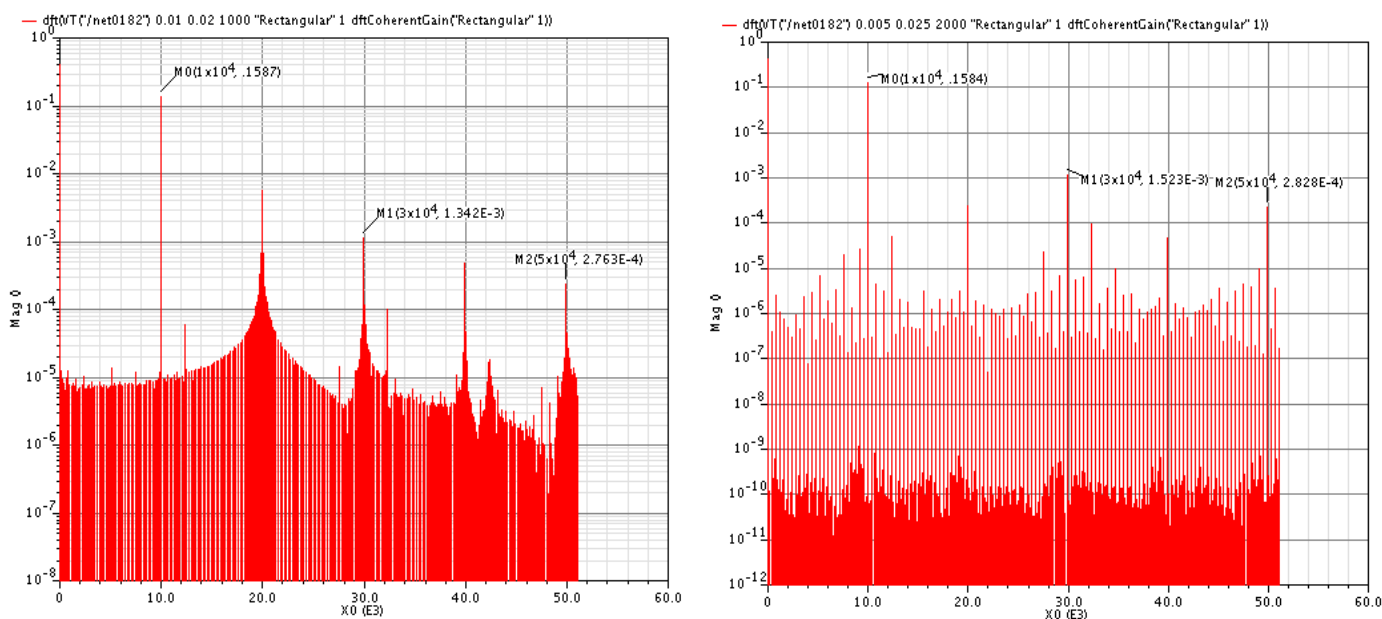


Figura 2.12: Raffronto tra lo spettro della tensione di uscita ad anello chiuso (a sinistra) e ad anello aperto (a destra) ad una frequenza di 10 kHz (fuori della banda retroazionata)

Lo stesso identico procedimento viene ripetuto ad una frequenza  $f_0$  di 1 kHz. La larghezza di banda del  $G_{loop}$ , ricavabile dalle formule del paragrafo precedente inserendo i nuovi valori, vale ora 3,7 kHz in caso di capacità all'ingresso di 10 pF: pertanto, la terza armonica dovuta alla distorsione presente a 3 kHz dovrebbe iniziare a risentire leggermente dell'effetto benefico del  $G_{loop}$ . In effetti, confrontando le DFT ad anello aperto / chiuso, si può notare come la V armonica sia pressoché invariata, mentre la III sia più elevata ad anello aperto di un fattore poco più grande di due, compatibile con la riduzione di un fattore  $1-G_{loop}$  dell'armonica ad anello chiuso, con  $G_{loop}$  pari, in modulo, a poco più di 1 (figura 2.13).

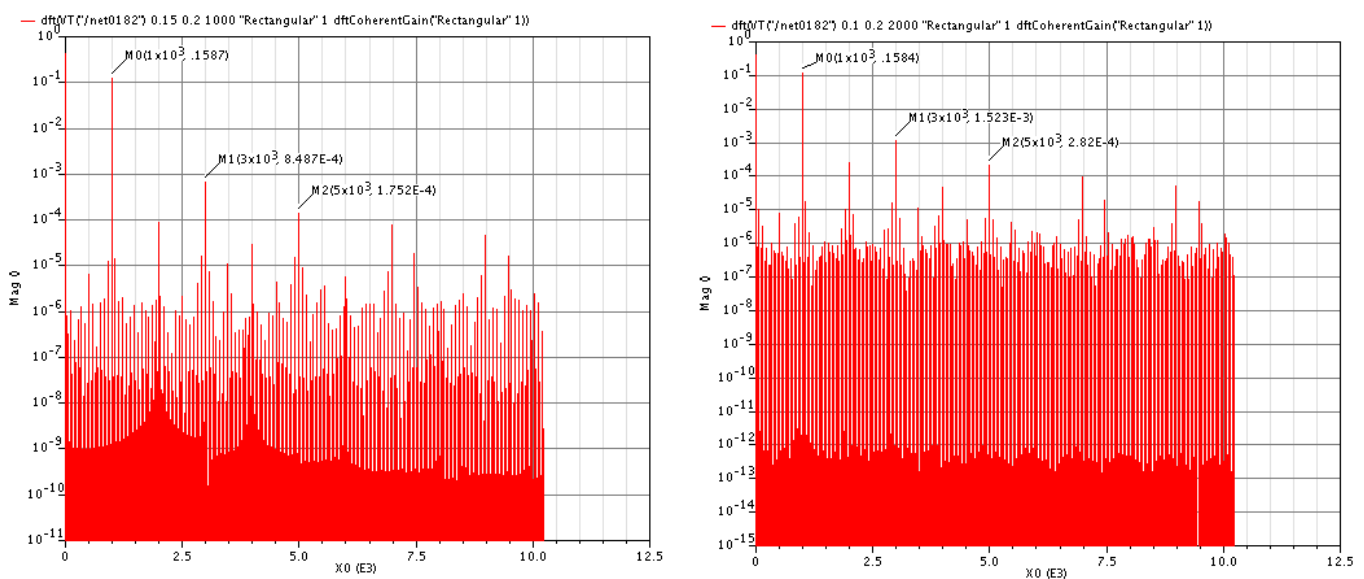


Figura 2.13: Raffronto tra lo spettro della tensione di uscita ad anello chiuso (a sinistra) e ad anello aperto (a destra) ad una frequenza di 1 kHz (frequenza intermedia)

Nella terza ed ultima prova, la  $f_0$  è stata ridotta ad un valore di 100 Hz, in modo che la III armonica a 300 Hz possa cadere completamente all'interno della banda retroazionata. Utilizzando l'espressione del  $G_{loop}$  in funzione della frequenza ricavata nel capitolo precedente, ci si è ricavati il valore del modulo del guadagno d'anello a  $(f-f_0)=200$  Hz, trovando un numero pari a circa 15. Tale valore è compatibile con la riduzione della distorsione di terza armonica che si nota dal confronto tra le DFT ad anello aperto e ad anello chiuso (figura 2.14).



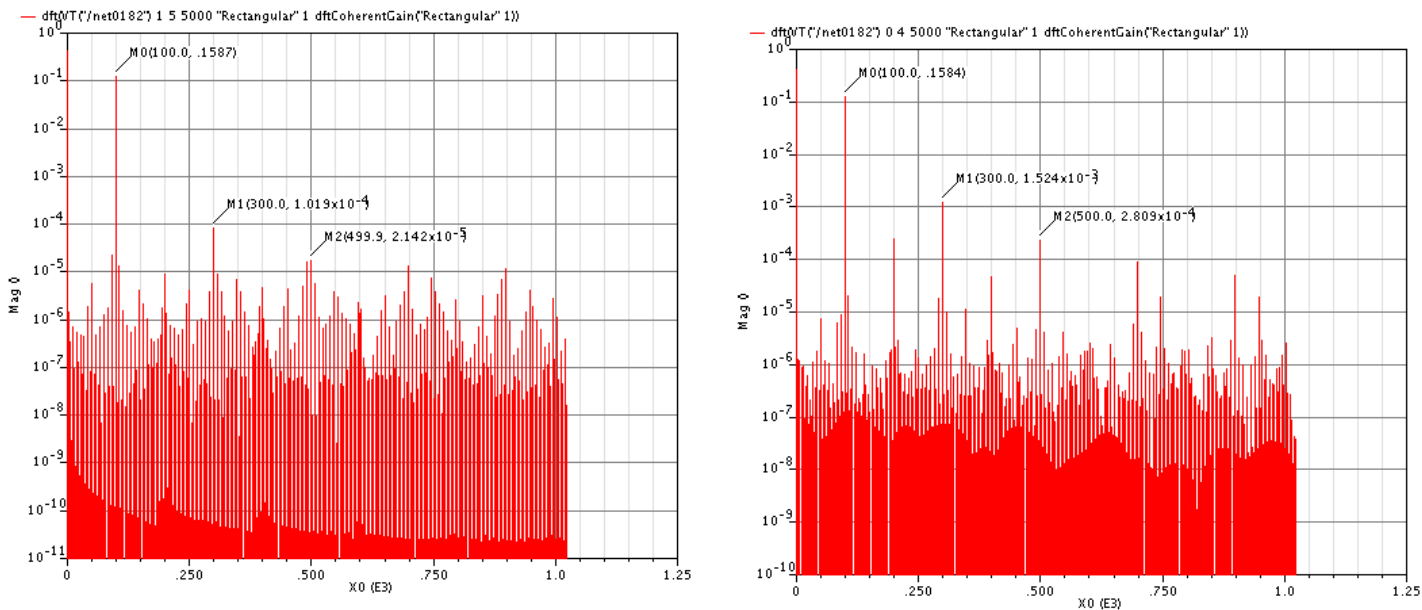


Figura 2.14: Raffronto tra lo spettro della tensione di uscita ad anello chiuso (a sinistra) e ad anello aperto (a destra) ad una frequenza di 100 Hz (all'interno della banda retroazionata)

Queste simulazioni conducono a diverse conclusioni: in primis, è stato dimostrato come anche in questa topologia innovativa (utilizzante operazioni non lineari), un eventuale disturbo ad una determinata frequenza venga abbattuto per il guadagno d'anello a quella frequenza (come in ogni sistema retroazionato), se la frequenza stessa si trova all'interno della banda retroazionata.

Così come ricavato dalla formule e verificato tramite simulazioni, si può notare che, come voluto, il guadagno d'anello ha un rapidissimo decadimento in frequenza spostandosi dalla frequenza di misura: nella configurazione usata in questa sezione, basta uno spostamento di poche centinaia di Hz per un decadimento di circa 40 dB e di qualche kHz per uscire completamente dalla banda retroazionata. Si ricorda che nel circuito con elementi reali la larghezza di banda è ancora inferiore. Questo è benefico ovviamente per quanto riguarda considerazioni di rumore e sensibilità, uno degli obiettivi primari di questa topologia. L'unico svantaggio pare essere quello di non poter sfruttare nella pratica il  $G_{1loop}$  per abbattere le frequenze spurie dovute a distorsioni. Infatti, le armoniche successive alla prima che si generano nei vari blocchi del guadagno di andata, e che subiscono peraltro svariate traslazioni in frequenza, non cadranno mai all'interno della banda retroazionata, pertanto una volta arrivate in uscita a sporcare il segnale voluto si comportano come se viaggiassero ad anello aperto, riportandosi sul nodo di terra virtuale tramite partizione capacitiva: il contributo relativo all'applicazione di spettroscopia di impedenza di queste armoniche risulta comunque trascurabile, sia perché le non idealità introdotte (per esempio dal moltiplicatore finale appena

considerato) sono di valore non elevato, sia perché per quanto riguarda l'uscita si è interessati al valore di picco della sinusoide e alla sua fase, e non ad una elevatissima purezza spettrale (come potrebbe invece accadere, solo per fare un esempio, in ambito audio).

### Capitolo 2.3 – Analisi sul rumore

Uno degli obiettivi di questo circuito è quello di ottenere elevata sensibilità nella misura di piccolissime correnti: pertanto, risulta necessaria un'analisi di come il rumore del circuito interferisce nella misura, facendo la semplificazione di voler analizzare un DUT con componenti puramente capacitive e volendo ricavare il minimo valore misurabile di questa capacità all'ingresso ( $C_{min}$ ), determinato dal rumore dello stadio. Si è già spiegato precedentemente l'utilizzo della tecnica del chopper per poter trascurare la presenza del rumore flicker; ciò è vero solo se la frequenza del chopper è maggiore della frequenza di noise corner del rumore, e per gli stadi compresi tra i due moltiplicatori ad onda quadra (primo moltiplicatore analogico e amplificatore chopperato). I contributi a valle di tale stadio sono riportati all'ingresso attenuati del suo guadagno, risultando perciò trascurabili.

La più piccola corrente misurabile è limitata dal rumore di corrente equivalente riportato all'ingresso:

$$I_{RMS} \sim \sqrt{\int_0^{\infty} i_{in}^2(f) df}$$

Dato che la banda equivalente di rumore è molto minore della frequenza di misura, è possibile approssimare questa espressione come:

$$I_{RMS} \sim \sqrt{i_{in}^2(f_0) B_n}$$

Dove  $B_n$  è la banda equivalente di rumore. Per ridurre il valore rms della corrente di segnale occorre dunque minimizzare la banda equivalente e il valore della densità spettrale di rumore in ingresso; il primo obiettivo come visto è insito nella struttura stessa del sistema.

Il rumore equivalente all'ingresso è dovuto al contributo del generatore serie dell'amplificatore, di valore  $e_{neq}^2$ , che si riporta in uscita con il guadagno dello stadio non invertente,  $e_{OUT}^2(\omega) = e_{neq}^2 \left( \frac{C_{in} + C_f}{C_f} \right)^2$ . Da questa relazione è possibile calcolare il rumore equivalente di corrente in

ingresso,  $i_{in}^2(\omega) = e_{neq}^2(\omega)(C_{in} + C_f)^2 \omega^2$ , e ricavare la risoluzione minima in termini di capacità incognita misurabile, imponendo che la corrente di segnale minima nel DUT sia uguale alla corrente di rumore rms:

$$V_{DUT} C_{min} \omega = \sqrt{e_{neq}^2(\omega)(C_{in} + C_f)^2 \omega^2 B_n}$$

Con l'ipotesi di rumore equivalente all'ingresso bianco, si ottiene infine:

$$C_{min} = \frac{\sqrt{e_{neq}^2(C_{in} + C_f)^2 B_n}}{V_{DUT}}$$

I contributi al rumore bianco equivalente sono dati dai blocchi che non sono preceduti da un guadagno elevato; avendo l'amplificatore chopperato guadagno pari a 100, i rumori del filtro passo basso attivo e del moltiplicatore analogico di upconversion sono trascurabili, in quanto pesantemente abbattuti. Pertanto, sopravvivono solo il contributo dovuto al rumore del preamplificatore differenziale (a frequenza  $f_0$ , molto maggiore della sua noise corner frequency) e della coppia moltiplicatore analogico – amplificatore chopperato: si suppone il loro rumore bianco, in quanto è prelevato attorno alla frequenza di chopper, scelta maggiore della noise corner frequency degli stadi. Riassumendo:

$$\sqrt{e_{neq}^2} = \sqrt{e_{in,1stadio}^2 + \frac{e_{M1}^2}{(G_1 G_{M1})^2} + \frac{e_{in,chop}^2}{(G_1 G_{M1})^2}}$$

Considerando  $e_{in,1stadio}^2 = \left(1,7 \frac{nV}{\sqrt{Hz}}\right)^2$ ,  $e_{M1}^2 = \left(34 \frac{nV}{\sqrt{Hz}}\right)^2$ ,  $e_{in,chop}^2 = \left(8 \frac{nV}{\sqrt{Hz}}\right)^2$ , (valori ottenuti da simulazioni sul rumore a seguito del dimensionamento degli stadi:  $e_{M1}^2$  è il rumore in uscita al moltiplicatore), si ottiene un generatore equivalente di rumore in ingresso pari a  $5,5 \frac{nV}{\sqrt{Hz}}$ , che conduce ad una  $C_{min}$  di 2,2 aF in caso di capacità parassita massima all'ingresso e di tensione applicata al DUT di 1 V, valore molto interessante se confrontato con altri lavori allo stato dell'arte, nei quali la  $C_{min}$  è confrontabile o leggermente inferiore, ma la banda di indagine non è altrettanto estesa [13, 14].

È utile anche compiere alcune brevi considerazioni sul rumore che impatta sulle uscite in continua dei cammini seno e coseno, che forniscono informazioni separate sulla componente in fase ed in quadratura con il segnale di ingresso dell'impedenza, riferendosi allo schema semplificato in figura 2.15:

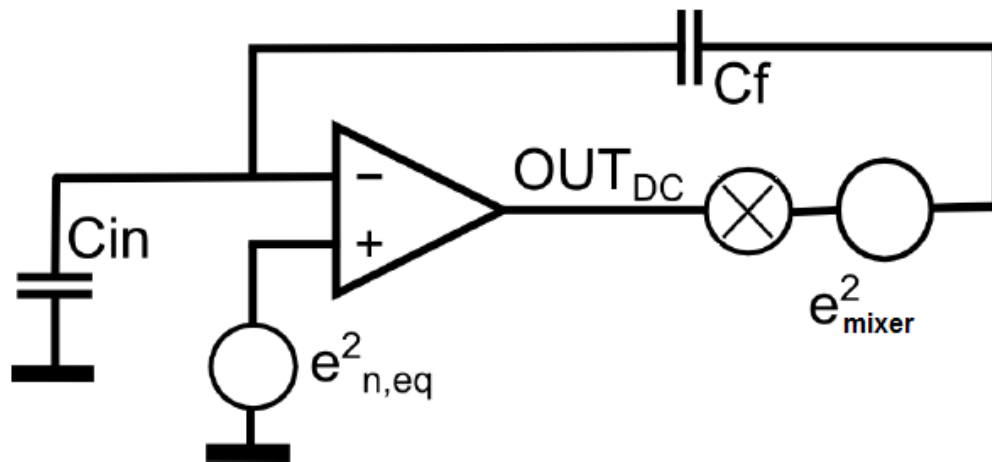


Figura 2.15: Circuito equivalente per lo studio sul rumore che affligge le uscite a bassa frequenza

L'uscita in continua vede come retroazione non solo la capacità di feedback, ma anche il moltiplicatore analogico finale. Il rumore di tale moltiplicatore impatta dunque direttamente sulla misura delle componenti in fase ed in quadratura, dando un rumore complessivo a bassa frequenza pari a:

$$e_{OUT,DC}^2 = \frac{e_{neq}^2}{G_{M2}} \left( 1 + \frac{C_{in}}{C_f} \right)^2 + \frac{e_{mixer}^2}{G_{M2}}.$$

Come è stato osservato,  $e_{neq}^2$  non risente del rumore flicker di nessuno degli stadi che contribuiscono al suo valore, mentre il rumore del moltiplicatore finale non subisce alcun tipo di modulazione ed è quindi caratterizzato da un andamento decrescente in frequenza attorno alla continua.

Riportando all'ingresso i due contributi di rumore, si nota come il rumore del moltiplicatore impatti in misura minore tanto più è elevato il guadagno ideale dello stadio; anche per questa ragione è preferibile dimensionare la capacità di feedback di valore più basso possibile. In ogni caso, la comodità di disporre di uscite in continua con le componenti impedenziali separate risulta limitata dal rumore flicker del moltiplicatore, che si confronta direttamente con tali segnali.

## Capitolo 2.4 – Propagazione dell'offset

Per progettare in modo corretto alcuni blocchi (rete di gestione della corrente continua, amplificatore chopperato, moltiplicatore analogico...) è necessario ora svolgere alcune

considerazioni riguardo all'impatto sul funzionamento del circuito dell'offset (visto come segnale differenziale, introdotto in continua da ogni stadio) dovuto all'inevitabile mismatch dei componenti. Per le riflessioni su questo problema ci si riferisca alla figura 2.16 seguente:

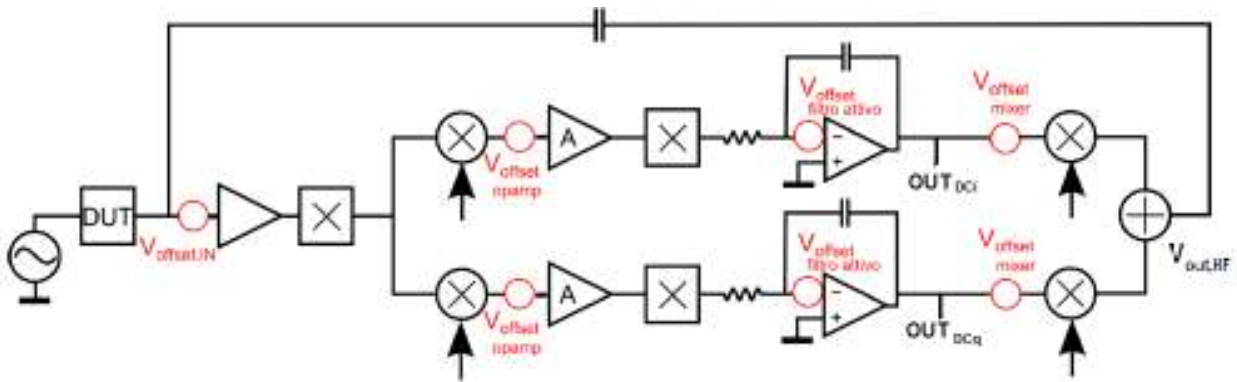


Figura 2.16: Indicazione dei vari contributi di offset differenziale presenti nel cammino di andata

Si ponga anzitutto l'attenzione agli offset del filtro passa basso attivo e del moltiplicatore finale: essi sono presenti in continua, esattamente alla stessa frequenza alla quale si trova in quel punto dell'anello il segnale utile. Facendo uso di questa considerazione, è possibile vedere l'offset di tali stadi riportato all'ingresso come un contributo alla frequenza di misura (in quanto si ha l'azione di modulazione del moltiplicatore analogico finale), e siccome alla  $f_0$  si ha un elevato guadagno d'anello, l'effetto della retroazione è quello di abbattere il contributo dell'offset di una quantità proporzionale al guadagno d'anello stesso: pertanto, la variazione che si ha sull'uscita dovuta a questi offset risulta trascurabile. Va notato però come l'offset del moltiplicatore finale si confronti direttamente con le uscite in DC.

Un altro contributo di offset trascurabile è quello dell'amplificatore chopper: in questo caso, il segnale utile si trova all'ingresso dell'amplificatore alla frequenza di chopper di 70 kHz, mentre l'offset è in continua: pertanto, i due segnali sono slegati in frequenza, e l'abbattimento non è dovuto al guadagno dell'anello ma al fatto che, mentre il segnale amplificato viene riportato in banda base dalla seconda moltiplicazione ad onda quadra e nuovamente amplificato dal passa basso attivo, l'offset viene modulato alla frequenza di chopper, alla quale il successivo filtro già attenua pesantemente, avendo una frequenza di attraversamento dell'asse a 0 dB di 100 Hz. Pertanto, il contributo in uscita risulta trascurabile, a patto che il valore dell'offset all'ingresso dell'amplificatore chopperato non sia tale da portarlo in regime di saturazione delle uscite.

Lo stesso discorso può essere fatto per quanto riguarda l'offset del moltiplicatore analogico iniziale, a condizione che la frequenza di riferimento e la frequenza di chopper siano sufficientemente distanti tra di loro: se così non fosse ( $f_0 \approx f_{ch}$ ), dopo due modulazioni successive a

frequenze circa  $f_0$ , tale offset potrebbe avere delle componenti non trascurabili in continua, proprio all'ingresso del passa basso attivo. In ogni caso, a causa dell'elevato valore di offset presente nel moltiplicatore (anche 20 mV nel caso pessimo) è stato introdotto un semplice sistema per poter rendere trascurabile il suo contributo, che sarà presentato successivamente (capitolo 5.1), per evitare la saturazione del moltiplicatore stesso o dell'amplificatore chopperato.

In definitiva dunque, il contributo di offset più subdolo e pernicioso è quello che si introduce a valle del primo stadio di preamplificazione. Un primo effetto di questo offset è un limite al guadagno dell'amplificatore chopperato. Teoricamente, si vorrebbe il guadagno di questo stadio il più alto possibile, per contribuire ad aumentare il  $G_{loop}$  alla frequenza di misura e per abbattere efficacemente il rumore degli stadi successivi. Da considerazioni sulla banda, si era ricavato un guadagno massimo ottenibile per questo stadio pari a 1700, come verrà mostrato nel paragrafo 2.6. Ma un tale guadagno risulta troppo elevato per quanto riguarda i limiti di offset. Un offset in continua a valle del preamplificatore di 1 mV verrebbe modulato due volte in frequenza da moltiplicatore ad onda quadra e moltiplicatore analogico: il segnale risultante avrebbe ancora valore di picco dell'ordine delle centinaia di  $\mu\text{V}$  e presenterebbe delle componenti alle frequenze  $f_0 \pm f_{ch}$  alle quali, a seconda del valore assunto da  $f_0$ , l'amplificatore chopperato potrebbe ancora presentare il massimo del guadagno, facendo così saturare le uscite. Un offset di molto inferiore al millivolt in quel punto è difficilmente raggiungibile, pertanto si è reso necessario cambiare il dimensionamento dell'amplificatore chopperato fissando il suo guadagno a 100, in modo tale da mantenere un buon compromesso tra abbattimento del rumore degli stadi successivi e accettabile amplificazione dell'offset. Ciò consente inoltre di aumentare la banda dell'amplificatore in questione all'incirca di un fattore 20, il che è ulteriormente benefico per quanto riguarda l'offset, come verrà illustrato tra poco.

Le due operazioni di moltiplicazione in frequenza a  $f_{ch}$  teoricamente non dovrebbero portare a nessuna modifica nel comportamento dell'offset poiché complementari l'una all'altra: un offset in continua quindi è modulato attorno a  $f_{ch}$ , e poi a  $f_0 \pm f_{ch}$  dal primo moltiplicatore analogico. Verrebbe poi amplificato e riportato a frequenza  $f_0$ , dove il passa basso attivo potrebbe agevolmente eliminarlo. Nel caso di  $f_0$  multiple di  $f_{ch}$  si avrebbero dei battimenti in continua che idealmente si sommerebbero con segni tali da rendere nulle queste componenti, in accordo con il fatto che, al netto, le due moltiplicazioni ad interruptori non dovrebbero mutare il contenuto spettrale del segnale. Va considerata però la presenza dell'amplificatore chopperato, che introduce uno sfasamento non trascurabile sul segnale: tale sfasamento è sufficiente a rendere non nullo il contributo di alcuni battimenti in continua dovuti all'ultima moltiplicazione. Questa tensione in continua all'ingresso del filtro passa basso attivo viene amplificata e produce dunque a valle della moltiplicazione alla

frequenza di misura una variazione della tensione di uscita, anche considerevole: chiarito questo, perlomeno in modo intuitivo, è utile ora distinguere i comportamenti diversi che si presentano in funzione dei valori di frequenza di indagine del DUT e di frequenza di chopper.

Frequenza di misura non multipla della frequenza di chopper

Questo è il caso più semplice di tutti, poiché ricade in una tipologia già vista: si supponga ad esempio, per chiarezza, di avere una  $f_{ch}$  pari a 70 kHz e una frequenza di misura pari a 100 kHz. Seguendo il percorso delle varie moltiplicazioni in frequenza (considerando per semplicità solo le prime due armoniche dell'onda quadra a 70 kHz e 210 kHz), ci si accorge di come non si crei alcuna componente in continua all'ingresso del filtro passa basso attivo: pertanto, tutte le armoniche che si formano vengono eliminate e non hanno modo di impattare sull'uscita (figura 2.17).

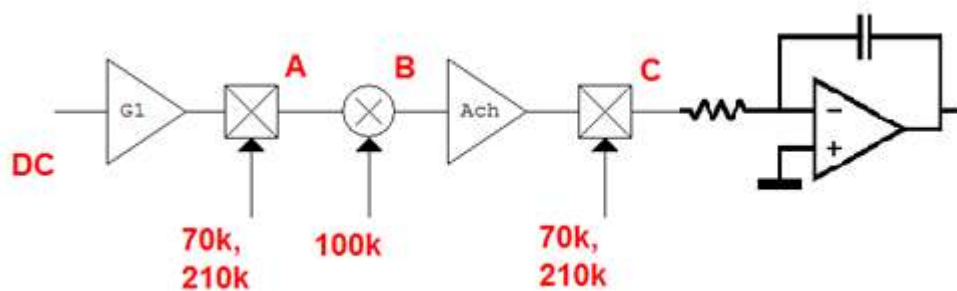


Figura 2.17: Componenti armoniche generate a partire dall'offset in continua nel caso di frequenza di misura non multipla della frequenza del chopper

Si ricostruisca il percorso delle varie moltiplicazioni:

- Punto A: l'offset viene moltiplicato per l'onda quadra dando luogo ad un'onda quadra con fondamentale pari a 70kHz;
- Punto B: questa onda quadra, moltiplicata per la  $f_0$ , produce armoniche a frequenze somma e differenza, per cui si ottengono armoniche a 170kHz, 30kHz, 110kHz e 310 kHz;
- Punto C: rimodulazione attorno alla frequenza  $f_{ch}$ : si ottengono armoniche a 100kHz, 240kHz, 40kHz, 180kHz eccetera: come si può notare, nessuna di queste ha un battimento in continua e pertanto sono filtrate dallo stadio integratore.

Frequenza di misura multipla dispari della frequenza di chopper

In questa situazione intermedia è già possibile vedere un effetto dell'offset direttamente all'uscita, che è conseguenza sia della banda finita dell'amplificatore chopperato sia delle non idealità nel segnale di chopper. Per semplicità di calcoli, si supponga una  $f_{ch}$  pari a 100 kHz e una  $f_0$  di 300 kHz e si faccia riferimento alla figura 2.18:

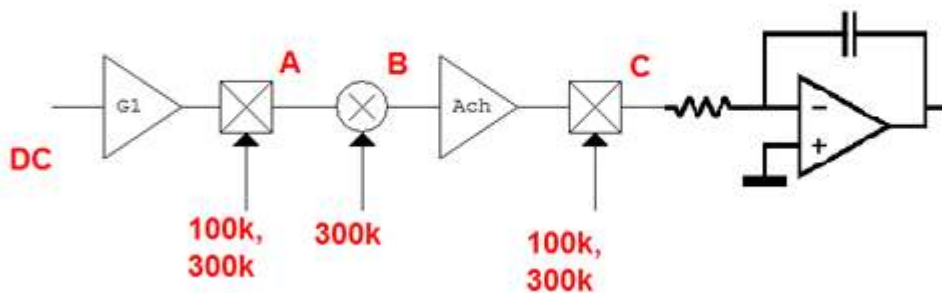


Figura 2.18: Componenti armoniche generate a partire dall'offset in continua nel caso di frequenza di misura multipla dispari della frequenza del chopper

Al punto A si ha la consueta onda quadra con fondamentale pari a  $f_{ch}$ : la successiva modulazione porta ad avere all'uscita del moltiplicatore delle armoniche pari a 200 kHz, 400 kHz e 600 kHz.. Queste componenti vengono amplificate e sfasate dalla presenza dell'amplificatore. L'ultima modulazione a  $f_{ch}$  dovrebbe condurre ad avere nuovamente solo armoniche dispari, eliminate dal passa basso. In realtà, come si vedrà nel successivo paragrafo, l'onda quadra del chopper non può avere un duty cycle perfettamente pari al 50%, per evitare che le due fasi nel moltiplicatore ad interruttori siano contemporaneamente accese. Come è noto, un'onda quadra con duty cycle diverso dal 50% presenta oltre alle armoniche dispari anche delle armoniche pari, di valore relativo piccolo rispetto alle dispari se il duty cycle si discosta poco dal 50%. Sono queste armoniche a causare un battimento in continua all'ingresso del passa basso, che produce a sua volta una variazione sulla tensione di uscita alla frequenza  $f_0$ . Questi battimenti in continua, nascendo da un effetto del secondo ordine, hanno comunque un valore limitato e quindi anche il loro contributo al valore di picco della sinusoide di uscita (una volta rimoltiplicati a  $f_0$ ) risulta contenuto, come si nota dalla simulazione in figura 2.19, effettuata per diversi valori di offset introdotto (fino al millivolt), per segnale in ingresso nullo e con duty cycle del 49%. Questo risulta vero se si ha l'accortezza di mantenere il duty cycle il più vicino possibile al 50% in modo da minimizzare l'ampiezza delle armoniche di ordine pari e



quindi anche dei battimenti in continua. L'offset in queste simulazioni nasce da una corrente in continua iniettata nel nodo di terra virtuale e gestita da una rete complementare apposita (vedere capitolo 3).

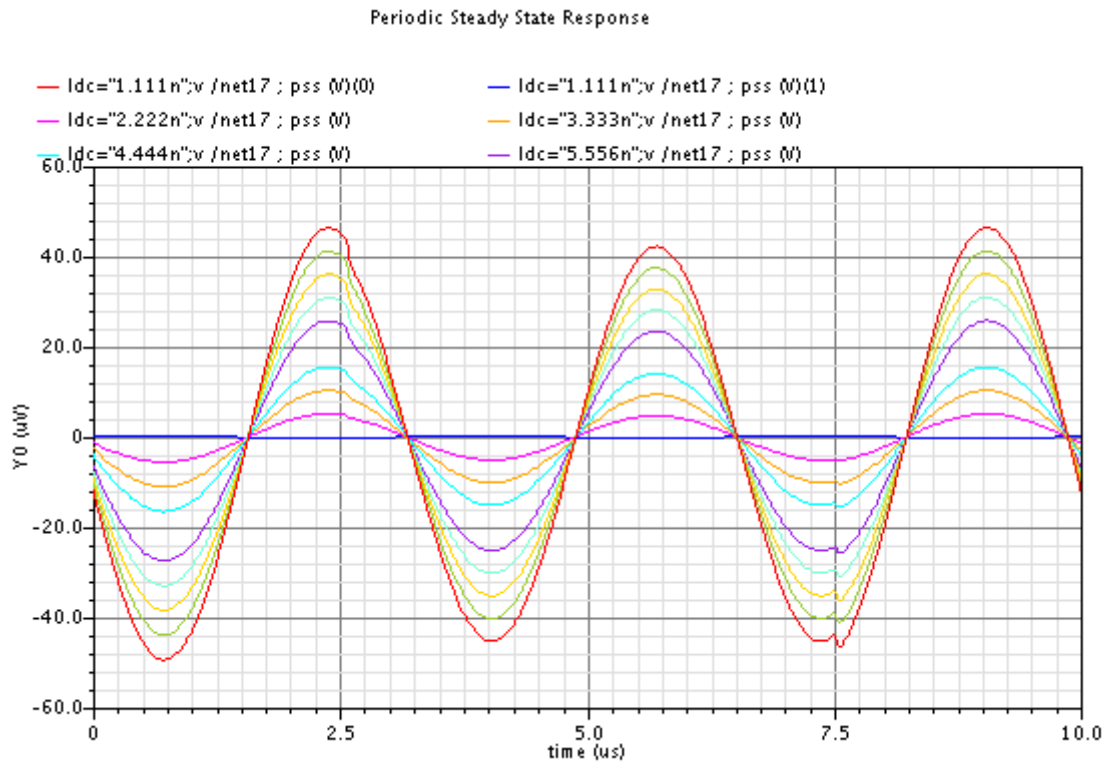


Figura 2.19: Sinusoidi di uscita alla frequenza di misura generate a partire dall'offset nel caso di ingresso nullo e frequenza di misura multipla dispari di quella di chopper. Si noti il valore limitato di ampiezza anche con valori di offset significativi (massimo 1 mV)

### Frequenza di misura multipla pari della frequenza di chopper

Questa situazione è la più dannosa, in quanto non nasce da effetti del second'ordine ma porta ad avere un effetto considerevole sull'uscita anche con onda quadra del chopper avente Duty Cycle perfettamente pari a 0,5. Come si può intuire dalla figura 2.20, avere una  $f_0$  multipla pari della  $f_{ch}$  è una situazione particolare nella quale le varie modulazioni in frequenza cambiano il valore in ampiezza delle armoniche, ma la disposizione spettrale dei vari segnali resta invariata.

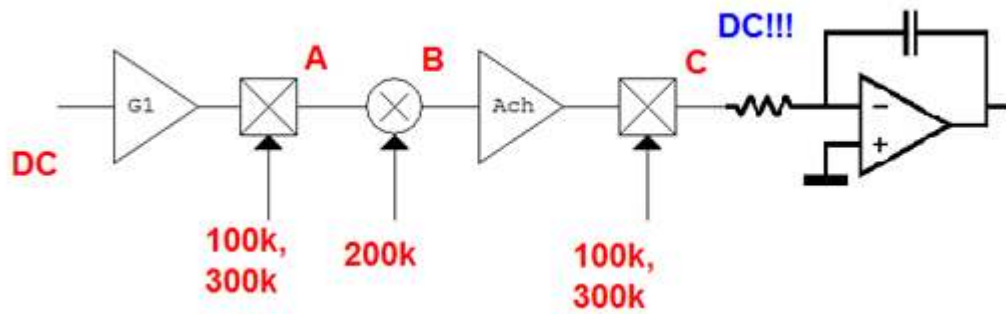


Figura 2.20: Componenti armoniche generate a partire dall'offset in continua nel caso di frequenza di misura multipla pari della frequenza del chopper

Così, al punto B si hanno ancora delle armoniche dispari rispetto alla frequenza del chopper, che modulate poi dall'ultimo moltiplicatore ad onda quadra causano una tensione in continua a monte del passa basso attivo, cioè un disturbo che non può essere filtrato. I battimenti in continua sarebbero tutti nulli se l'amplificatore chopperato avesse banda infinita, in quanto le due moltiplicazioni ad onda quadra ideali, al netto, non impatterebbero sul contenuto spettrale del segnale. La presenza degli sfasamenti dovuti all'amplificatore a banda finita fa sì che questo non sia più vero.

Nei prossimi passaggi si ricaverà l'espressione della tensione in continua presente su uno dei rami all'ingresso del passo basso attivo: si consideri nella seguente analisi  $f_0 = m f_{ch}$  e si consideri altresì un amplificatore con funzione di trasferimento a scatola, con banda estesa fino a  $f = n f_{ch}$ , con  $n > m$ .  $T$  è il periodo alto dell'onda quadra del chopper.

Seguendo il percorso del segnale, bisogna anzitutto moltiplicare l'offset in continua introdotto a valle del differenziale ad alta banda per l'onda quadra del chopper: ciò che si ottiene è ovviamente ancora un'onda quadra. Nell'espressione della serie di Fourier si consideri il caso presente nel circuito, cioè di onda con valor medio nullo ma duty cycle che può variare leggermente dalla situazione di  $\frac{T}{T_{ch}} = 0,5$ . Il segnale  $w(t)$  che si ottiene ha espressione:

$$w(t) = V_{OS} \left\{ \frac{2T}{T_{ch}} \left[ \sum_{i=-\infty}^{+\infty} \text{sinc} \left( i \frac{T}{T_{ch}} \right) \cos(2\pi i f_{ch} t) \right] - 1 \right\}$$

Questo segnale deve poi passare attraverso il moltiplicatore analogico ed essere quindi moltiplicato per un segnale sinusoidale a  $f_0 = m \cdot f_{ch}$ : si consideri di moltiplicare  $w(t)$  per il segnale di tipo coseno.

$$w(t) \cdot \cos(2\pi m f_{ch} t) = 2TV_{OS} f_{ch} \left[ \sum_{i=-\infty}^{+\infty} \text{sinc}(iT f_{ch}) \cos(2\pi i f_{ch} t) \cos(2\pi m f_{ch} t) \right] - V_{OS} \cos(2\pi m f_{ch} t)$$

$$= TV_{OSf_{ch}} \sum_{i=-\infty}^{+\infty} \text{sinc}(iTf_{ch}) [\cos(2\pi f_{ch}(i+m)t) + \cos(2\pi f_{ch}(i-m)t)] - V_{OS} \cos(2\pi m f_{ch} t)$$

A questo punto, quest'onda si trova all'ingresso dell'amplificatore chopperato: all'uscita essa viene amplificata e limitata in frequenza (come detto, si consideri una funzione di trasferimento dell'amplificatore a scatola per poter semplificare i calcoli).

$$V_{out, filtro} = TV_{OSf_{ch}} G_{ch} \left\{ \sum_{|i+m| < n} \text{sinc}(iTf_{ch}) \cos(2\pi f_{ch}(i+m)t) + \sum_{|i-m| < n} \text{sinc}(iTf_{ch}) \cos(2\pi f_{ch}(i-m)t) \right\} - V_{OS} G_{ch} \cos(2\pi m f_{ch} t)$$

È necessario ora ricavare la tensione in continua presente a monte dell'integratore: tale tensione, infatti, è l'unica componente del segnale che produce un effetto a valle del filtro passa basso attivo, in quanto la banda stretta di tale filtro abbatte pesantemente tutti gli altri contributi in frequenza. Per pervenire al risultato voluto è ancora necessario moltiplicare il segnale  $V_{out, filtro}$  per l'onda quadra del chopper, e valutare in continua.

$$V_{dc} = -2TV_{OSf_{ch}} G_{ch} \text{sinc}(Tf_{ch} m) + 2Tf_{ch} \left( \sum_{j=-\infty}^{+\infty} \text{sinc}(Tf_{ch} j) \cos(2\pi f_{ch} j t) \right) \cdot TV_{OSf_{ch}} G_{ch} \left\{ \sum_{|i+m| < n} \text{sinc}(iTf_{ch}) \cos(2\pi f_{ch}(i+m)t) + \sum_{|i-m| < n} \text{sinc}(iTf_{ch}) \cos(2\pi f_{ch}(i-m)t) \right\}.$$

Se si pone  $i+m=k$  nella prima sommatoria e  $i-m=k$  nella seconda sommatoria, ci si accorge che l'unico valore per il quale si ha componente continua è  $j=k$ , in quanto si ha battimento di due segnali cosinusoidali con stesso argomento: ciò permette di scrivere finalmente l'espressione finale della tensione continua cercata.

$$V_{DC} = V_{OS} G_{ch} \left\{ -2f_{ch} T \text{sinc}(Tm f_{ch}) + 2T^2 f_{ch}^2 \sum_{|k| \leq n} \text{sinc}(Tk f_{ch}) [\text{sinc}(Tf_{ch}(m-k)) + \text{sinc}(Tf_{ch} m + k)] \right\}$$

Si può dimostrare inoltre come la formula generale, una volta fissato  $m$  (in questo caso, con  $m=2$ ), si possa riscrivere in modo compatto come  $V_{DC} = V_{OS} G_{ch} \frac{4}{\pi^2} \left[ 1 - 2 \sum_{j=0}^n \frac{1}{(2j+1)(2j+3)} \right]$ .

Si ricordi che  $n \cdot f_{ch}$  rappresenta la banda dell'amplificatore chopperato: il termine tra parentesi quadre ha un valore unitario se  $n=0$  e diminuisce sempre più aumentando  $n$ , fino a convergere al valore nullo, il che vuol dire che il contributo alla tensione in continua a valle dell'amplificatore sarebbe nullo con banda dell'amplificatore stesso infinita.

Riprendendo invece l'espressione generale di  $V_{DC}$  e ponendosi nel caso particolare di frequenze di misura multiple dispari di  $f_0$  e con  $T/T_{ch}=0,5$ , si ricava una  $V_{DC}$  pari a zero, come già si era intuito:

$$V_{DC} = V_{os}G_{ch} \cdot \frac{1}{2} \left\{ -2sinc\left(\frac{m}{2}\right) + \sum_{|k| \leq n} sinc\left(\frac{k}{2}\right) \left[ sinc\left(\frac{m-k}{2}\right) + sinc\left(\frac{m+k}{2}\right) \right] \right\}$$

$$= V_{os}G_{ch} \cdot \frac{1}{2} \left\{ -2sinc\left(\frac{m}{2}\right) + sinc\left(\frac{m}{2}\right) + sinc\left(\frac{m}{2}\right) \right\} = 0$$

L'ultimo passaggio si giustifica notando che se  $k$  è pari il seno cardinale in  $k/2$  è nullo quindi non si hanno contributi alla sommatoria, se non per  $k=0$ : se  $k$  è dispari e  $m$  dispari, i due seni cardinali tra parentesi restituiscono valori uguali ed opposti e quindi anche in questo caso non danno contributo alla sommatoria.

Nel caso più sfavorevole la tensione DC, e quindi anche la tensione in uscita prodotta a partire dall'offset stesso, è proporzionale al valore di offset introdotto e al guadagno dell'amplificatore chopperato, che vanno dunque minimizzati. Nel dimensionamento dell'amplificatore, si è ottenuto un guadagno pari a 100 con una banda di circa 17 MHz.

In figura 2.21 sono presentati i risultati di una simulazione parametrica della tensione di uscita dovuta a vari valori di offset (fino al millivolt, con segnale di ingresso nullo) nel caso di frequenza di misura doppia rispetto alla frequenza del chopper.

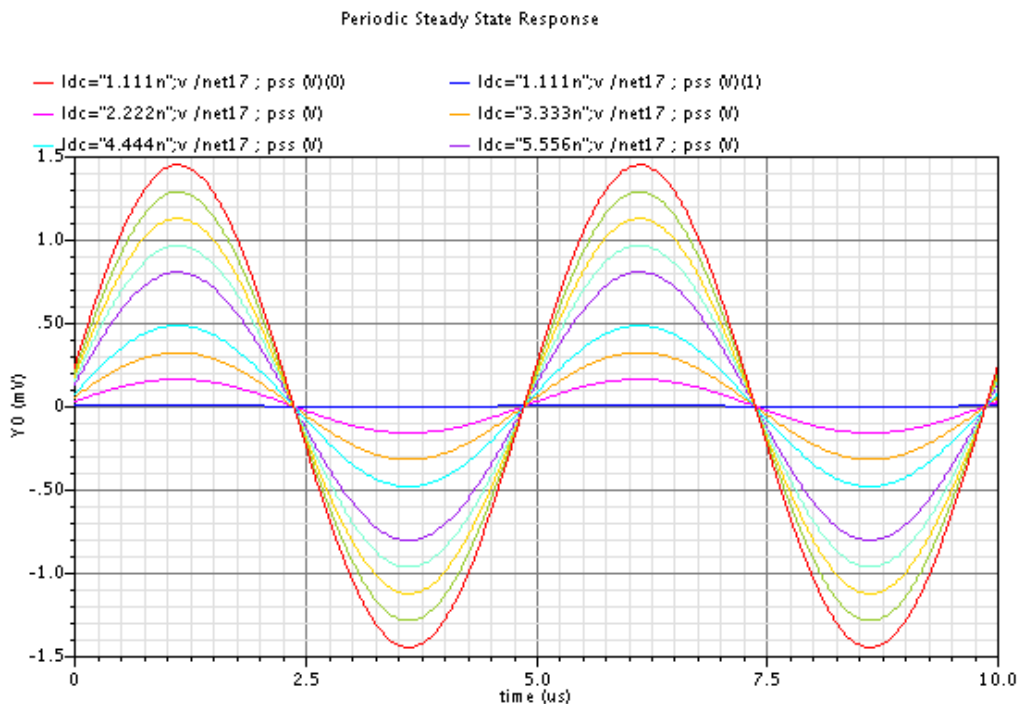


Figura 2.21: Sinusoidi di uscita alla frequenza di misura generate a partire dall'offset nel caso di ingresso nullo e frequenza di misura multipla pari di quella di chopper. Si noti il valore elevato raggiunto dall'ampiezza di tali sinusoidi

Si può notare come l'effetto di un offset in queste particolari condizioni produca una tensione non trascurabile all'uscita complessiva del sistema. Si noti inoltre come la tensione cresca proporzionalmente rispetto all'offset introdotto, compatibilmente con l'espressione appena ricavata. Con un offset introdotto di 1 mV la tensione in uscita ha un valore di picco pari a circa 1,5 mV: se si suppone di avere un DUT puramente capacitivo all'ingresso del sistema, stimolato con una  $V_{DUT} = 1$  V, la misura di tale capacità incognita verrebbe inficiata da questo contributo dovuto all'offset (che si sommerebbe al segnale voluto, dovuto alla corrente prodotta dal DUT), con un errore equivalente massimo  $\Delta C_{DUT}$  dato da:

$$v_{out,OFFSET} = V_{DUT} \frac{\Delta C_{DUT}}{C_f}$$

Da cui:

$$\Delta C_{DUT} = \frac{v_{out,OFFSET} C_f}{V_{DUT}} = \frac{1,5 \text{ mV} \cdot 100 \text{ fF}}{1 \text{ V}} \approx 150 \text{ aF}.$$

Questo valore di tolleranza sulla misura potrebbe risultare accettabile in molte applicazioni: tuttavia, come visto, la soluzione più comoda ed indolore del problema in esame è quella di evitare di lavorare con frequenze di misura multiple pari di quella del chopper, per eliminare quasi completamente il contributo all'uscita dell'offset e mantenere dunque intatte le prestazioni di sensibilità del circuito. Ciò non costituisce alcun tipo di problema; le onde quadre sono fornite con un generatore esterno al chip e variarne leggermente il valore di frequenza è un'operazione semplice da effettuare. È possibile ad esempio aumentare leggermente il valore di  $f_{ch}$ , in quanto l'amplificatore chopperato ha comunque banda sufficientemente estesa per gestire un aumento nella frequenza del chopper anche fino a frequenze nell'ordine dei MHz (la banda dell'amplificatore chopperato è pari infatti a 17 MHz.). Una diminuzione della  $f_{ch}$  invece non è conveniente, poiché si rischia di andare a lavorare in zone dove vi è flicker noise rilevante, compromettendo il buon esito dell'operazione di chopping.

### **Capitolo 2.5 – Non idealità dei segnali di riferimento**

A titolo di completezza riguardo alle caratteristiche del circuito, si riportano in questo paragrafo i risultati principali delle analisi effettuate nei lavori [10] e [15], riguardanti l'impatto sul sistema delle non idealità dei segnali di riferimento seno /coseno.

Innanzitutto, si consideri il caso in cui i segnali di riferimento siano in quadratura, ma la loro pulsazione  $\omega_m$  risulti essere diversa da quella del segnale in ingresso al cammino di andata  $V_{in}(t) =$

$A_{in} \text{sen}(\omega_{in} t + \varphi_{in})$ , di una piccola quantità  $\Delta\omega = \omega_{in} - \omega_m$ . Si considerino, per semplicità di calcoli, filtri lungo il cammino di andata con guadagno unitario e frequenza di taglio minore di  $\omega_m$  ma maggiore di  $\Delta\omega$ , in modo da eliminare la componente somma della moltiplicazione, e si consideri altresì, ad esempio, che si stia moltiplicando per il riferimento di tipo seno. In tal modo si ottiene che il segnale prima della upconversion ha espressione:

$$V_I = \frac{A_{in} k_I}{2} \cos((\omega_{in} - \omega_m)t + \varphi_{in})$$

Dove  $k_I$  è l'ampiezza dei segnali di riferimento. Il contributo della parte in fase al segnale di uscita sarà dato dalla rimoltiplicazione per il seno a  $\omega_m$ :

$$V_{OUT,I} = V_I k_I \text{sen}(\omega_m t) = \frac{A_{in} k_I^2}{4} [\text{sen}((2\omega_m - \omega_{in})t - \varphi_{in}) + \text{sen}(\omega_{in} t + \varphi_{in})]$$

Analogo è il conto per il ramo in quadratura, che conduce ad avere:

$$V_{OUT,Q} = \frac{A_{in} k_Q^2}{4} [\text{sen}((-2\omega_m + \omega_{in})t + \varphi_{in}) + \text{sen}(\omega_{in} t + \varphi_{in})]$$

Quindi, all'uscita del sistema si ha la presenza di una componente sinusoidale alla pulsazione  $(2\omega_m - \omega_{in})$  che non è presente nel caso di modulazione / demodulazione con  $\omega_m = \omega_{in}$ :

$$V_{OUT} = \frac{A_{in} k_I^2}{4} \left[ \left( 1 + \frac{k_Q^2}{k_I^2} \right) \text{sen}(\omega_{in} t + \varphi_{in}) + \left( 1 - \frac{k_Q^2}{k_I^2} \right) \text{sen}((2\omega_m - \omega_{in})t - \varphi_{in}) \right]$$

Se le ampiezze dei segnali di riferimento dei moltiplicatori sono uguali, la componente aggiuntiva ha valore nullo: nel caso ciò non accada, invece, è presente all'uscita ed ha modo di auto sostenersi lungo l'anello in quanto ragionevolmente all'interno della banda retroazionata, ma ciò comunque non costituisce un problema, poiché questa non linearità è facilmente eliminabile usando lo stesso generatore per i riferimenti e per il segnale di stimolo al DUT. Resta solamente un errore sull'ampiezza del segnale, che come si vedrà in seguito viene abbattuto dal guadagno dell'anello. Le altre non linearità possibili sono riportate in figura 2.22, e riguardano mismatch di guadagno tra i due percorsi ( $A_1 \neq A_2$ ), errore di fase tra i riferimenti della modulazione e quelli della demodulazione ( $\theta_{CM}$ ), e infine una non perfetta quadratura tra i riferimenti, quantificata dalla differenza di fase  $\varphi_d$  rispetto ai  $90^\circ$ .

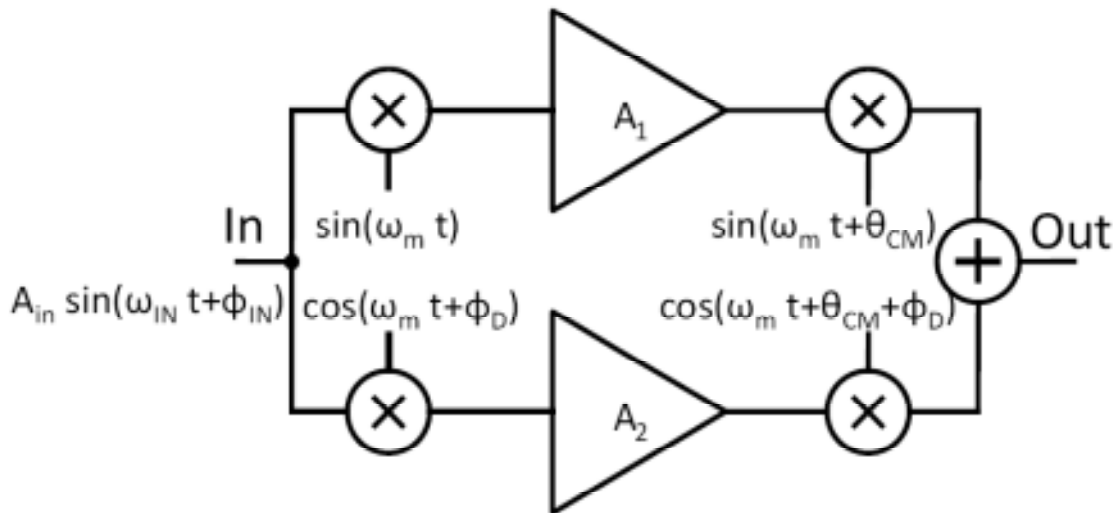


Figura 2.22: non idealità considerate nel percorso di amplificazione: differente guadagno dei due percorsi ( $A_1$  e  $A_2$ ), fase di demodulazione diversa da quella di modulazione ( $\theta_{CM}$ ), differenza di fase tra i due percorsi diversa da  $90^\circ$  ( $\varphi_d$ ).

Sempre considerando  $\omega_m \neq \omega_{in}$  si può dimostrare [15] che con ingresso pari a  $V_{in}(t) = A_{in} \sin(\omega_{in} t + \varphi_{in})$ , si ricava una  $V_{out}(t) = A_{in} k_1 \sin(\omega_{in} t + \varphi_{in} + \theta_1) + A_{in} k_2 \sin((2\omega_m - \omega_{in} t - \varphi_{in} + \theta_2)$ , dove  $k_1 = A_1 + A_2$ ,  $\theta_1 = \theta_{CM}$ ,  $p = A_1 - A_2 \cos 2\varphi_d - i A_2 \sin 2\varphi_d$ ,  $k_2 = p$ ,  $\theta_2 = \theta_{CM} + \text{fase}(p)$ .

È importante notare che con ingresso a  $\omega_{in}$  si ha uscita a  $\omega_{in}$  e a  $(2\omega_m - \omega_{in})$ , ed accade la stessa cosa con ingresso a  $(2\omega_m - \omega_{in})$ , perciò quando si chiude un loop di retroazione attorno all'amplificatore per calcolare la tensione di uscita a regime è sufficiente bilanciare ingresso / uscita dell'amplificatore stesso a queste due frequenze. Inoltre, siccome ci si aspetta di avere non idealità piccole, è possibile andarle a considerare separatamente. Ad esempio, considerando solo la presenza di  $\theta_{CM}$ , l'equazione appena scritta conduce ad avere semplicemente  $V_{out}(t) = A_{in} k_1 \sin(\omega_{in} t + \varphi_{in} + \theta_{CM})$ , il che non comporta alcun problema di non linearità ma va tenuto in conto per garantire la stabilità complessiva del sistema.

Più complicato risulta studiare il caso di non perfetto matching tra i guadagni dei due percorsi: l'idea di base è quella di tenerne conto quando si ha un segnale a pulsazione  $\omega_{in}$  all'ingresso del sistema, come in figura 2.23:

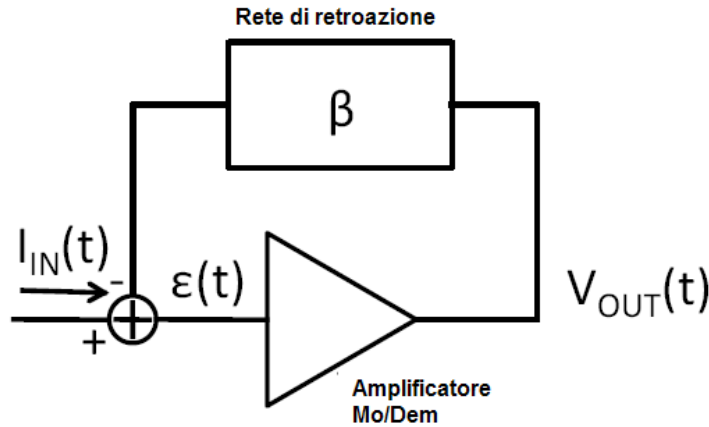


Figura 2.23: Struttura semplificata del sistema retroazionato

In questo caso, ci si aspetta che il segnale errore a regime abbia componenti solamente a  $\omega_{in}$  e a  $(2\omega_m - \omega_{in})$ :  $\epsilon(t) = m \cdot \text{sen}(\omega_{in}t + \varphi_m) + n \cdot \text{sen}((2\omega_m - \omega_{in})t + \varphi_n)$ . In accordo con l'equazione generale di  $V_{OUT}$ , applicata a questo segnale errore e considerando  $\theta_1 = \theta_2 = 0$ , si ottiene:

$$V_{out}(t) = mk_1 \text{sen}(\omega_{in}t + \varphi_{in}) + mk_2 \text{sen}((2\omega_m - \omega_{in})t - \varphi_{in}) + nk_2 \text{sen}(\omega_{in}t + \varphi_{in}) + nk_1 \text{sen}((2\omega_m - \omega_{in})t - \varphi_{in})$$

Dal momento che la rete di retroazione può essere considerata lineare, le due componenti non si influenzano a vicenda e possono essere considerate separatamente: si può dunque scrivere l'equazione di regime al nodo di terra virtuale.

$$A_{in} \text{sen}(\omega_{in}t + \varphi_{in}) - \beta V_{out} = m \cdot \text{sen}(\omega_{in}t + \varphi_m) + n \cdot \text{sen}((2\omega_m - \omega_{in})t + \varphi_n)$$

Combinando queste ultime due equazioni e separando le componenti in frequenza, è possibile ricavare i parametri di modulo e di fase che compongono il segnale errore, ed inserendo tali parametri nella relazione di  $V_{OUT}$  (considerando anche  $A_2 = \gamma A_1$  e  $\omega_{in} = \omega_m = \omega$ ) si ottiene finalmente:

$$V_{out} = A_{in} \frac{A_1 [(1 + \gamma + A_1 \beta \gamma) \text{sen}(\omega t + \varphi_{in}) + (1 - \gamma) \text{sen}(\omega t - \varphi_{in})]}{4 + 2A_1 \beta (1 + \gamma) + (A_1 \beta)^2 \gamma}$$

Il primo termine tra parentesi quadre approssima  $\frac{1}{\beta}$  se  $A_1 \beta \gg 1$ , mentre il secondo termine è un errore dipendente dalla fase di ingresso. Come di consueto, il meccanismo della retroazione tende ad annullare l'effetto di termini non voluti e l'errore relativo massimo nell'ampiezza di uscita dovuto a mismatch nei percorsi di amplificazione vale:

$$\epsilon_{guadagno} = \frac{1 - \gamma}{1 + \gamma + A_1 \beta \gamma}$$



Tale errore può essere reso trascurabile con elevato guadagno d'anello. Assumendo un guadagno d'anello nominale di  $10^6$  e un errore relativo massimo più piccolo di  $10^{-5}$ , si ricava che il mismatch tra i due guadagni che si può tollerare è attorno al 10%.

Un approccio simile può essere utilizzato anche per analizzare il caso in cui i riferimenti dei percorsi in fase ed in quadratura non siano sfasati esattamente di  $90^\circ$ , assumendo in questo caso  $A_1=A_2$  e  $\theta_{CM}=0$ . Imponendo il bilancio delle componenti a  $\omega_{in}$  e a  $2\omega_m - \omega_{in}$  è possibile calcolare la tensione di uscita a regime quando la pulsazione di ingresso è pari alle pulsazioni dei riferimenti, ottenendo:

$$V_{out} = A_{in} \frac{A_1[(2 + \cos^2(\varphi_d)A_1\beta)\text{sen}(\omega t + \varphi_{in}) + 2\text{sen}(\varphi_d)\cos(\omega t - \varphi_{in} - \varphi_d)]}{4 + 4A_1\beta + [A_1\beta\cos(\varphi_d)]^2}$$

Anche in questo caso è possibile calcolare la massima variazione relativa dal guadagno ideale:

$$\epsilon_{fase} = \frac{2\text{sen}(\varphi_d)}{2 + \cos^2(\varphi_d)A_1\beta}$$

L'errore in questione può essere ridotto aumentando il guadagno d'anello: con i valori utilizzati nel calcolo del massimo errore dovuto a differenze sui guadagni dei due percorsi, si ricava un mismatch massimo di fase tollerabile tra i cammini in fase ed in quadratura di circa  $\pm 3^\circ$ .

## Capitolo 2.6 – Descrizione dei singoli blocchi del circuito

Il percorso di andata del circuito integrato consiste nei diversi stadi di amplificazione differenziale e dai blocchi che realizzano le traslazioni in frequenza, necessarie per garantire elevato  $G_{loop}$  solo alla frequenza di misura. Nella presente sezione sono riportati gli schemi dei vari blocchi, con la descrizione sintetica del funzionamento e delle principali scelte progettuali delle quali si è tenuto conto durante la realizzazione in tecnologia CMOS con dimensione litografica minima di 0,35 micron. Gran parte dei blocchi presentati sono stati progettati e dimensionati nei lavori di tesi [10] e [11], mentre in questo elaborato ci si è occupati principalmente del progetto della rete di gestione della corrente continua (capitolo 3) e del ridimensionamento e modifiche ad alcuni blocchi (in particolare, amplificatore chopperato e moltiplicatore analogico finale) a seguito di studi già presentati precedentemente su offset del sistema e guadagno d'anello, oltre che delle simulazioni sul sistema complessivo e del layout integrato del circuito.

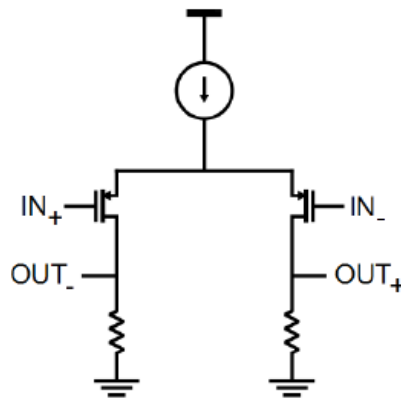
Stadio di ingresso

Figura 2.24: Differenziale di ingresso ad alta banda

Il segnale proveniente dal DUT viene mandato allo stadio di preamplificazione (figura 2.24), che ha il compito di disaccoppiare il campione da analizzare dai blocchi del guadagno di andata, in particolar modo dagli spike di tensione dovuti alle iniezioni di carica che avvengono durante le commutazioni nei moltiplicatori ad onda quadra; inoltre tale stadio si occupa della conversione tra single – ended e differenziale, considerato che il resto del blocco di andata opera differenzialmente. I requisiti che lo stadio deve garantire sono: elevata banda (deve infatti amplificare segnali fino ad almeno 100 MHz), basso offset e basso rumore (poiché sia l’offset sia il rumore di questo stadio si confrontano direttamente con l’ingresso).

Per garantire questi requisiti, è stata scelta una semplice struttura differenziale a carico passivo: l’utilizzo di un numero limitato di transistor permette di minimizzare l’offset e di ottenere banda elevata: il carico resistivo presenta rumore più basso rispetto ad un carico attivo. L’utilizzo di una coppia differenziale di transistori p – MOS permette di ottenere un rumore flicker inferiore rispetto ad una coppia di n – MOS, poiché la costante  $k_p$  del rumore  $1/f$  è intrinsecamente più bassa rispetto alla  $k_n$ .

Il guadagno e la banda che si ottengono in questa configurazione sono dati semplicemente da:

$$G = g_{m,in} R_{out} = \frac{2I}{V_{od}} \cdot R_{out} = \frac{2V_R}{V_{od}}, BW = \frac{1}{2\pi R_{out} C_{out}}$$

I transistori di ingresso sono stati dimensionati per essere molto conduttivi (scegliendo una corrente la più alta possibile compatibilmente con i limiti di dinamica), per abbattere il rumore e per massimizzare il guadagno a parità di resistenza di carico, la quale è stata scelta con un valore non

elevato per massimizzare la banda, a scapito del guadagno in continua. Il dimensionamento scelto è riportato nella seguente tabella (2.1):

$\left(\frac{W}{L}\right)_{IN}$	$R_{load}$	$I_{tail}$
500 $\mu$ m/0,5 $\mu$ m	500 $\Omega$	4 mA

Tabella 2.1: parametri salienti del differenziale ad alta banda di ingresso

Il guadagno in bassa frequenza ottenuto è pari a circa 17 dB (7), con il primo polo dovuto alla capacità parassita di drain a circa 440 MHz, senza considerare il carico offerto dal successivo moltiplicatore. Il guadagno limitato non costituisce un problema, in quanto lo stadio deve solo disaccoppiare il DUT dal resto del circuito e non deve contribuire in modo importante al guadagno d’anello.

Moltiplicatori ad interruptori

A valle del primo stadio vi è il moltiplicatore ad onda quadra che implementa l’operazione di separazione in frequenza tra segnale e rumore flicker. Il segnale, alla frequenza di indagine del DUT, è modulato alla frequenza di chopping, scelta di 70 kHz, frequenza maggiore della noise corner frequency degli stadi a valle. Il secondo moltiplicatore ad interruptori (necessario per riportare alla giusta frequenza il segnale) si trova appena dopo l’amplificatore chopperato, e prima del filtro passa basso, in quanto il rumore 1/f del filtro e del moltiplicatore analogico finale sono adeguatamente abbattuti dal guadagno dell’amplificatore chopperato. Ovviamente, l’operazione di chopping non deve introdurre un proprio rumore 1/f affinché questi discorsi siano validi, perciò sono stati utilizzati transistori in regime di funzionamento On – Off.

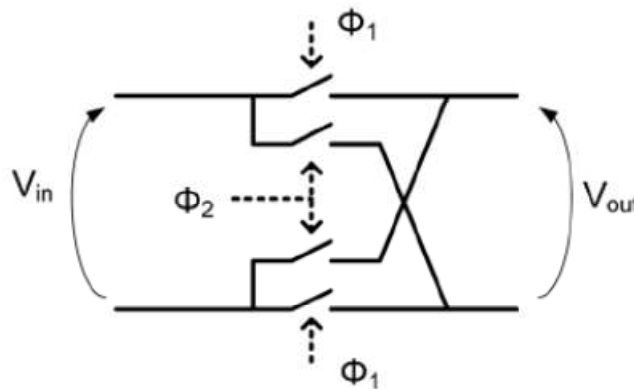


Figura 2.25: Schema di principio del moltiplicatore ad interruptori

Il circuito realizzato effettua la moltiplicazione del segnale di ingresso per un'onda quadra alla frequenza di chopping: se si suppone una frequenza di onda quadra molto minore della frequenza della sinusoide di ingresso, in uscita si ottiene una sinusoide modulata alla frequenza di chopper. Gli interruttori sono realizzati tramite transmission gates, ovvero due MOS, uno a canale n e uno a canale p, posti in parallelo e comandati da segnali complementari (figura 2.25). In figura 2.26 vi sono gli andamenti temporali delle tensioni che comandano i gate del moltiplicatore: per non porre in corto i due terminali di uscita del differenziale bisogna fare in modo che le due fasi  $\Phi_1$  e  $\Phi_2$  non siano mai attive contemporaneamente, ad esempio garantendo che il duty cycle per le due fasi sia leggermente maggiore o inferiore di 0,5, rispettivamente.

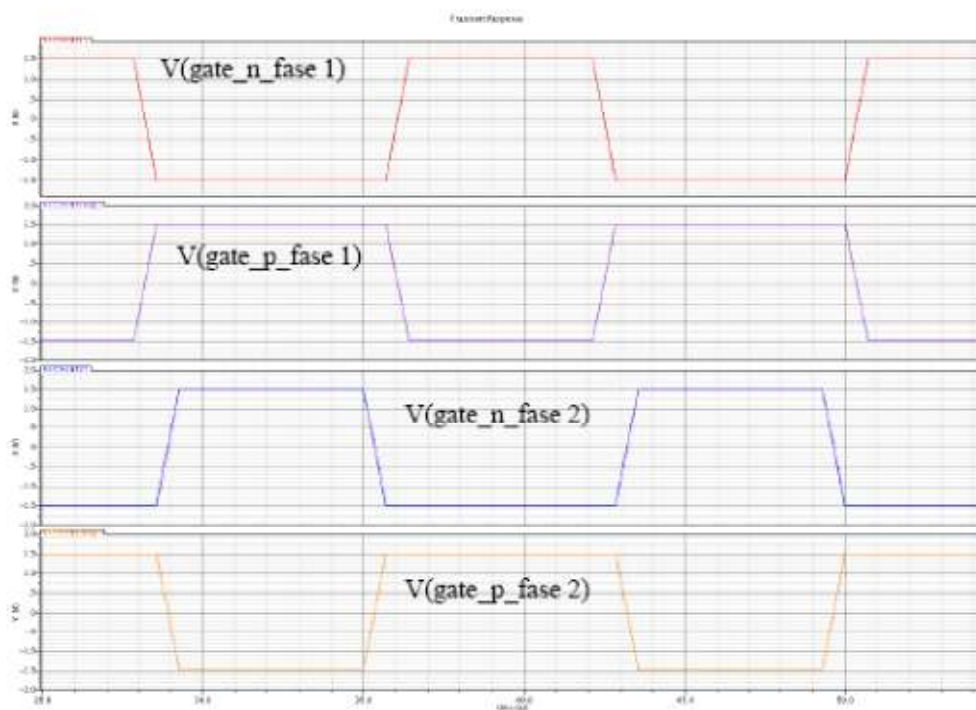


Figura 2.26: Onde quadre di comando dei transistori utilizzati come interruttori nel moltiplicatore: il DC di tali onde è leggermente diverso dal 50% per evitare fenomeni di cross conduzione

Per come è realizzato il moltiplicatore switching, vanno considerati effetti di iniezione di carica, legati al richiamo e all'allontanamento delle cariche che formano il canale dei MOS. I picchi di tensione alle frequenze multiple rispetto a quella di chopper devono essere eliminati affinché non possano propagarsi e auto sostenersi lungo l'anello: la loro attenuazione è garantita dal filtro passa basso attivo che precede il moltiplicatore finale. I picchi ai morsetti di ingresso sono invece limitati, grazie alla presenza del primo stadio di preamplificazione.

### Moltiplicatore analogico iniziale

La vera e propria operazione di traslazione in frequenza, fondamentale nel funzionamento della topologia presentata, è effettuata tramite moltiplicatori analogici, operativi fino a frequenze elevate (devono moltiplicare segnali fino alle centinaia di MHz.).

Le topologie classiche di moltiplicatore a Celle di Gilbert presentano rilevanti problematiche di offset, di dinamica e di distorsione armonica se utilizzate per processare segnali analogici di piccola ampiezza [16]. Per questo si è deciso di utilizzare una topologia differente, dimensionata per ottenere buone prestazioni di banda, rumore e, per quel che è possibile, guadagno.

Il principio di funzionamento è descritto dal semplice circuito in figura 2.27:

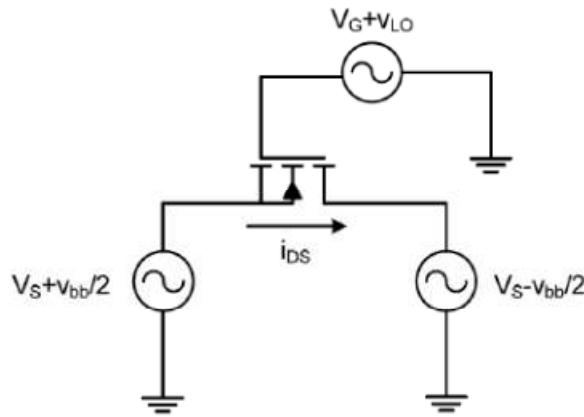


Figura 2.27: Schema di principio del moltiplicatore analogico utilizzato

I segnali di ingresso in banda base,  $v_{bb}$ , e a frequenza  $f_0$ ,  $v_{LO}$ , sono applicati rispettivamente tra source e drain del MOS a canale n centrale e al suo gate. Il transistor è polarizzato in zona lineare se  $v_{bb} \leq V_G + v_{LO} - V_T$ . In questo caso la corrente che scorre nel MOS considerato vale

$$I_D = \mu C_{OX} \frac{W}{L} \left[ (V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right] = \mu C_{OX} \frac{W}{L} \left[ \left( V_G + v_{LO} + \frac{v_{BB}}{2} - V_S - V_T \right) v_{BB} - \frac{v_{BB}^2}{2} \right] =$$

$$= \mu C_{OX} \frac{W}{L} [v_{LO} v_{BB} + (V_{GS} - V_T) v_{BB}],$$

considerando la semionda positiva di  $v_{BB}$ . Il primo termine dell'equazione appena scritta è la componente desiderata data dal prodotto tra due segnali  $v_{BB}$  e  $v_{LO}$ , mentre il secondo termine è una componente non voluta alla frequenza del segnale  $v_{BB}$ .

Per moltiplicare due segnali utilizzando questo semplice principio occorre realizzare una rete che legga la corrente del MOS, per esempio un buffer di corrente a larga banda come quello in figura 2.28:

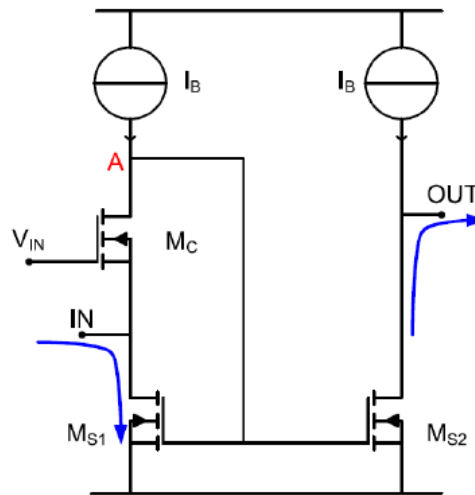


Figura 2.28: Buffer di corrente retroazionato a larga banda

Tale circuito ha un'impedenza di ingresso ancora minore rispetto al source di un MOS. Il segnale di corrente in ingresso fluisce nel MOS  $M_C$  e alza il gate della coppia  $M_{S1}$ - $M_{S2}$ , cosicché, a retroazione attivata, la corrente venga prelevata completamente da  $M_{S1}$  e replicata sull'uscita. Il trasferimento ha il primo polo in corrispondenza del prodotto guadagno – banda dell'anello di retroazione interna,  $GBWP = g_{m1}R_A \frac{1}{2\pi R_A C_A}$ , dove  $R_A$  e  $C_A$  sono la resistenza e la capacità parassite afferenti al nodo A, mentre un secondo polo è alla frequenza  $f_2 = \frac{g_{mC}}{2\pi C_{in}}$ . L'impedenza di ingresso che si ottiene sarà determinata dalla  $\frac{1}{g_{mC}}$  divisa per il guadagno dell'anello. Lo schema del moltiplicatore operante con questo tipo di buffer è riportato nella seguente figura, la 2.29:

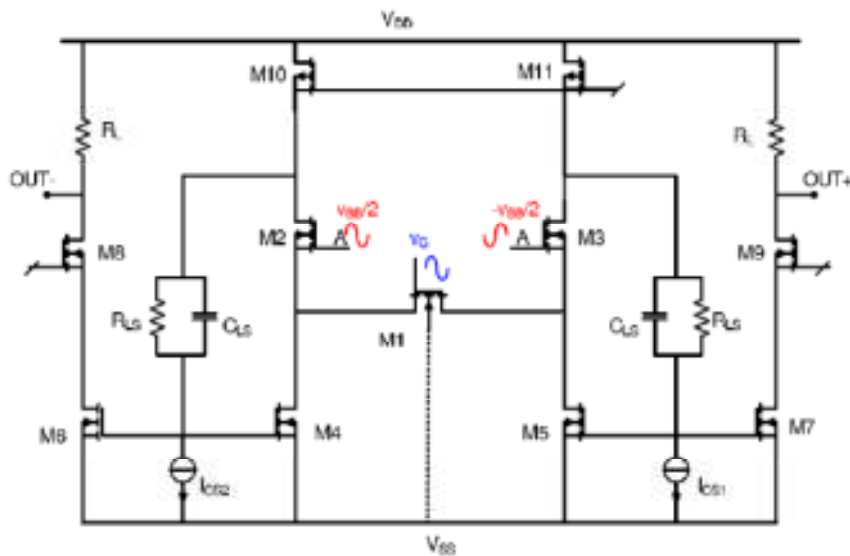


Figura 2.29: Schema circuitale completo del moltiplicatore analogico implementato

M1 lavora in zona ohmica, e la tensione ai suoi terminali di source e drain è controllata tramite le tensioni ai gate di M2 e di M3, che operano come follower. La corrente viene letta dagli specchi M4-M6 e M5-M7 e riportata in uscita. Si inserisce il traslatore di livello formato da  $R_{LS}$  e  $C_{LS}$  per poter aumentare la dinamica di  $v_{BB}$ , che migliora tanto più si riesce ad aumentare la tensione al drain di M2.  $C_{LS}$  assicura la presenza della retroazione ad alta frequenza.

Per eliminare il termine di corrente non voluto alla frequenza di  $v_{BB}$ , è possibile replicare l'intera struttura e sfasare di  $180^\circ$  il segnale al gate del MOS ohmico della parte replicata, ottenendo così una corrente data da:

$$I_D = \mu C_{OX} \frac{W}{L} \left[ \left( V_G - V_{LO} + \frac{V_{BB}}{2} - V_S - V_T \right) V_{BB} - \frac{V_{BB}^2}{2} \right] = \mu C_{OX} \frac{W}{L} [-V_{LO} V_{BB} + (V_{GS} - V_T) V_{BB}],$$

la quale, sottratta alla corrente prodotta dal MOS M1 della parte superiore della struttura, permette di ottenere la cancellazione ai due nodi di uscita dei termini indesiderati (freccie rosse), mentre le componenti legate al prodotto dei segnali vengono sommate (freccie blu), come mostrato in figura 2.30:

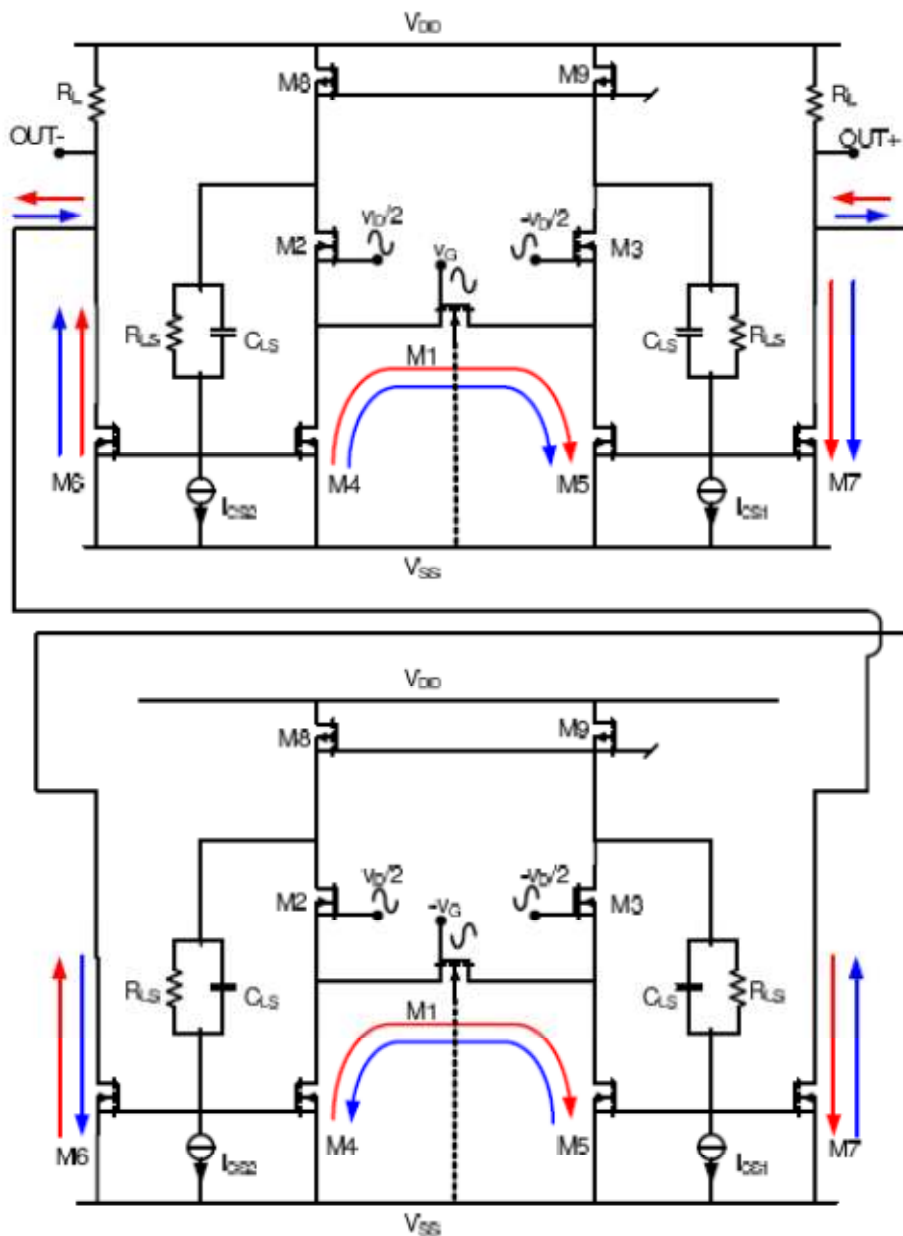


Figura 2.30: Raddoppiamento della struttura, con comando al MOS centrale sfasato di 180°, per la cancellazione delle armoniche indesiderate

Il dimensionamento è stato eseguito per ottenere basso rumore e guadagno più elevato possibile, ed è riportato nella seguente tabella (2.2). Per massimizzare la dinamica, i MOS a cascode M8-M9 (che servivano per aumentare l'impedenza vista in uscita aumentando così il guadagno) sono stati eliminati.



MOS-R-C	Fattore di forma ( $\mu\text{m}$ ) - valore	Corrente di polarizzazione
M1	10/0,35	
M2-M3	617/0,17	1 mA
M4-M5	25/0,35	1 mA
M6-M7	50/0,35	2 mA
$C_{LS}$	300 fF	-
$R_{LS}$	10 k $\Omega$	60 $\mu\text{A}$
$R_{LOAD}$	250 $\Omega$	2 mA

Tabella 2.2: parametri salienti del moltiplicatore analogico

La corrente fornita in uscita dal buffer è convertita in tensione dalle resistenze di carico  $R_L$ . Il fattore di conversione, definito come rapporto tra ampiezza del segnale di uscita e ampiezza di un segnale in continua applicato a  $V_{BB}$ , è dato da:  $G = \mu C_{OX} \left(\frac{W}{L}\right)_1 V_{LO} R_L$ , dove  $V_{LO}$  è applicata al gate del MOS ohmico M1.

Con il dimensionamento effettuato si ottiene un guadagno pari a circa 0,95 se si applica un segnale differenziale di 200 mV applicato agli ingressi esterni. La banda di questo stadio è adatta per lavorare a frequenze elevate senza creare eccessivi sfasamenti, essendo maggiore di 250 MHz.

Amplificatore operazionale chopper con gestione del modo comune

L'operazionale centrale nel cammino di andata consiste in un classico stadio completamente differenziale, mostrato nella seguente figura (2.31):

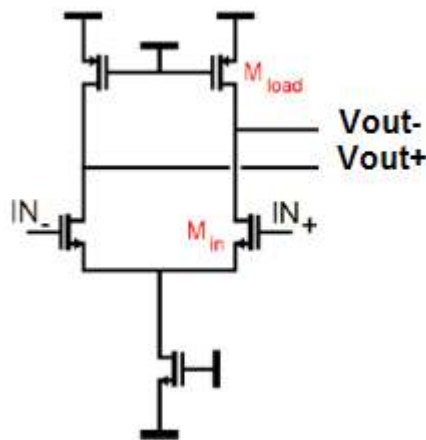


Figura 2.31: Stadio fully differential utilizzato nell'implementazione dell'amplificatore chopperato

I requisiti che esso deve soddisfare sono fondamentalmente due: avere un discreto guadagno in continua (attorno alla centinaia), per abbattere efficacemente il rumore degli stadi successivi, e avere il polo oltre alla frequenza di chopping (a sua volta maggiore rispetto alla noise corner frequency dell'1/f): infatti, il segnale utile viene portato alla frequenza del chopper, e deve poter essere ancora amplificato correttamente a quella frequenza, per poi esser riportato in continua a valle del secondo moltiplicatore switching. I MOS di ingresso sono a canale n per poter massimizzare il guadagno: una coppia di transistori a canale p sarebbe stata benefica per quanto riguarda il flicker noise, ma in questo contesto, grazie alla tecnica del chopping, è un requisito che non interessa.

Il guadagno è dato semplicemente da  $G = \frac{g_{m,in}}{2} \cdot 2R_{out}$ , dove  $g_{m,in}$  è la transconduttanza dello stadio di ingresso e  $R_{out}$  è la resistenza all'uscita, cioè la resistenza di Early del MOSFET di uscita.

Il polo dell'amplificatore è dato dalla capacità parassita dell'uscita:

$$f_p = \frac{1}{2\pi R_{out} C_{out}},$$

e guadagno e banda sono il risultato di un compromesso una volta fissato il prodotto guadagno – banda. Il dimensionamento si esegue a partire dalla noise corner frequency dello stadio, 70 kHz: a questa frequenza, il rumore è circa bianco, pertanto pare ragionevole spostare lì il segnale utile e fissare il polo a una frequenza una decade maggiore, 700 kHz. Ciò consentirebbe, utilizzando un amplificatore a due stadi folded cascode come fatto nella parte iniziale del progetto, di ottenere un guadagno massimo di 1700. Tuttavia, come visto nel paragrafo 2.4, con valori di guadagno così elevati anche un offset non rilevante degli stadi precedenti potrebbe far saturare l'amplificatore, pertanto si è preferito scegliere una topologia circuitale più semplice e un valore di amplificazione più contenuto (100, con frequenza del polo a circa 17 MHz) come buon compromesso tra abbattimento del rumore degli stadi successivi e amplificazione non eccessiva dell'offset.

Essendo fully differential, questo amplificatore richiede la presenza di una rete che fissi il valore della tensione di modo comune in uscita. Essa è stata realizzata tramite capacità commutate, connesse dunque al circuito tramite interruttori, basandosi sulla rete rappresentata nella figura seguente, 2.32.

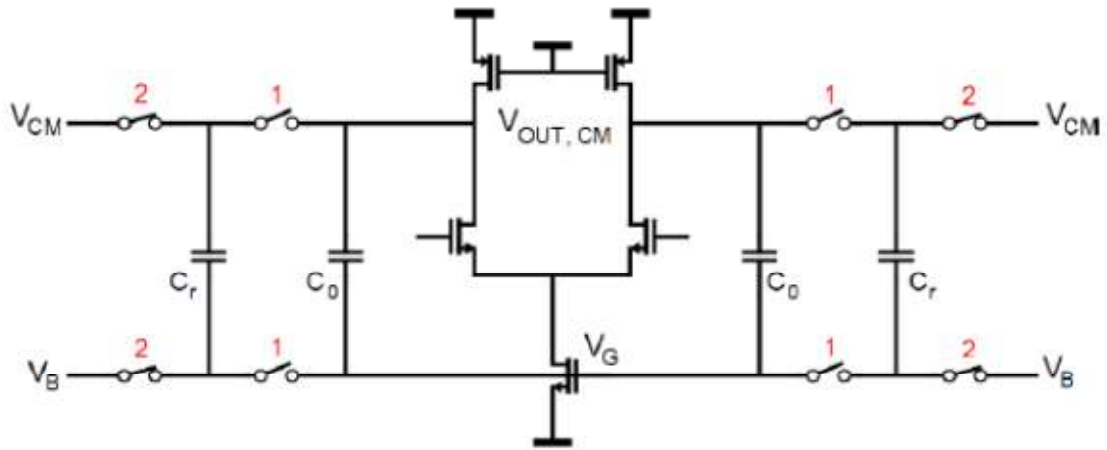


Figura 2.32: Rete di gestione del modo comune a capacità commutate dell'amplificatore chopper

Il CMF a capacità commutate è ulteriormente schematizzabile come nella figura 2.33 sottostante,

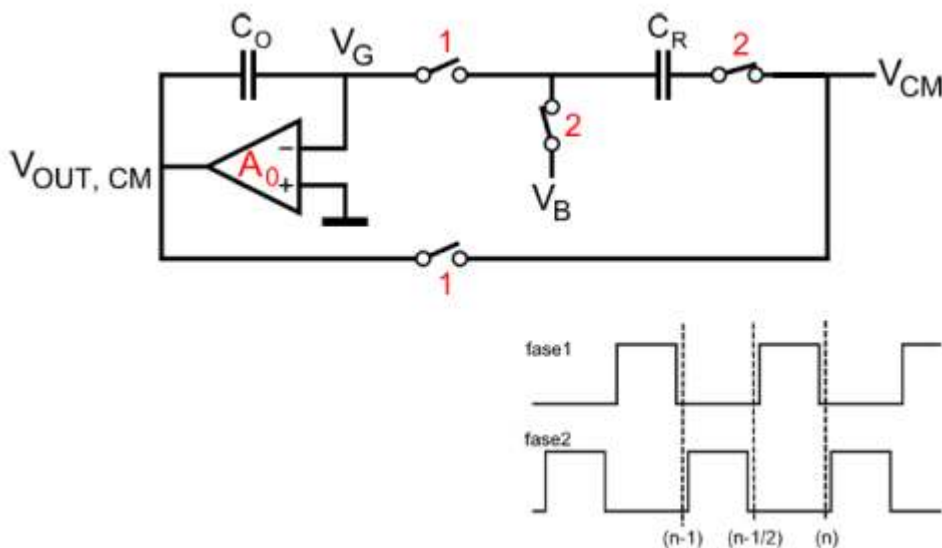


Figura 2.33: Schematizzazione della rete di gestione del modo comune e tensioni di comando degli interruttori

L'amplificatore operazionale rappresenta il MOS che funge da generatore di coda nello schema del differenziale: si ipotizzi che questo operazionale abbia guadagno in continua tendente ad infinito: con questa supposizione, è possibile scrivere le equazioni di bilancio di carica sulle capacità  $C_0$  e  $C_R$  ( $V_B$  è un punto fisso in tensione per la polarizzazione del MOS):

$$(v_{outCM}(n) - V_G)(C_0 + C_R) = (v_{out,CM}(n-1) - V_G)C_0 + \left(v_{CM}\left(n - \frac{1}{2}\right) - V_B\right)C_R:$$

Dove i tempi discretizzati scanditi dall'indice  $n$  cadono in corrispondenza dei fronti di discesa della fase 1. Una variazione da  $n$  a  $n+1$  corrisponde dunque ad un periodo dell'onda quadra.

Da questa espressione, passando alla trasformata Zeta, si ottiene:

$$\frac{v_{out,CM} - V_G}{v_{CM} - V_B} = \frac{C_R}{C_R + C_O} \cdot \frac{z^{-\frac{1}{2}}}{1 - \frac{C_O z^{-1}}{C_O + C_R}}$$

A frequenza nulla,  $\omega=0$  e  $z = e^{-i\omega}=1$ , perciò con questa soluzione si riesce ad ottenere di fissare  $V_{out,cm} - V_G = V_{CM} - V_B$ .

La rete della gestione del modo comune viene fatta lavorare alla frequenza di 70 kHz, maggiore della banda ad anello chiuso del sistema complessivo in modo tale da non interferire con il trattamento del segnale, e in questo modo agli interruttori vengono dati gli stessi segnali ad onda quadra necessari per le operazioni di chopping. Nella seguente tabella (2.3) si riportano i parametri di maggior importanza dell'amplificatore e della rete di common mode feedback:

MOSFET – componente	Valore – Rapporto di forma ( $\mu\text{m}$ )	Corrente
$M_{in}$	60/1	80 $\mu\text{A}$
$M_{load}$	24/0,8	80 $\mu\text{A}$
$C_0$	130 fF	-
$C_R$	130 fF	-

Tabella 2.3: Parametri salienti dell'amplificatore chopperato e della sua rete di gestione del modo comune

### Filtro passa basso attivo

A monte del moltiplicatore analogico finale, è necessario uno stadio che lavori da filtro passa basso attivo (rappresentato schematicamente in figura 2.34), con elevato guadagno in continua per fornire il principale contributo al guadagno d'anello del sistema. Si è scelta una topologia ad integratore così da inserire il polo dominante dell'anello, garantendone la stabilità.

Il filtro passa basso dev'essere in grado di attenuare efficacemente le armoniche spurie, per esempio quelle introdotte dalle operazioni di chopping; pertanto la sua frequenza di attraversamento dell'asse a 0 dB dovrà essere limitata. Inoltre, come visto nel capitolo 2.1 relativo al calcolo del  $G_{loop}$ , la larghezza di banda dello stesso è all'incirca coincidente con quella dell'integratore (se  $C_{in} = 10$  pF) oppure dieci volte più ampia ( $C_{in}=1$ pF), il che ha portato alla scelta di una frequenza a 0 dB dell'integratore pari a 100 Hz (situazione raggiungibile imponendo, nello schema di figura 2.34, una capacità C pari a 1 pF e una resistenza R pari a 1,5 G $\Omega$ ). Questo dimensionamento consente di avere un buon compromesso tra l'avere, in ogni condizione di capacità all'ingresso, piccola banda

equivalente di rumore e transistori di andata a regime (legati ad una costante di tempo inversamente proporzionale alla banda dell'anello) sufficientemente veloci.

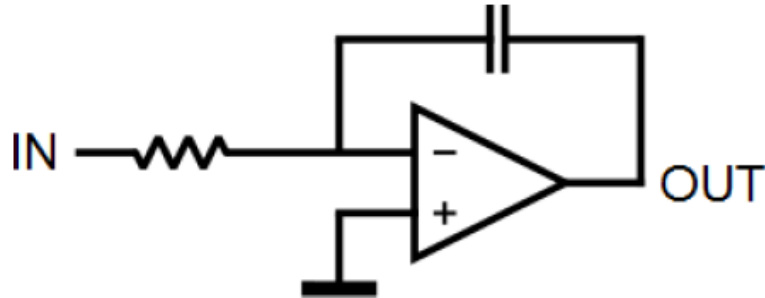


Figura 2.34: Integratore attivo ad operazionale

La fase dello stadio considerato vale  $-90^\circ$  a 100Hz, il che assicura margine di fase complessivo di circa  $90^\circ$  fino a frequenze alle quali non diventano significativi gli sfasamenti dei moltiplicatori analogici e del differenziale in ingresso.

Il resistore da 1,5 G $\Omega$  ha un valore tale da non renderlo integrabile nella tecnologia utilizzata: pertanto, esso è stato sintetizzato utilizzando un divisore di corrente, il cui blocco principale, consistente in una pseudo resistenza realizzata tramite un circuito a MOS [17], è mostrato nella figura 2.35 sottostante:

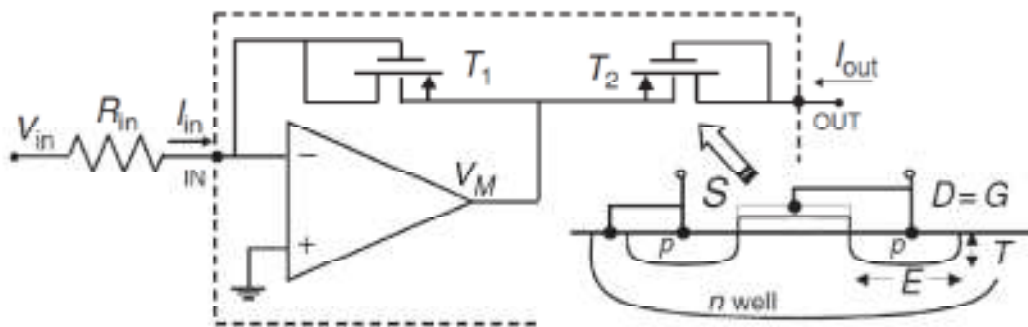


Figura 2.35: Attenuatore di corrente con transistori MOS operanti in regime di sottosoglia

Riferendosi ad un MOS a canale p con well – source e drain – gate in corto, se  $V_{gs}$  è negativa e più piccola in modulo della soglia si può scrivere la corrente che scorre come:

$$I_D = I_{DO} \left( \frac{W}{L} \right) e^{-\frac{V_{GS}}{nV_{TH}}} \left( 1 - e^{\frac{V_{GS}}{V_{TH}}} \right),$$

mentre quando  $V_{gs}$  è positiva, il MOS si comporta come un diodo grazie alla giunzione parassita drain – well, che conduce una corrente

$$I_D = J_{S0} [2TE + W(2T + E)] \left( e^{\frac{V_{GS}}{V_{TH}}} - 1 \right),$$

dove  $J_{S0}$  è la densità di corrente di saturazione della giunzione drain – well,  $n$  è il coefficiente di sottosoglia,  $V_{TH}$  è la tensione termica  $kT/q$ ,  $T$  ed  $E$  sono rispettivamente la lunghezza e lo spessore delle diffusioni di drain e di source. Se  $W$  è molto maggiore di  $E$  e di  $T$ , la corrente risulta proporzionale a  $W$  qualunque sia la regione di polarizzazione. Dunque, due MOS come quello considerato hanno le correnti in rapporto uguale a quello tra le loro  $W$ ,  $\frac{I_{D2}}{I_{D1}} = \frac{W_2}{W_1}$ .

Se, nel circuito riportato in figura,  $T_1$  è largo  $M$  volte  $T_2$ , la corrente di uscita si riduce di un fattore  $M$ , e mettendo in cascata  $N$  stadi come quello mostrato si sintetizza una resistenza di valore

$$R_{eq} = \frac{V_{IN}}{I_{OUT}} = R_{IN} M^N$$

Il che è vantaggioso anche sul rumore, poiché, riducendosi di blocco in blocco la corrente, anche il rumore termico di corrente della  $R_{in}$  si riduce di un fattore  $M^{2N}$ . Il resistore da  $1,5 \text{ G}\Omega$  è stato dunque implementato utilizzando un resistore fisico da  $1 \text{ M}\Omega$  e due blocchi con fattore  $M = 40$ . L'operazionale, descritto successivamente in quanto utilizzato anche per il blocco principale dell'integratore, ha elevato guadagno in continua per mantenere fermo in tensione il nodo di terra virtuale, e un prodotto guadagno – banda di  $20 \text{ MHz}$ , adeguato per il buon funzionamento della resistenza sintetizzata nella banda operativa dell'anello del sistema complessivo.

Si consideri ora, in figura 2.36, l'insieme del secondo moltiplicatore ad onda quadra e del filtro passa basso attivo:

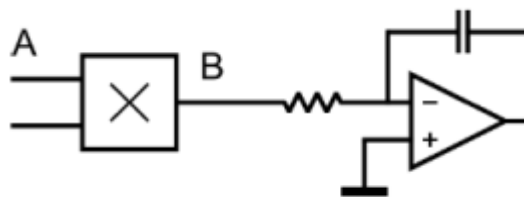


Figura 2.36 Il modo comune all'uscita single ended del moltiplicatore chopperato causa armoniche spurie nell'anello

Il valor medio di tensione presente in  $B$  non è altro che la somma del valor medio della tensione differenziale e del modo comune della tensione presente ai punti  $A$  e deve avere un valore nullo in modo che mediamente non scorra corrente nella resistenza del filtro, per non farlo andare incontro a saturazione. La retroazione complessiva agisce dunque introducendo un'onda quadra all'ingresso del moltiplicatore, alla frequenza del chopper, per far sì che la tensione media in uscita sia nulla, il che,

procedendo a ritroso nella struttura, equivale ad avere un contributo differenziale alla frequenza di misura in ingresso, come se fosse un “offset”.

Tale effetto non è presente se si mantiene il cammino di andata pienamente differenziale. Ciò presenta peraltro anche altri vantaggi; riduce errori dovuti ad asimmetrie, migliora la dinamica del segnale e aumenta la linearità del moltiplicatore analogico. Pertanto, anche il filtro passa basso dev'essere mantenuto differenziale (figura 2.37), ed è quindi necessario l'inserimento di un blocco di common mode feedback (CMF) per poter fissare il modo comune delle uscite: in questo caso, si è preferito un CMF tempo continuo e non a capacità commutate per evitare l'insorgere di picchi di tensione proprio sulle uscite DC del sistema.

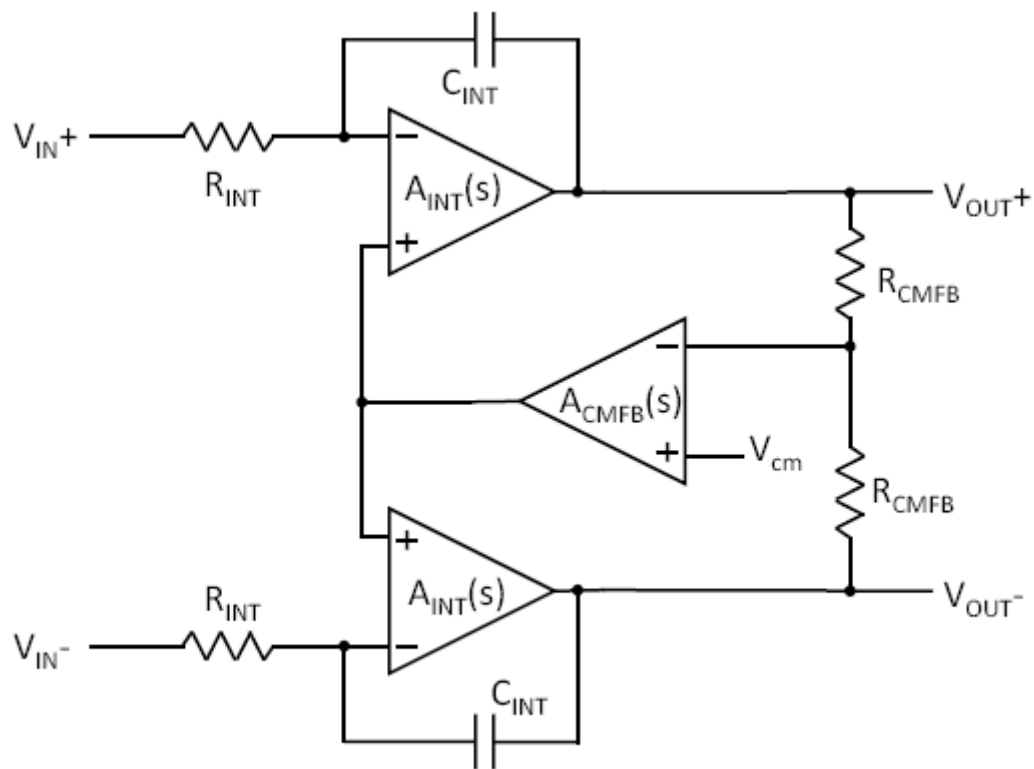


Figura 2.37: Rete di gestione del modo comune a tempo continuo per il filtro passa basso differenziale.

Il modo comune all'uscita è gestito leggendo il suo valore tramite una partizione resistiva, comparandolo con il riferimento voluto e agendo sui morsetti non invertenti dei due integratori. Si ricorda che l'uscita di  $A_{CMFB}(s)$  dev'essere fornita anche ai riferimenti non invertenti dei blocchi interni che realizzano la resistenza equivalente da 1,5 G $\Omega$ , in quanto i valori delle tensioni delle

masse virtuali degli attenuatori di corrente, per garantirne un corretto funzionamento, devono essere pari a quello assunto anche dalla terra virtuale dell'integratore.

Nell'espressione del  $G_{loop,CMF}$ , se l'integratore è ben retroazionato, comparirà un polo nell'origine ed uno zero a circa 100 Hz in quanto il trasferimento dell'integratore stesso, dal morsetto non invertente, vale  $1 + \frac{1}{sCR}$ . La stabilità del loop di CMF risulta dunque essere assicurata se si taglia l'asse a 0 dB a frequenze molto inferiori alla frequenza alla quale l'integratore smette di essere retroazionato, pari al GBWP dell'operazionale dell'integratore (20 MHz). L'amplificatore di retroazione dovrà dunque avere un polo a bassa frequenza tale da garantire un taglio dell'asse a 0 dB a meno di 2 MHz (una decade prima del GBWP degli operazionali), e un secondo polo a frequenze maggiori di 20 MHz.

Un non perfetto matching delle costanti di tempo  $R_1-C_1$  e  $R_2-C_2$  fa sì che il guadagno differenziale venga a dipendere anche dal modo comune, come mostrato esaurientemente nel lavoro [10]. Tuttavia, essendo la banda ad anello chiuso del CMF molto più elevata di quella complessiva, si ha che il tempo di assestamento del cammino differenziale sarà molto più lungo rispetto alle correzioni di variazioni del modo comune, e ciò permette di considerare il guadagno differenziale costante rispetto a tali variazioni.

Il blocco fondamentale dello stadio integratore appena presentato è un semplice amplificatore operazionale a due stadi con la seguente topologia (figura 2.38).

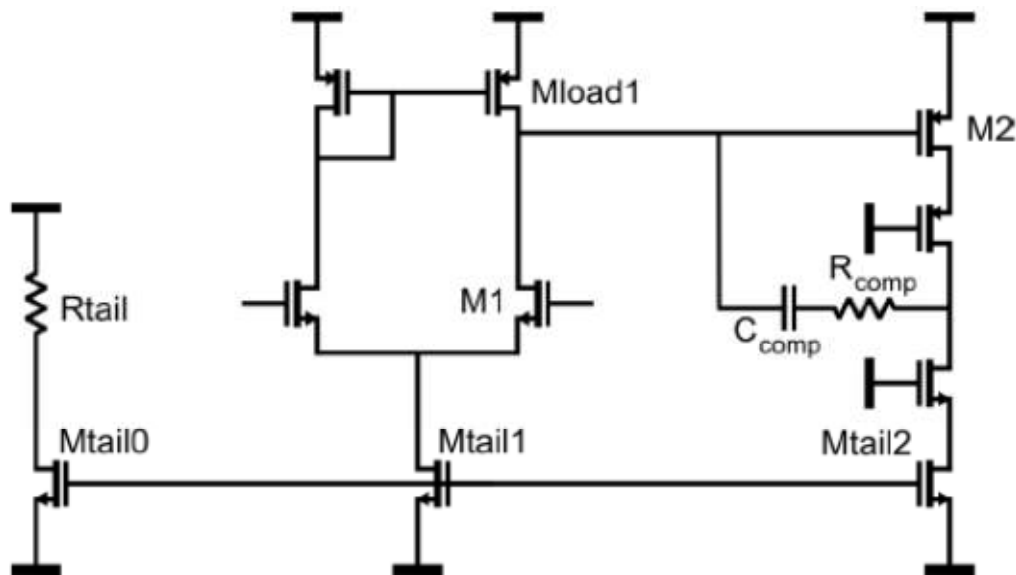


Figura 2.38: Amplificatore operazionale a due stadi per la realizzazione del blocco amplificante dei filtri



Il guadagno risulta essere  $G = (g_{m1}R_{out1})(g_{m2}R_{out2})$ , dove  $R_{out1}$  e  $R_{out2}$  sono le resistenze equivalenti ai drain di  $M_{load1}$  e sull'uscita complessiva: con questo stadio si raggiunge un guadagno di 130 dB, grazie all'elevata resistenza di uscita ottenibile con la configurazione cascode del generatore di corrente del secondo stadio. La stabilità dell'operazionale è garantita dalla presenza della capacità a cavallo di  $M_2$ , che introduce un polo alla Miller dominante nella risposta in frequenza del sistema. Come noto, il prodotto guadagno – banda di un operazionale siffatto vale  $GBWP = g_{m1}R_{out1}g_{m2}R_{out2} \cdot \frac{1}{2\pi C_{comp}R_{out1} \cdot g_{m2}R_{out2}} = \frac{g_{m1}}{2\pi C_{comp}}$ .

Il posizionamento di  $R_{comp}$  si rende necessario per evitare che lo zero, introdotto nella funzione di trasferimento da  $C_{comp}$ , sia a fase non minima, cosa che inficerebbe la stabilità del sistema.

Tale zero si trova a frequenza tale che  $\frac{1}{g_{m2}} = \frac{1}{sC_{comp}} + R_{comp}$ , pertanto la resistenza si dimensiona per garantire  $\omega_z = \frac{1}{2\pi C_{comp}(\frac{1}{g_{m2}} - R_{comp})} < 0, R_{comp} > \frac{1}{g_{m2}}$ .

Ulteriori considerazioni sulla presenza di poli parassiti che influenzano la progettazione dello stadio si trovano ancora nel lavoro di tesi [10].

Nella tabella seguente (2.4) si trova il dimensionamento dell'amplificatore appena descritto:

MOS-R-C	$\frac{W}{L}$ (μm) – valore	Corrente di polarizzazione
<b>M1</b>	50/1	5μA
<b>M<sub>load1</sub></b>	100/1	5μA
<b>M2</b>	60/1	45μA
<b>M<sub>tail2</sub></b>	20/1	45μA
<b>C<sub>comp</sub></b>	1pF	-
<b>R<sub>comp</sub></b>	6,67kΩ	-
<b>C<sub>01</sub></b>	1pF	

Tabella 2.4: Parametri salienti dell'amplificatore a due stadi implementato per il blocco amplificante dell'integratore

Il prodotto guadagno banda dello stadio considerato è pari a 20 MHz: con un diverso dimensionamento dei parametri, è possibile realizzare un operazionale con GBWP a circa 1MHz, utilizzato nella gestione del modo comune. Questo amplificatore permette di raggiungere un guadagno in continua pari approssimativamente a  $10^7$ , valore che corrisponde anche all'incirca al guadagno d'anello alla frequenza di misura in caso di partizione capacitiva sfavorevole.

Moltiplicatore analogico finale e buffer d'uscita

Il moltiplicatore analogico finale deve occuparsi di riportare i due segnali in continua all'uscita dei due filtri passa basso attivi, su ramo seno e su ramo coseno, alla frequenza di indagine sul DUT, in modo tale da poter chiudere correttamente l'anello di retroazione. La struttura di base è quella riportata nel precedente paragrafo inerente al primo moltiplicatore analogico: tale struttura è stata ovviamente replicata, poiché è necessario un moltiplicatore con segnale ad alta frequenza di tipo seno e uno con segnale di tipo coseno. L'operazione di somma tra le uscite dei due rami è resa molto semplice dal fatto che i moltiplicatori in esame hanno uscita in corrente. L'unica modifica che è stata compiuta riguarda il modo in cui è stata prelevata l'uscita, che è passato da differenziale a single – ended. La retroazione complessiva, infatti, opera single – ended, quindi uscire dall'ultimo blocco in modo differenziale avrebbe voluto dire sprecare metà del segnale, in quanto una delle due uscite sarebbe rimasta inutilizzata. Inoltre, un'uscita single – ended del moltiplicatore facilita anche il design di un buffer di uscita, ultimo blocco del guadagno di andata, che si rende necessario nel caso si debba pilotare una bassa impedenza, come verrà discusso in seguito.

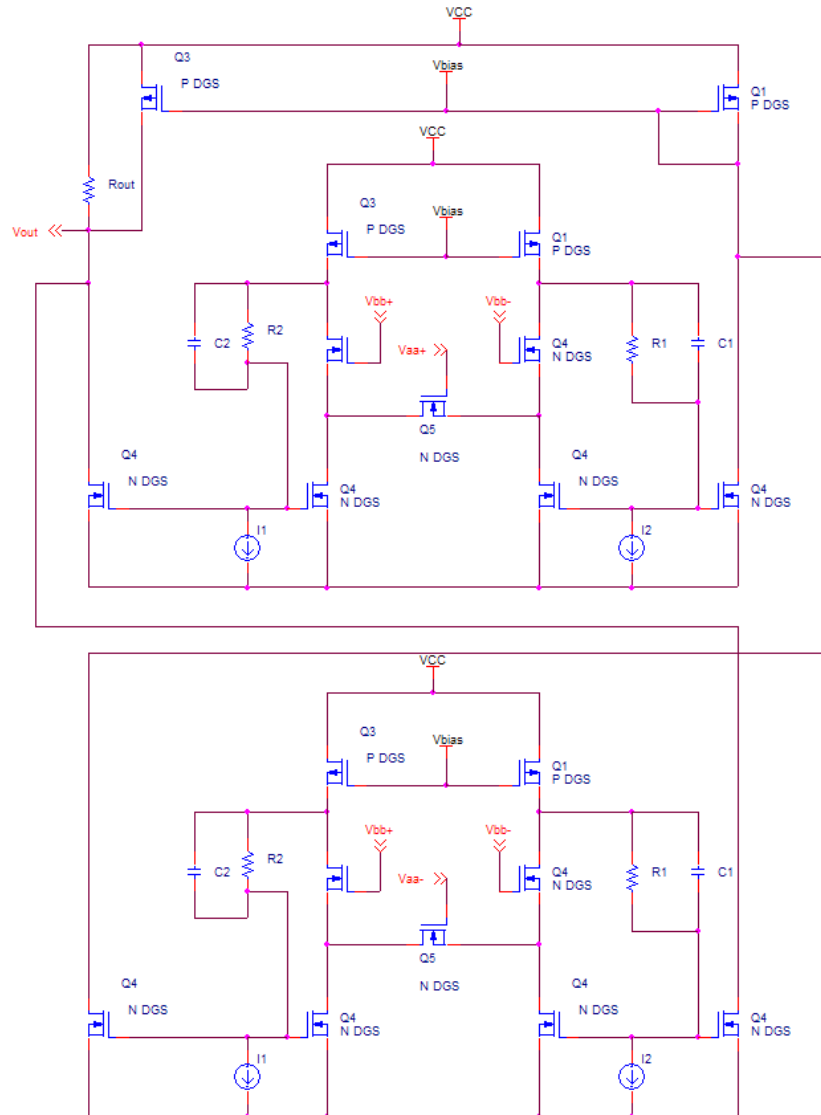


Figura 2.39: Moltiplicatore di uscita (solo ramo seno) con uscita single – ended e reiezione delle armoniche indesiderate

Nella figura soprastante (2.39) è riportata la topologia del moltiplicatore finale: per semplicità, è stata riportata solo la parte relativa ad uno dei due rami. Come si può notare, la conversione da differenziale a single – ended si ottiene semplicemente tramite uno specchio di corrente, che preleva la corrente dall'uscita negativa e la ripropone sull'uscita positiva, che a questo punto diviene l'uscita complessiva  $V_{out}$ . La conversione avviene con il giusto segno, in quanto una corrente positiva entrante nello specchio viene assorbita, e quindi come è giusto sottratta, dall'uscita.

Ai transistor dello specchio è stata fatta condurre una corrente significativa, circa 8 mA (la stessa che scorreva nella resistenza di carico eliminata) per consentire di avere all'incirca le stesse condizioni di polarizzazione che si avevano prima della modifica. Ciò porta ad avere un  $\left(\frac{W}{L}\right)$  dei due

transistori elevato, fissato in 665 a lunghezza minima. Altre soluzioni più complesse, come ad esempio l'utilizzo di uno specchio enhanced per aumentare la resistenza di uscita dello specchio stesso, sono state scartate in quanto le correnti in gioco non consentivano di polarizzare correttamente lo stadio. La resistenza fisica in uscita di valore pari a 1 k $\Omega$  permette una polarizzazione del nodo d'uscita alla tensione più alta possibile ottenibile compatibilmente con il corretto funzionamento dei transistori (0,5 V), per dare più dinamica possibile allo stadio di buffer posto a valle. L'inserimento della resistenza fisica causa un modesto peggioramento della linearità del guadagno, quantificato da simulazioni in circa l'1% rispetto all'avere come resistenza al nodo di uscita solamente le  $r_0$  dei vari transistor afferenti a tale nodo: questo perché la corrente proveniente dalla  $R_{out}$  fa alzare il terminale di uscita, sbilanciandolo rispetto al lato dove vi è il transistor a transdiodo dello specchio, e quindi peggiorando gli errori di specchiamento dovuti ad effetto Early.

Lo stadio di moltiplicazione finale è l'ultimo stadio prima dell'uscita: l'uscita totale del circuito integrato può presentare dei valori di capacità anche molto elevati, fino a una decina di pF, che se connessa al circuito presentato, la quale presenta resistenza di uscita di circa 1 k $\Omega$ , introdurrebbe un polo a frequenze dell'ordine di decine di MHz, assolutamente non compatibile con il corretto funzionamento del circuito. Inoltre, siccome il circuito deve operare fino a centinaia di MHz, è utile anche pensare di porre una resistenza da 50  $\Omega$  all'uscita complessiva, in modo da adattare in impedenza ad esempio con cavi BNC, o comunque con circuiti adattati in ingresso a 50  $\Omega$  in quanto operanti a radiofrequenza. Pertanto, il circuito dev'essere in grado di erogare una corrente sufficiente a pilotare le basse impedenze che si vanno ad introdurre a causa degli adattamenti impedenziali.

Per tale ragione, si rende necessario disaccoppiare il circuito moltiplicatore dall'uscita totale, e allo scopo è stato utilizzato un semplice buffer di tensione mostrato nella figura sottostante (2.40):

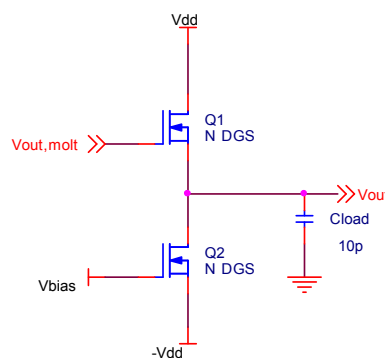


Figura 2.40: Buffer di uscita

Si vuole che il polo introdotto dalla capacità di uscita  $\left(f_p \cong \frac{1}{2\pi C_{load} g_{m1}}\right)$  sia a frequenze nell'intorno del GHz: da questa relazione, si ricava una transconduttanza necessaria pari a circa  $60 \frac{mA}{V}$ : valori così elevati possono essere raggiunti solamente con valori altrettanto elevati di rapporto di forma, pertanto va tenuta in considerazione anche la capacità parassita del gate di  $Q_1$ , che introduce un polo all'uscita del moltiplicatore. Anche questo polo, per consentire al moltiplicatore di funzionare fino a frequenze elevate, deve cadere perlomeno a qualche centinaia di MHz: tale considerazione porta a stimare il valore massimo di  $C_{par}$  in 0,5 pF, valore dal quale, attraverso la capacità di gate per unità di area relativo alla tecnologia impiegata ( $4,86 \text{ fF}/\mu\text{m}^2$ ) [20], ci si ricava il valore massimo del prodotto WL del transistor ( $\approx 100 \mu\text{m}^2$ ). Incrociando questi dati con requisiti di dinamica (tensione gate – source dei transistor attorno a 1 V), si ricava come dimensionamento un W/L dei transistori pari a  $\frac{315\mu\text{m}}{0,35\mu\text{m}} = 900$ , valore particolarmente elevato che porta ad una corrente statica attorno ai 12 mA, della quale bisognerà tener conto nella fase di layout del circuito. Va considerato anche il fatto che, per questioni di tecnologia, il MOS che realizza il buffer non può avere a disposizione una sacca propria, pertanto il body è posto al riferimento comune,  $-V_{dd}$ . Il source invece si trova ad un potenziale maggiore, cosa che provoca la formazione di una zona svuotata maggiore rispetto a quella che si avrebbe in caso di tensione  $V_{SB}=0$ . L'effetto è quello di avere una soglia di accensione maggiore del transistor, quindi un transistor meno conduttivo, in quanto il campo elettrico creato da  $V_{gs}$  non deve solamente fornire la carica necessaria alla formazione del canale, ma anche controbilanciare l'effetto body. Tale fenomeno può essere modellizzato tramite la transconduttanza da effetto body,  $g_{mb}$ , ricavata partendo da un'espressione della corrente di drain del transistor che tenga conto della dipendenza della soglia dalla tensione  $V_{BS}$  tra body e source, e derivando parzialmente proprio rispetto a  $V_{BS}$ . L'inverso di tale transconduttanza è più piccolo della  $r_0$ : la sua presenza limita dunque il guadagno raggiungibile dal buffer a valori circa pari a 0,8, in quanto il rapporto  $\frac{g_{mb}}{g_m}$  è fissato una volta fissata  $V_{BS}$  ed è pari a circa 0,1 – 0,2 (da cui il guadagno

$$\frac{g_m}{1 + \frac{g_m}{g_{mb}}} \sim 0,8).$$

## Capitolo 3: Gestione della corrente continua

Un problema molto importante della struttura proposta riguarda la gestione dell'inevitabile corrente continua proveniente dal DUT, che può arrivare anche a valori di decine di nA [18] per i campioni biologici in esame. Il circuito sinora presentato non è in grado di gestire una componente a frequenza nulla in ingresso, la cui presenza quindi causerebbe un'uscita dal regime di funzionamento lineare: ciò è dovuto sia ad una amplificazione della struttura a modulazione / demodulazione che risulta essere idealmente nulla per frequenza nulla, sia alla capacità in retroazione che, in continua, isola l'ingresso dall'uscita. Quest'ultimo problema si potrebbe risolvere tramite una resistenza in parallelo alla capacità di feedback, ma per avere la singolarità introdotta dal parallelo tra questa  $R_f$  e la  $C_f$  a valori minori rispetto alla frequenza minima di misura desiderata (attorno a qualche kHz) bisognerebbe avere a disposizione resistori di valore molto elevato (qualche  $G\Omega$ ), che non sono integrabili: inoltre, una resistenza di elevato valore in feedback causerebbe la sicura saturazione dello stadio in presenza di correnti DC paragonabili a quelle provenienti dai campioni biologici sotto esame. Si ha quindi la necessità di progettare una rete ancillare e complementare a quella principale, che prelevi la corrente in ingresso a bassa frequenza e la annulli, affinché essa non interagisca con il resto del circuito retroazionato.

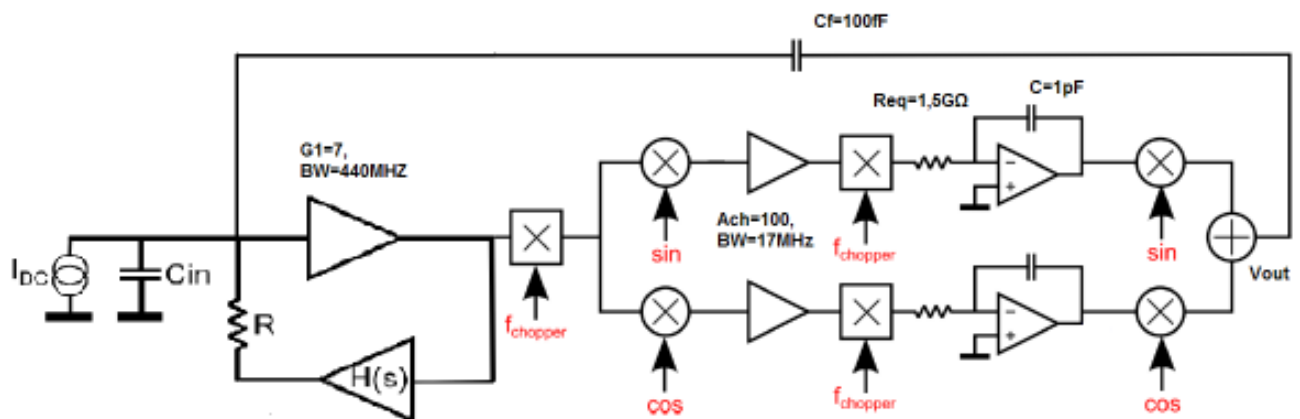


Figura 3.1: Schema di principio per la gestione della corrente continua in ingresso e schema riassuntivo del percorso a modulazione/demodulazione

L'idea alla base della rete di gestione della corrente continua è riportata in figura (3.1), nella quale si vanno anche a riassumere i parametri salienti dell'anello principale a modulazione / demodulazione: a valle del primo stadio di ingresso ad alta banda ( $G_1$ ) vi è un blocco amplificante  $H(s)$ , che presenta elevato guadagno a frequenza nulla in modo da attivare l'anello di retroazione in

continua. Così, la corrente  $I_{DC}$  proveniente dal DUT può scorrere attraverso la  $R$  e non creare contributi alla tensione di uscita del primo stadio. Ad alta frequenza,  $H(s)$  non deve presentare invece apprezzabile guadagno, affinché il ramo di retroazione ancillare si interrompa, in modo da non interferire con il ramo di retroazione principale. Ovviamente, nella progettazione della rete vanno tenuti in debito conto i consueti problemi di stabilità dell'anello (anche dovuti alla presenza di una capacità all'ingresso  $C_{in}$ , di valore compreso tra 1 pF e 10 pF).

A partire da questa idea di base, in questo capitolo si vedrà nel dettaglio il percorso attraverso il quale si è giunti alla realizzazione di una versione finale integrata di gestione della corrente continua, dopo aver risolto gli inevitabili problemi di conflitto sorti con il sistema complessivo.

La prima soluzione da scartare, seppure in linea di principio sia adatta allo scopo, è proprio quella base riportata in figura, con la resistenza fisica pilotata dal blocco  $H(s)$ . Il principale problema di questa soluzione è che il rumore termico di corrente della resistenza  $R$ ,  $\frac{4KT}{R}$ , ha un effetto che, con i valori di resistenza massima integrabili su chip, non risulta accettabile, poiché dominante rispetto al rumore serie dell'amplificatore: per convincersene, si calcoli il valore di frequenza alla quale si eguaglierebbero il rumore termico di corrente della resistenza (considerando  $R=1\text{ M}\Omega$  come limite al valore di un resistore integrato, per ragioni di spazio occupato su layout e di capacità parassite) e il rumore serie del resto del circuito, con  $E_{n,eq}^2 \cong \left(5 \frac{nV}{\sqrt{Hz}}\right)^2$ :

$$\frac{4KT}{R} = E_{n,eq}^2 (2\pi f_{NC,max})^2 C_{in,min}^2$$

Da cui:

$$f_{NC,max} = \frac{1}{2\pi} \sqrt{\frac{4KT}{R E_{n,eq}^2 C_{in,min}^2}} \cong 5\text{MHz}$$

Si ha quindi che solo per frequenze superiori a 5 MHz il rumore termico della resistenza risulta minore rispetto a quello serie del resto del circuito, e questo inficia le considerazioni di minima sensibilità di misura fino a  $f_{NC,max}$ , rendendo questo approccio non percorribile. Per questo motivo è necessario trovare delle soluzioni diverse per poter risolvere il problema della corrente continua mantenendo delle performance di rumore accettabili.

### Capitolo 3.1 – Rete DC con attenuatore di corrente

La prima soluzione che è stata vagliata parte dalla struttura di principio presentata nel paragrafo precedente e permette di aggirare il problema principale: ovverossia, con tale topologia (mostrata in

figura 3.2 e sviluppata in un precedente lavoro di tesi [8]) si realizza una resistenza equivalente di elevato valore, in modo da introdurre poco rumore termico di corrente, pur utilizzando delle resistenze fisiche di valore più piccolo, e quindi integrabili: lo stesso circuito, come riportato nel paragrafo 2.6, è stato utilizzato per la realizzazione della resistenza equivalente del filtro passa basso, nel percorso d'andata dell'amplificatore.

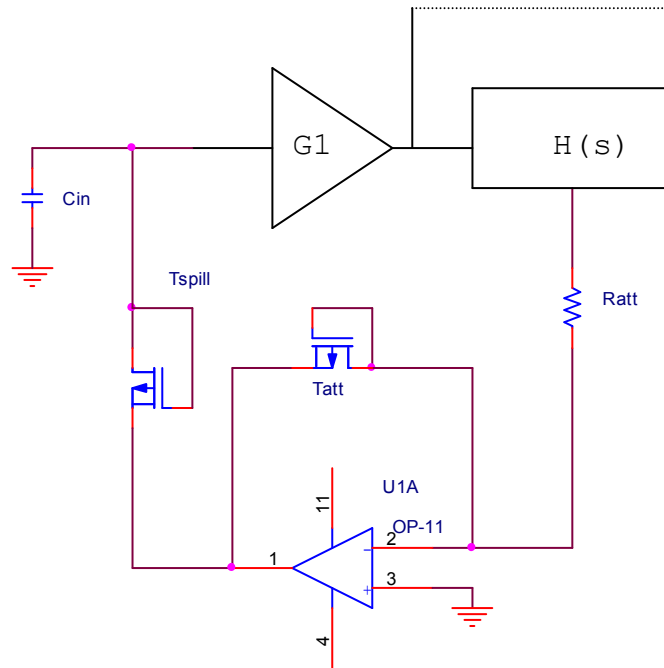


Figura 3.2: Rete di gestione della corrente continua con attenuatore di corrente

Con  $G_1$  si indica la presenza del differenziale ad alta banda all'ingresso complessivo del sistema, mentre  $H(s)$  è una rete che si occupa di disattivare l'efficacia dell'anello alle alte frequenze: per fare questo, si può pensare di progettare  $H(s)$  in modo tale che essa introduca una coppia polo – zero (o più coppie, ponendo in cascata più di un blocco) allo scopo di restringere la banda dell'anello di retroazione il più possibile; la rete deve inoltre essere in grado di applicare un guadagno in continua opportuno, che sarà la parte dominante del guadagno in continua dell'anello. Il  $G_{loop}$  del circuito risulta essere pari a:

$$G_{loop}(s) = \frac{G_1 H(s)}{R g_{m,att}} \frac{1}{\left(1 + s \frac{C_{in}}{g_{m,spill}}\right)}$$



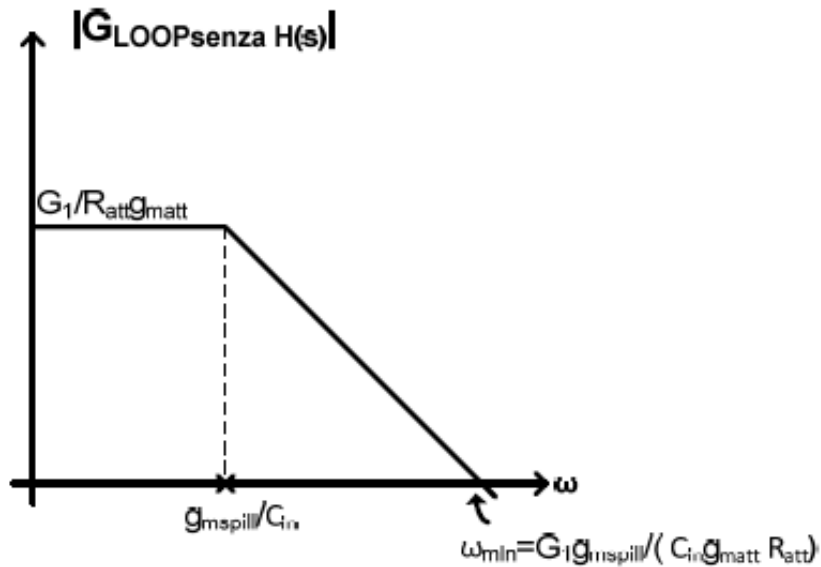


Figura 3.3: Guadagno d'anello della rete di gestione della corrente continua ad attenuatore di corrente

Il  $G_{\text{loop}}(s)$  ricavato, mostrato in figura 3.3 senza considerare il contributo della rete  $H(s)$ , presenta delle criticità (legate al contesto di utilizzo del circuito) sia per quanto riguarda il guadagno, sia per quanto riguarda le singolarità. Si consideri innanzitutto  $G_1=7$ ,  $I_{\text{DC,MAX}}=10$  nA e  $R_{\text{att}}=1$  M $\Omega$  (valore limite per l'integrazione) e un rapporto tra le larghezze dei transistori  $\frac{W_{\text{att}}}{W_{\text{spill}}} = 100$ . Si trascuri altresì il fattore di sottosoglia dei transistor, in modo tale da utilizzare per la transconduttanza sottosoglia la stessa espressione della  $g_m$  di un bipolare  $\left(\frac{I}{V_{th}}\right)$ . Sotto queste ipotesi, il guadagno d'anello in continua vale:

$$G_{\text{loop}}(0) = \frac{G_1}{R_{\text{att}}g_{m,\text{att}}} = 175 \cdot 10^{-3}.$$

Questo significa che per poter assicurare un elevato  $G_{\text{loop}}(0)$  la rete  $H(s)$  dovrebbe avere a sua volta un guadagno in continua elevato. Il problema principale di questa rete, però, è dovuto al fatto che la frequenza della singolarità  $\left(f_p = \frac{g_{m,\text{spill}}}{2\pi C_{\text{in}}}\right)$  dipende fortemente dalla corrente continua spillata all'ingresso: in particolare, considerando  $C_{\text{in,min}}=1$  pF, il polo risulta essere variabile dall'origine in caso di corrente nulla, fino ad un valore pari a circa 60 kHz in caso di corrente massima gestita. Pertanto, l'andamento del guadagno d'anello risulta essere ben definito e indipendente dalla corrente DC soltanto per frequenze oltre questo valore. Ciò comporta che utilizzando la rete  $H(s)$  per la stabilizzazione del loop, si possa ottenere un sistema stabile in ogni condizione di utilizzo solamente mantenendo una banda della rete di gestione della corrente continua maggiore rispetto ai 60 kHz

della singolarità. Con queste limitazioni, viene a cadere l'utilità stessa dell'utilizzo della rete  $H(s)$  così come pensata, e si rende necessario il ricorso ad altre topologie di circuito, andando ad esplorare anche qual è l'effetto di avere una rete di gestione della DC ancora attiva a frequenze elevate.

### Capitolo 3.2 – Rete DC ad ampia banda

Partendo dalle osservazioni del paragrafo precedente, nella successiva fase di sviluppo della rete di gestione della continua proveniente dal DUT si è considerato il fatto che, a differenza della situazione presente nel lavoro [8], il percorso del segnale nel circuito qui presentato offre un  $G_{loop}$  molto elevato alla frequenza di misura, arrivando (come visto nel capitolo 2.1) anche a valori di  $2 \cdot 10^7$ . Ciò ha portato a vagliare l'idea di poter realizzare una rete di gestione della DC che presentasse un guadagno d'anello maggiore di uno anche a frequenze per le quali si desiderano compiere misure di impedenza, puntando sul fatto che il  $G_{loop}$  elevato del percorso principale alla  $f_0$  consentisse di poter trascurare la presenza del loop complementare, ancora attivo ma comunque con guadagni d'anello dell'ordine di qualche unità o di qualche decina. Lo sviluppo positivo di quest'idea avrebbe permesso di poter implementare una rete con specifiche sulle singolarità molto più rilassate e quindi di facile realizzabilità. Per i consueti problemi di stabilità del loop è utile realizzare un circuito che presenti, ad esempio, due poli ma perlomeno uno zero, per poter attraversare l'asse a 0 dB con una pendenza di -20 dB/dec. Un circuito atto allo scopo è ad esempio il seguente (figura 3.4):

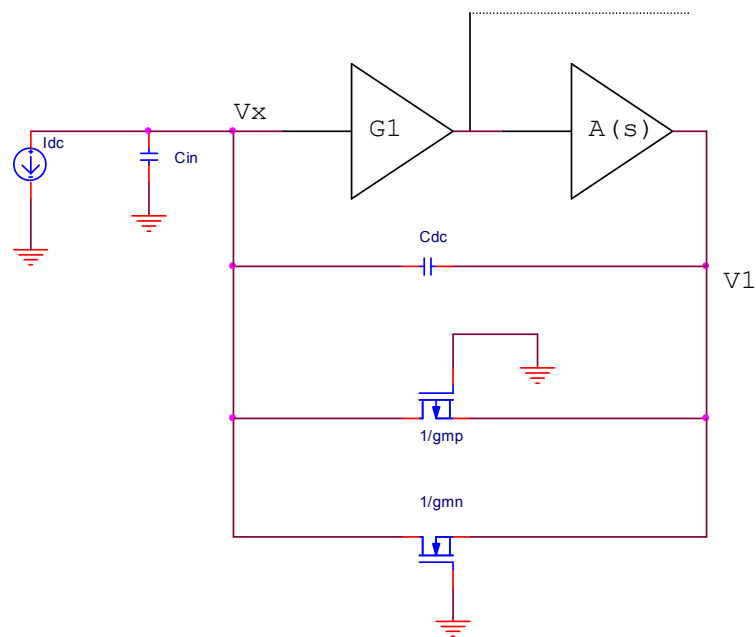


Figura 3.4: Rete di gestione della corrente continua ad ampia banda

Come si può notare, non vi è più la presenza di un attenuatore di corrente né la rete  $H(s)$ , ma un amplificatore  $A(s)$  che pilota direttamente i source di due transistori, un n-MOS e un p-MOS. L'inserimento della capacità  $C_{dc}$  è necessario per poter introdurre nel loop uno zero stabilizzante. Siccome la corrente DC è prelevata da dei transistor e non da un attenuatore di corrente, si perde la relazione lineare tra corrente spillata e tensione in uscita dall'amplificatore, che invece si otteneva nel circuito presentato nel paragrafo precedente considerando la tensione ai capi di  $R_{att}$ . Infine, lo spillatore non è più realizzato con un MOS a transdiodo ma tramite dei gate a massa: questo rende necessario l'inserimento di due transistori di diversa tipologia per permettere alla corrente di fluire nelle due direzioni, ma permette il vantaggio di poter avere nel guadagno d'anello un polo nell'origine al posto di un polo dipendente dalla corrente in ingresso  $I_{DC}$ . Per il calcolo del guadagno d'anello è utile ricavare innanzitutto il trasferimento tra  $V_1$  e  $V_x$ .

$$V_x s C_{in} = (V_1 - V_x) s C_{dc} + g_m V_1, \quad \frac{V_x}{V_1} = \frac{g_m + s C_{dc}}{s(C_{dc} + C_{in})}$$

Da cui si ricava il  $G_{loop}$  semplicemente moltiplicando per  $A(s)$  e per  $G_1$ :

$$G_{loop}(s) = \frac{G_1 A(s) g_m \left(1 + s \frac{C_{dc}}{g_m}\right)}{s(C_{dc} + C_{in})}$$

La posizione dello zero viene a dipendere dalla corrente spillata e, se si impone  $C_{dc}=100$  fF per avere la medesima partizione capacitiva che si ha nel loop principale, aumentando la corrente spillata da 0 fino a 10 nA esso varia la sua posizione dall'origine fino a 636 kHz. Considerando il guadagno d'anello privo del blocco  $A(s)$ , il guadagno ad alta frequenza vale  $G_{loop}(\infty) = G_1 \frac{C_{dc}}{C_{dc} + C_{in}} =$

$$\begin{cases} 0,63 \text{ con } C_{in} = 1 \text{ pF} \\ 0,069 \text{ con } C_{in} = 10 \text{ pF} \end{cases}$$

Il modulo di tale guadagno d'anello è mostrato nella seguente figura 3.5:

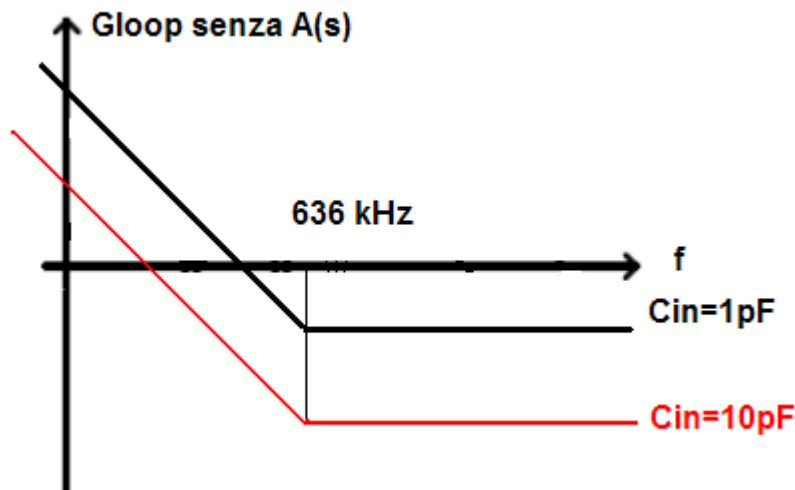


Figura 3.5: Guadagno d'anello della rete di gestione della corrente continua ad ampia banda, senza considerare il blocco amplificante (da dimensionare), per varie capacità di ingresso

Se si utilizza come  $A(s)$  un blocco amplificante a singolo polo, nel  $G_{loop}$  si hanno due poli ed uno zero e bisogna far sì che lo zero cada almeno una decade prima dell'attraversamento dell'asse a zero dB: per garantire questo nel caso pessimo,  $A(636 \text{ kHz}) \cdot 0,069 = 10$ , da cui si ricava  $A(636 \text{ kHz}) = 144$ .

Il GBWP richiesto per l'operazionale è dunque pari a  $636 \text{ kHz} \cdot 144 \approx 100 \text{ MHz}$  e con questo valore l'attraversamento dell'asse a 0 dB (ovviamente con pendenza  $-20 \text{ dB/dec.}$ ) avviene a  $6,36 \text{ MHz}$  in caso di capacità massima in ingresso, circa una decade più avanti se si suppone invece di avere la capacità minima.

Al fine di valutare l'efficacia della soluzione in esame, tuttavia, non è sufficiente limitarsi al semplicistico confronto tra i valori netti del  $G_{loop,DC}$  e del  $G_{loop}$  complessivo ad una determinata frequenza di misura, ma è necessario studiare anche quali siano le espressioni ed i valori delle impedenze offerte dai due percorsi per poter verificare se e come esse interagiscano tra di loro. Per poter far questo, si calcoli il valore dell'impedenza vista dal morsetto di ingresso per quanto riguarda la rete di gestione della corrente continua, considerando aperto il resto del circuito: si faccia riferimento per tale calcolo alla figura 3.6 che riporta la rete semplificata, in cui si immagina di stimolare il circuito con una corrente di test  $i_x$  leggendo la relativa tensione sviluppata  $v_x$ . Si consideri inoltre che l'amplificatore operazionale usato per garantire il GBWP richiesto abbia funzione di trasferimento  $A(s) = \frac{A_0}{1+s\tau}$ , con  $A_0 \sim 9 \cdot 10^6$  (comprensivo anche del differenziale ad alta banda) e con un polo ad una frequenza  $f_p = \frac{1}{2\pi\tau} = 100 \text{ Hz}$ .

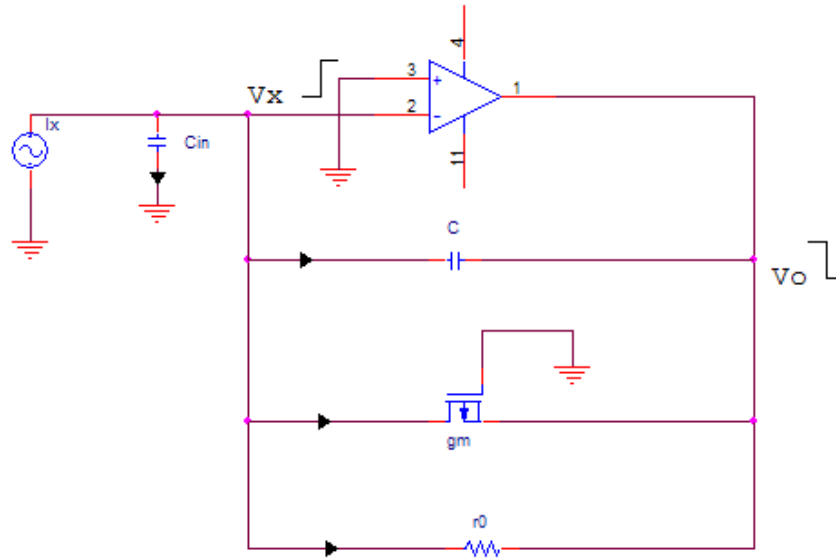


Figura 3.6: Circuito per il calcolo dell'impedenza vista dal nodo di ingresso della rete di gestione della corrente continua

$$\begin{aligned}
 i_x &= v_x s C_{in} + (v_x - v_0) s C - v_0 g_m + (v_x - v_0) g_{DS} \\
 \frac{i_x}{v_x} &= s C_{in} + \left(1 + \frac{A_0}{1 + s\tau}\right) (s C + g_{DS}) + \frac{g_m A_0}{1 + s\tau}, \\
 \frac{v_x}{i_x} = Z &= \frac{(1 + s\tau)}{s C_{in} (1 + s\tau) + [(1 + s\tau) + A_0] (s C + g_{DS}) + g_m A_0}, \\
 Z &= \frac{(1 + s\tau)}{s^2 \tau (C_{in} + C) + s [C_{in} + g_{DS} \tau + C (A_0 + 1)] + (A_0 + 1) g_{DS} + g_m A_0}.
 \end{aligned}$$

Prendendo come punto di partenza questa espressione è possibile fare alcune interessanti considerazioni. Anzitutto, in continua il valore di impedenza è resistivo ed è pari a circa  $\frac{1}{g_m A_0}$ : Si ha

poi la presenza di una coppia di poli complessi coniugati, ad una frequenza  $f_0 \cong \frac{1}{2\pi} \sqrt{\frac{1}{\tau \left(\frac{C_{in} + C}{g_m A_0}\right)}} =$

$\frac{1}{2\pi} \sqrt{\frac{g_m A_0}{\tau (C_{in} + C)}}$ . Sostituendo nell'espressione valori tipici per la  $g_m$  e la capacità massima, si ricava

come tale frequenza cada a centinaia di kHz. Per basse frequenze, l'impedenza ha dunque un andamento identico a quello di una rete LR serie, in cui domina la componente induttiva oltre i 100 Hz dati dal polo dell'amplificatore, come mostrato in figura 3.7. Si noti come sia interessante andare a studiare l'interazione tra i due loop proprio spostandosi a bassa frequenza, poiché sia la diminuzione di impedenza della rete del feedback di modo comune (causata dall'aumento del

guadagno d'anello di tale loop), sia l'aumento dell'impedenza della retroazione complessiva (che è capacitiva) contribuiscono alla diminuzione del segnale che scorre in  $C_f$  a favore di quello che scorre nella rete DC.

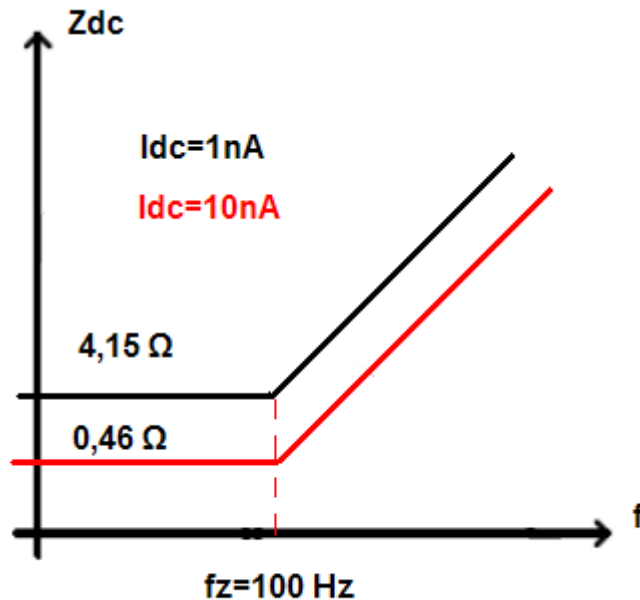


Figura 3.7: Modulo dell'impedenza presentata al nodo di ingresso dalla rete di gestione della corrente continua (equivalente ad una serie LR)

La natura delle due impedenze considerate (capacitiva quella in retroazione, induttiva quella della rete del modo comune) fa poi sì che sia possibile avere elementi per supportare dei fenomeni di risonanza, che condurrebbero ad avere un guadagno reale maggiore di quello ideale (in quanto la corrente in  $C_f$ , in presenza di risonanze, sarebbe maggiore rispetto a quella iniettata dall'ingresso), ma soprattutto una limitata stabilità del sistema nel suo complesso. Per convincersene, è utile anche vedere la situazione sotto un altro punto di vista, calcolando cioè il guadagno d'anello del circuito complessivo (con l'approssimazione di considerare il guadagno del percorso di andata del segnale, attivo ad una ben determinata frequenza, come un guadagno costante  $A_1$  a quella frequenza e nullo altrove) aiutandosi con gli schemi a blocchi di figura 3.8: con  $A_2$  si indica il guadagno della rete DC e con  $A$  il guadagno del differenziale ad alta banda in ingresso.  $Z_A$  e  $Z_B$  sono in parallelo, e sono due impedenze che si calcolano indipendentemente l'una dall'altra, considerando disattivato ora uno ora l'altro percorso.

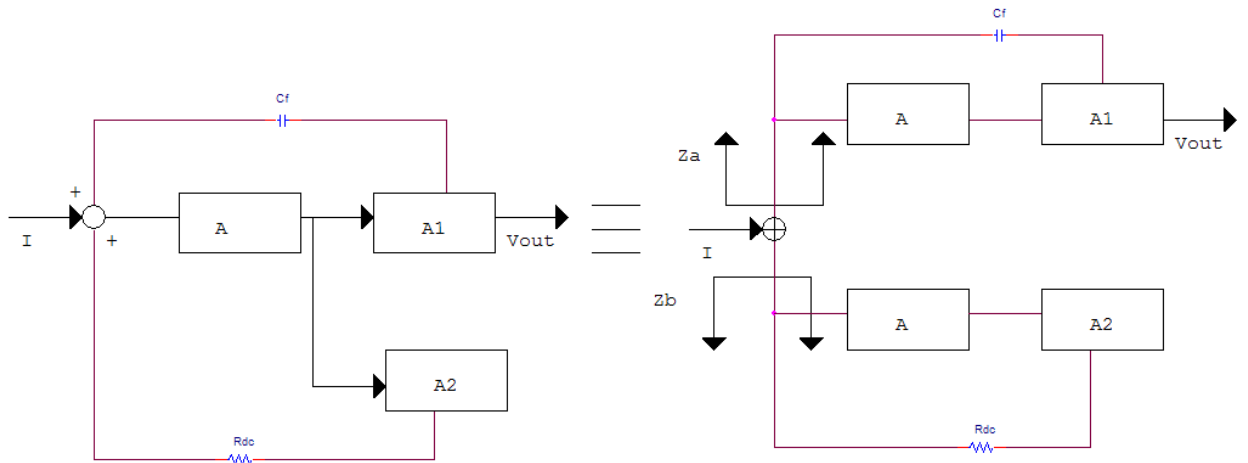


Figura 3.8: Interazione tra l'anello di gestione della corrente continua e l'anello principale a modulazione / demodulazione

$$G_{loop} = \frac{A \cdot A_1 \cdot Z_B}{\frac{1}{sC_f} + Z_B}$$

Considerando  $C_{in}$  afferente unicamente a  $Z_B$ , si ha  $Z_A = \frac{1}{sC_f A A_1}$ , e quindi:

$$G_{loop} = \frac{A \cdot A_1 \cdot Z_B}{A \cdot A_1 \cdot Z_A + Z_B}$$

Assumendo inoltre  $Z_A \approx Z_B$ , cioè di trovarsi in una potenziale situazione di risonanza, si ricava infine che in queste condizioni  $G_{loop} = \frac{A \cdot A_1 \cdot Z_B}{A \cdot A_1 \cdot Z_A + Z_B} \cong \frac{A \cdot A_1 \cdot Z_B}{A \cdot A_1 \cdot Z_A} \approx 1$ .

Ricordando che in un generico sistema retroazionato si ha sempre  $G_{reale} = \frac{G_{id} G_{loop}}{1 - G_{loop}}$ , si nota come avere i moduli delle impedenze  $Z_A$  e  $Z_B$  circa uguali fa sì che il denominatore del  $G_{reale}$  possa tendere a zero, conducendo così ad avere guadagno reale potenzialmente più elevato rispetto al guadagno ideale, oltre ad una stabilità molto bassa del sistema complessivo.

L'intero circuito, dal punto di vista impedenziale, può dunque essere riassunto secondo la seguente rete (figura 3.9):

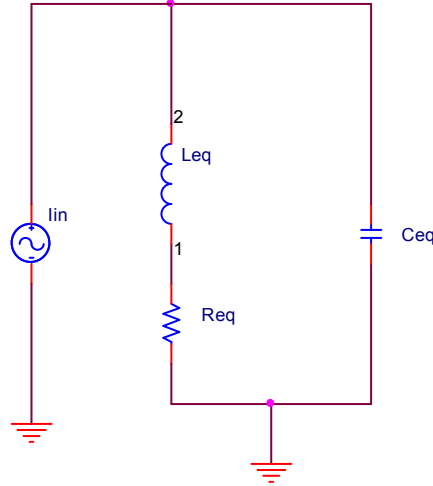


Figura 3.9: Modello impedenziale equivalente del circuito complessivo

Dove, secondo l'espressione della  $Z_{DC}$  ricavata precedentemente, si ha  $R_{eq} = \frac{1}{g_m A_0}$ ,  $L_{eq} = \frac{\tau}{g_m A_0}$  e dove  $C_{eq} = C_f A(f_0)$ , cioè la capacità in feedback moltiplicata per il valore del guadagno di andata alla frequenza di misura, supposto come una costante per semplicità di calcoli.

Se questo modello è corretto, la ripartizione della corrente  $I_{in}$  dà un'informazione sulla corrente che fluisce nella rete di gestione della corrente continua (cioè la corrente nella serie  $R_{eq} - L_{eq}$ ) e su quella di segnale (corrente in  $C_{eq}$ ), al variare della frequenza. Ad esempio, volendo ricavare la corrente di segnale:

$$i_c = i \cdot \frac{\frac{1}{g_m A_0} + s \frac{\tau}{g_m A_0}}{\frac{1}{g_m A_0} + s \frac{\tau}{g_m A_0} + \frac{1}{s C_f A(f_0)}} = i \cdot \frac{(1 + s\tau) s C_f A(f_0)}{s^2 \tau C_f A(f_0) + s C_f A(f_0) + g_m A_0}$$

Portando l'espressione in forma normale si ottiene infine:

$$i_c = i \cdot \frac{s}{\tau} \cdot \frac{(1 + s\tau)}{s^2 + \frac{s}{\tau} + \frac{g_m A_0}{\tau C_f A(f_0)}}$$

Partendo da questa espressione si è calcolato anche il modulo di tale trasferimento:

$$\left| \frac{i_c}{i} \right| = \left| \frac{s}{\tau} \cdot \frac{(1 + s\tau)}{s^2 + \frac{s}{\tau} + \frac{g_m A_0}{\tau C_f A(f_0)}} \right|_{s=j\omega} = \left| \frac{j\omega}{\tau} \cdot \frac{(1 + j\omega\tau)}{-\omega^2 + \frac{j\omega}{\tau} + \frac{g_m A_0}{\tau C_f A(f_0)}} \right| = \frac{\omega}{\tau} \cdot \frac{\sqrt{1 + \omega^2 \tau^2}}{\sqrt{\left( \frac{g_m A_0}{\tau C_f A(f_0)} - \omega^2 \right)^2 + \frac{\omega^2}{\tau^2}}}$$

Il trasferimento presenta due zeri, uno nell'origine e uno a bassa frequenza, e due poli complessi coniugati, e dopo il loro intervento si ha un trasferimento unitario; cioè tutta la corrente fluisce nel percorso di segnale. La frequenza dei poli complessi coniugati ha espressione  $f_p = \frac{1}{2\pi} \cdot$



$\sqrt{\frac{g_m A_0}{\tau C_f A(f_0)}}$ , ovvero, come ci si aspettava,  $f_p = \frac{1}{2\pi} \cdot \sqrt{\frac{1}{L_{eq} C_{eq}}}$ . Alla risonanza, negli elementi reattivi scorre una corrente uguale ed opposta, più ampia di  $I_{in}$  di un fattore pari al Q della rete, il che causa il fenomeno di avere un guadagno reale più elevato di quello ideale. Prima della risonanza, invece, la corrente scorre nella rete di gestione della corrente continua e quindi il percorso a modulazione / demodulazione risulta essere disattivo. Una certa indeterminazione nel valore di  $A(f_0)$ , rende difficile valutare con estrema precisione attraverso le simulazioni sul circuito l'esattezza di tali formule.

Pertanto, per una verifica di principio, sono state effettuate simulazioni su di un circuito con percorso di andata semplificato, consistente nella cascata di differenziale ad alta banda, moltiplicatore analogico di demodulazione, unico blocco amplificante a singolo polo con guadagno in continua pari a 150000 e moltiplicatore finale di upconversion.

Le prove sono state eseguite con una corrente continua di 10 nA, che porta ad una  $g_m = 245$  nA/V. Tale valore è stato ricavato dalla simulazione, pertanto esso tiene in conto anche il fattore di sottosoglia. Con i valori usati nella simulazione si ottiene una frequenza di risonanza pari a:

$$f_p = \frac{1}{2\pi} \cdot \sqrt{\frac{g_m A_0}{\tau C_f A(f_0)}} = \frac{1}{2\pi} \cdot \sqrt{\frac{245 \cdot 10^{-9} \cdot 9 \cdot 10^6}{1,59 \cdot 10^{-3} \cdot 100 \cdot 10^{-15} \cdot 650 \cdot 10^3}} \cong 25 \text{ kHz}.$$

È stato effettuato uno sweep in frequenza con  $I_{in,pp}=20$  pA, dimostrando che per frequenze molto superiori alla  $f_p$  si ha effettivamente trasferimento unitario di corrente (vedere figura 3.10), ed invece circa nullo a frequenze molto inferiori alla  $f_p$  stessa.

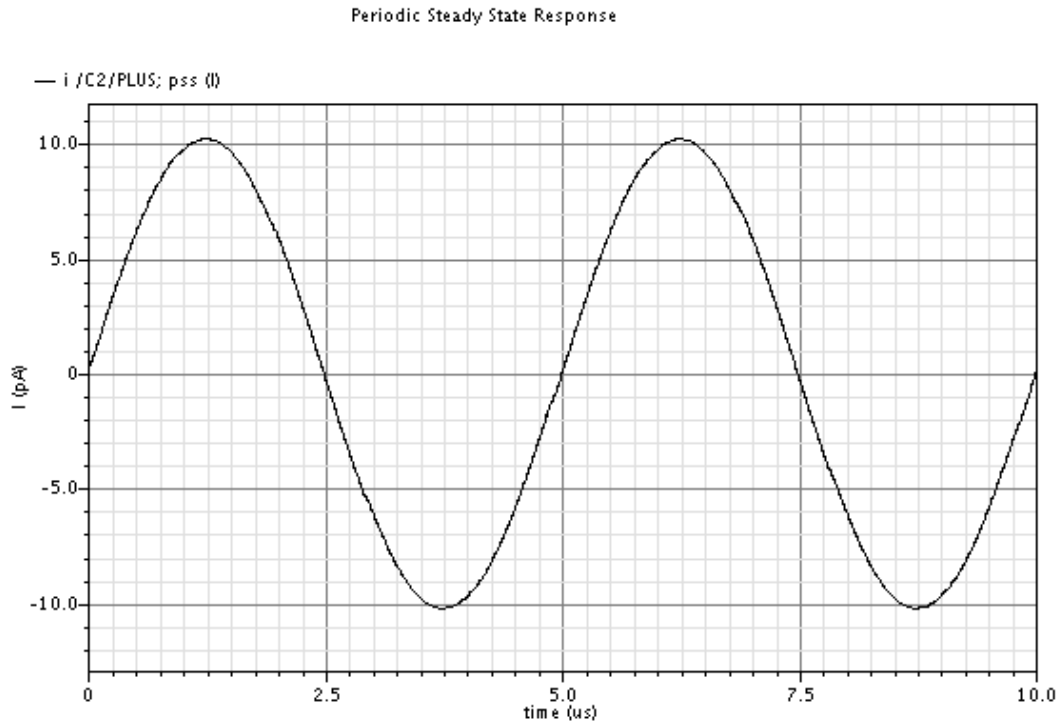


Figura 3.10: Corrente nella capacità di feedback (coincidente con la corrente di ingresso a  $f_0=200$  kHz)

La prova decisiva è stata effettuata ad una frequenza  $f_0$  di 25 kHz, alla quale si è verificato che nella capacità scorre una corrente di valore picco - picco pari a 320 pA, che confrontati con i 20 pA<sub>pp</sub> di stimolo in ingresso possono essere spiegati solamente con dei fenomeni di risonanza (figura 3.11).

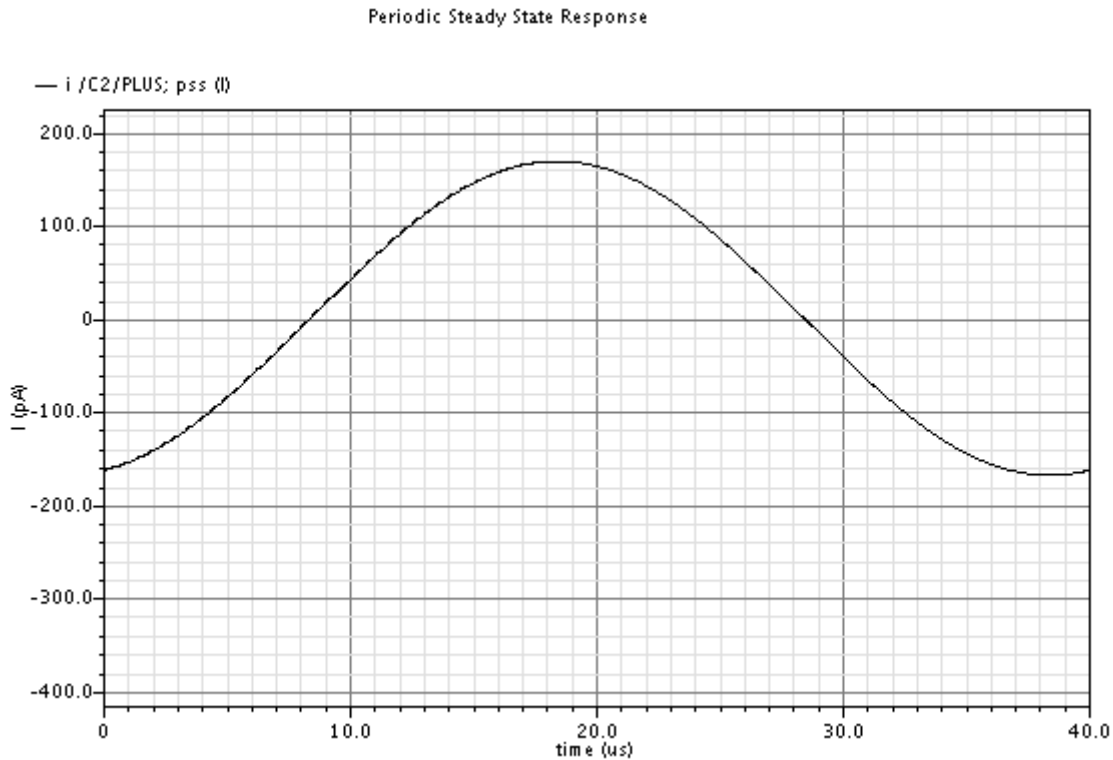


Figura 3.11: Corrente nella capacità di feedback (molto più elevata della corrente di ingresso) a  $f_0=25$  kHz

Con queste analisi è stato possibile dimostrare che la visione del sistema come una rete risonante LC risulta corretta e ciò comporta la presenza, a certe frequenze, di valori di guadagno reale più elevati del guadagno ideale, ma soprattutto una bassa stabilità del sistema che si traduce in transitori di andata a regime pesantemente sovra oscillanti. Risostituendo nell'espressione di  $f_p$  il guadagno di andata che si ha nella rete reale, con i suoi margini di indeterminatezza, si ottiene una frequenza di risonanza che si assesta nell'intorno dei 10 kHz. Pertanto, il sistema totale, con la rete di gestione della corrente continua presentata nel presente paragrafo, è correttamente funzionante se la frequenza di misura si mantiene sufficientemente distante da tale limite, ad esempio una decade oltre. Questo significa che, utilizzando tale rete per la gestione della continua, non risulta agevole andare ad esplorare il comportamento di campioni biologici che presentano significative dispersioni dielettriche di tipo  $\alpha$ . È possibile generalizzare i risultati ottenuti in questo paragrafo, considerando come l'induttanza equivalente del feedback di gestione della corrente continua dipenda in ultima

istanza dal prodotto guadagno banda dell'amplificatore utilizzato nella rete:  $L_{eq} = \frac{\tau}{g_m A_0} = \frac{1}{g_m GBWP_{A(s)}}$ . Affinché la frequenza di risonanza assuma valori tali da consentire di spingere la frequenza di misura nel campo di qualche kHz, è necessario dunque aumentare il più possibile il valore di questo induttore equivalente, e quindi diminuire di conseguenza la banda della rete DC da sintetizzare, che risulterà essere legata con dipendenza diretta al prodotto guadagno – banda della rete amplificante che si va ad inserire per stabilizzare il loop.

### **Capitolo 3.3 – Rete DC con compensazione polo – zero.**

I risultati ottenuti alla fine del precedente paragrafo hanno dimostrato come la banda della rete di gestione della corrente continua sia direttamente legata alla frequenza minima di misura che è possibile ottenere dal sistema se si vuole evitare l'insorgenza di fenomeni di interazione tra il loop di gestione della continua e l'anello principale di modulazione / demodulazione, come ad esempio guadagno reale maggiore di quello ideale (a causa di un guadagno d'anello complessivo basso), transitori di uscita sovra oscillanti, ed in definitiva dunque una minore stabilità del sistema.

Siccome la frequenza di misura dev'essere la più bassa possibile, risulta a questo punto ovvio come ciò voglia dire ridurre il più possibile la banda della rete di gestione della corrente continua. Ciò, come discusso nel primo paragrafo di questo capitolo, comporta dei problemi nella stabilizzazione dell'anello, in particolar modo se si ha la presenza di singolarità che presentano forti dipendenze dalla capacità in ingresso o dalla corrente spillata. Si è reso dunque necessario utilizzare un circuito che consentisse di eliminare il più possibile queste dipendenze: in particolare, come verrà descritto tra poco, la rete presentata in figura 3.12 attua una compensazione polo – zero in grado di eliminare la dipendenza dalla corrente DC delle singolarità, semplificando dunque grandemente la stabilizzazione del loop.

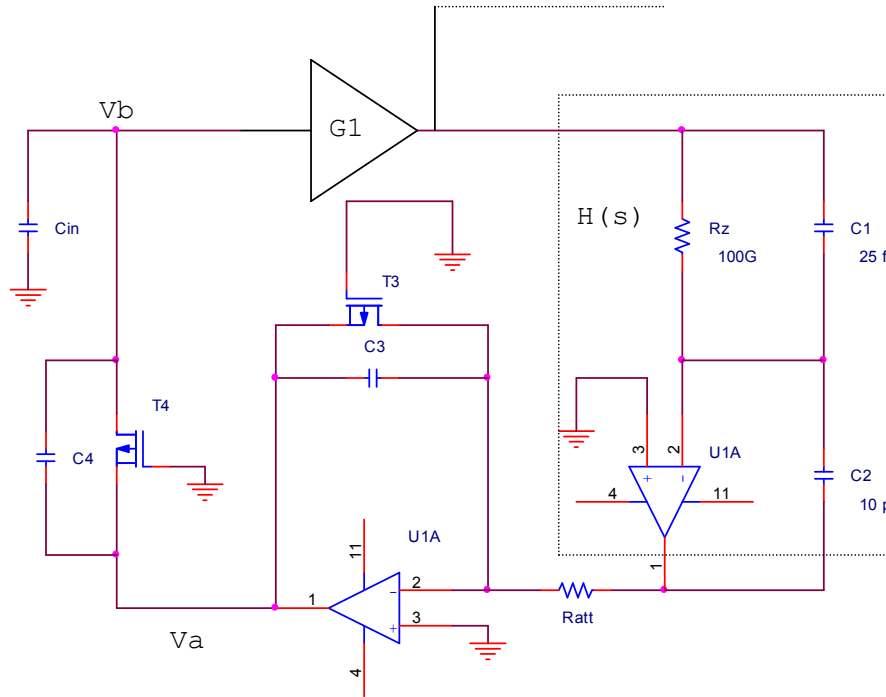


Figura 3.12: Rete di gestione della corrente continua con attenuatore di corrente e cancellazione polo - zero

La struttura è quella dell'attenuatore di corrente già utilizzato nel paragrafo 3.1. Nello schematico per semplicità sono rappresentati solo i p – MOS, ma sono presenti in parallelo anche degli n – MOS per garantire di poter spillare la corrente in entrambe le direzioni. Il fatto di non utilizzare un MOS a transdiodo come spillatore ma dei gate a massa introduce nel  $G_{loop}$  un polo nell'origine invece di un polo con costante di tempo dipendente dalla corrente  $I_{DC}$ , ma richiede di dover introdurre nella struttura dell'attenuatore di corrente una capacità in parallelo al MOS per la stabilizzazione, come verrà spiegato tra poco. Come rete stabilizzatrice è stata utilizzata la rete  $H(s)$  racchiusa nella linea tratteggiata, già integrata in un precedente lavoro di tesi [8]. Come si può notare, vi è la presenza di una resistenza di valore molto elevato, realizzata da una cascata di molti blocchi attenuatori di corrente, mentre  $G_1$  all'ingresso della catena rappresenta il solito differenziale ad alta banda presente su entrambi i percorsi, quello DC e quello a modulazione /demodulazione.

Dal bilancio di corrente al nodo  $V_B$  ci si ricava il trasferimento tra  $V_B$  e  $V_A$ :

$$V_B s C_{in} = g_{m4} V_A + (V_A - V_B) s C_4,$$

$$\frac{V_B}{V_A} = \frac{g_{m4} + s C_4}{s(C_{in} + C_4)} = \frac{g_{m4} \left(1 + s \frac{C_4}{g_{m4}}\right)}{s(C_{in} + C_4)}.$$

Per cui il guadagno d'anello complessivo, considerando infinito il guadagno dell'amplificatore operazionale nella rete  $H(s)$ , ha espressione:

$$G_{loop}(s) = G_1 \cdot \frac{(1 + sC_1R_z)}{sC_2R_z} \cdot \frac{1}{R_{att}} \cdot \frac{g_{m4}}{g_{m3}} \cdot \frac{\left(1 + s\frac{C_4}{g_{m4}}\right)}{\left(1 + s\frac{C_3}{g_{m3}}\right)s(C_{in} + C_4)}$$

$\frac{g_{m4}}{g_{m3}}$  dipende solo da fattori geometrici e se si scelgono  $C_3$  e  $C_4$  in modo tale da avere  $\frac{g_{m4}}{g_{m3}} = \frac{C_4}{C_3}$  si ha la cancellazione polo – zero e il  $G_{loop}$  non viene a dipendere da  $I_{DC}$ . La capacità di ingresso influenza dunque solo il modulo del  $G_{loop}$  ma non la posizione delle singolarità. Il guadagno d’anello ha espressione molto semplice: sono presenti due poli nell’origine ma lo zero di  $H(s)$ , fissato a 60 Hz, permette sotto certe condizioni di attraversare l’asse a 0 dB con una pendenza sempre pari a -20 dB/dec.

La stabilità in ogni condizione di operazione, con margine di fase di  $45^\circ$ , si ottiene imponendo che alla frequenza dello zero il modulo del  $G_{loop}$  abbia valore unitario, con le approssimazioni  $1+sC_1R_z \approx sC_1R_z$  e  $C_{in}+C_4 \approx C_{in}$ . Ci si prenda un ulteriore margine imponendo capacità massima pari a 20 pF, rispetto ai consueti 10 pF.

Si ottiene dunque  $G_{loop}(f_z) \cong G_1 \frac{C_1}{C_2R_{att}} \cdot \frac{g_{m4}}{g_{m3}} \cdot \frac{1}{2\pi f_z C_{in}} = 1$ , da cui si ricava  $\frac{g_{m3}}{g_{m4}} R_{att} = R_{eq,max} = 2,65 \text{ M}\Omega$ .

Si consideri ora lo studio della stabilità dell’operazionale che agisce da riduttore di corrente, considerando la sua capacità parassita  $C_p$  dal morsetto invertente verso massa, facendo riferimento alla figura 3.13.

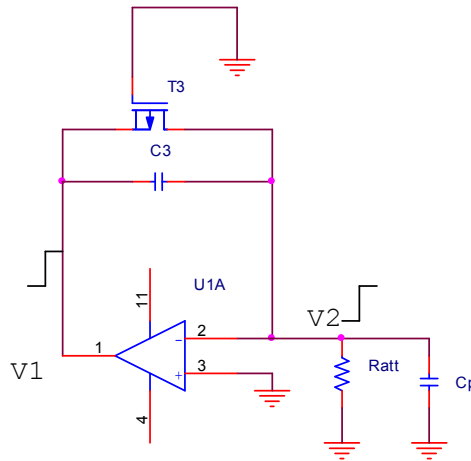


Figura 3.13: Circuito per il calcolo del  $G_{loop}$  del solo attenuatore di corrente

Se non si introducesse la capacità  $C_3$  in parallelo al MOS  $T_3$ , nel guadagno d’anello (considerando  $r_0$  infinita) si avrebbero due poli, quello di  $A(s)$  e il polo della rete  $R_{att} - C_p$ , pilotata da  $T_3$  che agirebbe da generatore di corrente ideale. Due poli nel  $G_{loop}$  e nessuno zero possono portare

all'instabilità dell'anello. Introducendo invece  $C_3$ , è possibile calcolare il trasferimento di tensione tra  $V_2$  e  $V_1$ :

$$V_1 g_{m3} - (V_2 - V_1) s C_3 = \frac{V_2 (1 + s C_p R_{att})}{R_{att}}$$

$$\frac{V_2}{V_1} = \frac{R_{att} g_{m3} \left(1 + s \frac{C_3}{g_{m3}}\right)}{1 + s R_{att} (C_p + C_3)}$$

Il guadagno d'anello del solo riduttore di corrente è semplicemente  $\frac{V_2}{V_1}$  moltiplicato per  $A(s)$ :

$$G_{loop}(s) = A(s) \frac{g_{m3} R_{att} \left(1 + s \frac{C_3}{g_{m3}}\right)}{1 + s R_{att} (C_p + C_3)}$$

Si immagini di avere un operazionale a singolo polo, con frequenza del polo  $f_0$  e guadagno in continua  $A_0$ . Nel  $G_{loop}$  in esame è possibile ricavare il valore della frequenza di attraversamento dell'asse a 0 dB, utilizzando l'uguaglianza del prodotto tra guadagno e banda:  $f_u = A_0 f_0 \frac{C_3}{C_3 + C_p} = GBWP \cdot \frac{C_3}{C_3 + C_p}$ .

Affinché il sistema possa essere stabile, c'è necessità che lo zero cada a frequenze minori dell'attraversamento:  $f_z < f_u, \frac{g_{m3}}{2\pi C_3} < GBWP \cdot \frac{C_3}{C_3 + C_p}$ .

Questa condizione però non è sufficiente a garantire la stabilità per ogni valore di corrente continua: infatti, se si ha corrente continua tendente a zero, la nuova espressione del guadagno d'anello vale:

$$G_{loop}(s) = A(s) \frac{s R_{att} C_3}{1 + s R_{att} (C_p + C_3)}$$

In questo contesto si ha uno zero nell'origine, che fa sì che l'operazionale non sia retroazionato a basse frequenze: bisogna dunque capire qual è l'impatto sull'intera rete della gestione della DC quando l'operazionale offre come trasferimento solamente  $A(s)$  e il polo dovuto a  $R_{att}$ , calcolando il guadagno d'anello complessivo:

$$G_{loop, rete DC}(s) = G_1 \frac{(1 + s R_z C_1)}{s R_z C_2} \cdot \frac{A(s)}{1 + s R_{att} (C_p + C_3)} \cdot \frac{g_{m4} \left(1 + s \frac{C_4}{g_{m4}}\right)}{s (C_{in} + C_4)}$$

Nella situazione in esame, la corrente tende a zero (pertanto ciò vale anche per  $g_{m4}$ ), ma si sta studiando il comportamento a bassissime frequenze, per cui anche  $s$  sta tendendo a zero e non è dunque possibile semplificare l'espressione a numeratore. Nella figura 3.14 sono riportati i moduli

del guadagno d'anello totale, in caso di circuito riduttore non ben retroazionato, e il guadagno d'anello del solo riduttore di corrente:

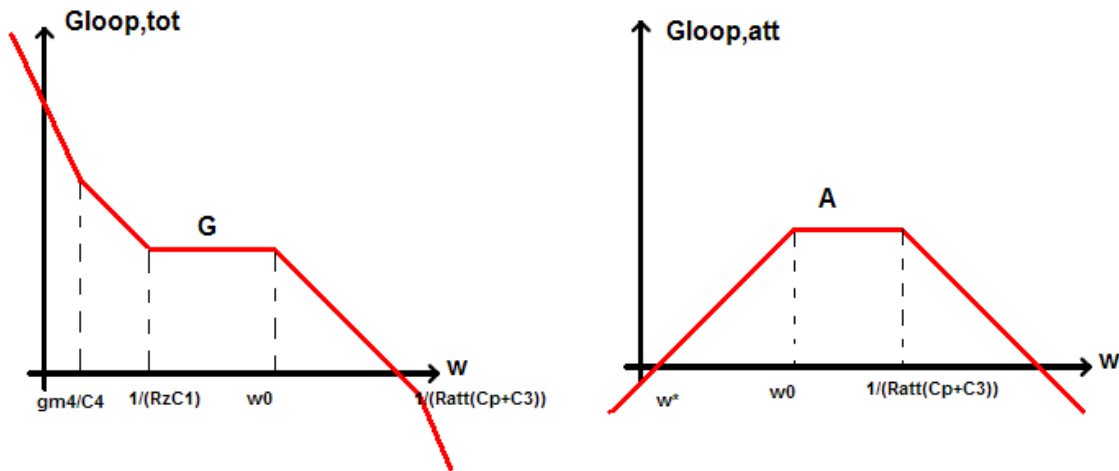


Figura 3.14: Guadagno d'anello della rete con attenuatore di corrente non retroazionato (sinistra) e dell'attenuatore stesso (destra)

Si noti come nel guadagno d'anello complessivo sia presente un tratto con pendenza  $-40$  dB/dec. Sarebbe necessario dunque imporre delle condizioni di stabilità per non attraversare l'asse a  $0$  dB in quella regione. Esiste però un metodo più diretto, che consiste nel ragionare sul  $G_{loop}$  del solo attenuatore di corrente. Esso presenta, riprendendo la sua espressione e considerando già intervenuto il polo di  $A(s)$ , un guadagno a centro banda pari ad  $A = \frac{A_0}{\tau_0} R_{att} C_3 = GBWP \cdot R_{att} C_3$ . Ovviamente, si dovrà avere  $A > 1$ , cioè  $GBWP > \frac{1}{2\pi R_{att} C_3}$ . Ma se oltre a questa condizione si riesce a garantire anche che il riduttore di corrente inizi ad essere retroazionato ad una frequenza più bassa rispetto a quella dello zero di  $H(s)$  ( $f^* < f_z$ ,  $\frac{f_0}{2\pi f_0 A_0 R_{att} C_3} < f_z$ ,  $f_z > \frac{1}{2\pi A_0 R_{att} C_3}$ ) si impone che, alla frequenza di intervento dello zero stabilizzante, si abbia un  $G_{loop}$  complessivo realmente coincidente con quello previsto, rendendo valide in ogni situazione le precedenti considerazioni sulla stabilità. Si hanno perciò complessivamente quattro condizioni da soddisfare contemporaneamente per garantire un buon dimensionamento della rete.

Per poter utilizzare valori di capacità ragionevoli ed integrabili, è necessario che il rapporto  $\frac{g_{m3}}{g_{m4}} = \frac{C_3}{C_4}$  non sia molto elevato: si è scelto di porlo pari a 10. Pertanto, per soddisfare la relazione sulla stabilità della rete nel suo complesso, si deve imporre  $R_{att} \leq 260$  kHz: per avere del margine si sceglie  $R_{att} = 200$  kHz.

Con questo dimensionamento e corrente continua massima di 10 nA, nel loop dell'operazionale riduttore di corrente in realtà si ha che la singolarità a frequenza più elevata risulta essere il polo e

non lo zero, quindi la condizione di stabilità sul loop locale diventa  $GBWP > \frac{(C_3+C_p)}{C_3 2\pi(C_3+C_p)R_{att}} = \frac{1}{2\pi R_{att} C_3}$ , (condizione peraltro identica a quella che si era ricavata imponendo  $A > 1$ ) dalla quale si ricava che deve essere  $C_3 > \frac{1}{2\pi R_{att} GBWP}$ . Si è scelto di utilizzare nella rete un amplificatore operazionale già impiegato in altre parti del circuito, avente  $GBWP = 15$  MHz. Da questo parametro si ricava che il valore minimo per  $C_3$  è di circa 50 fF, ma siccome è necessario garantire anche  $\frac{C_3}{C_4} = 10$ , si sceglie di sovradimensionare pesantemente questo parametro imponendo  $C_3=1$  pF e di conseguenza  $C_4=100$  fF. L'operazionale ha inoltre un guadagno in continua pari a circa  $6 \cdot 10^6$ , il che garantisce che sia verificata anche l'ultima condizione, in quanto con questo dimensionamento  $f^*$  vale 133 mHz, che è quindi ben minore rispetto alla frequenza dello zero di  $H(s)$ .

Il vantaggio della soluzione implementata sta nel fatto che la rete ha un attraversamento dell'asse a 0 dB a frequenza sempre molto bassa, permettendo di abbassare di conseguenza anche la frequenza di misura senza che vi siano delle interferenze tra il loop di gestione della corrente continua e l'anello a modulazione / demodulazione. Ciò garantisce che non vi siano problemi di stabilità, sovraoscillazioni e tempi diversi di andata a regime per diverse frequenze di misura. Lo svantaggio, invece, sta nel fatto che il valore non elevatissimo di resistenza fisica realizzata (200 kΩ) fa sì che alle basse frequenze il contributo di rumore di corrente di  $R_{att}$  sia prevalente rispetto al rumore equivalente serie del percorso ad alta frequenza, inficiando parzialmente le precedenti osservazioni riguardo alla sensibilità del circuito. Ci si ricavi, infatti, il valore della frequenza alla quale il contributo di rumore termico di  $R_{att}$  eguaglia il rumore equivalente serie di tensione dell'amplificatore:

$$\frac{4KT}{R_{att}} \left( \frac{g_{m4}}{g_{m3}} \right)^2 = E_{n,eq}^2 (2\pi f_{NC})^2 C_{in,min}^2$$

Da cui:

$$f_{NC,max} = \frac{1}{2\pi} \sqrt{\frac{4KT}{R_{att} E_{n,eq}^2 C_{in,min}^2} \left( \frac{g_{m4}}{g_{m3}} \right)^2} = 900 \text{ kHz}$$

Nel caso, più realistico, di avere all'ingresso una capacità parassita di 10 pF questo valore diventa di 100 kHz.

Pur tuttavia, almeno in questa prima versione integrata del circuito si è seguito il compromesso di sacrificare questo aspetto per poter avere una banda di misura la più ampia possibile, in modo tale da render possibile con lo stesso circuito lo studio di tutte le possibili dispersioni dielettriche dei campioni cellulari sotto esame.



## Capitolo 4: Simulazioni circuitali

In questo capitolo si riportano i risultati più significativi ottenuti dalle simulazioni circuitali, a sostegno di quanto affermato nei capitoli precedenti: tali risultati sono stati ottenuti utilizzando il simulatore SPECTRE di CADENCE [19] considerando una temperatura di 27° C e con delle tensioni di alimentazione tra +1,5 V e -1,5 V. La presenza dei vari blocchi di modulazione / demodulazione rende il circuito non lineare, pertanto non è stato possibile eseguire alcuna simulazione AC della funzione di trasferimento né simulazioni di rumore.

Innanzitutto, si consideri la simulazione in transitorio effettuata sul sistema completo retroazionato: il circuito è stato stimolato con un segnale sinusoidale di corrente ad una frequenza di 10 MHz, con un'ampiezza pari a 100 nA. In figura 4.1 si nota come l'uscita complessiva cresce da zero al valore di regime, mentre la massa virtuale si porta ad un'ampiezza picco – picco di poche decine di microvolt. È presente una corrente continua di 10 nA sommata al segnale utile, pertanto il fatto che la terra virtuale raggiunga un valore di regime attorno agli zero volt sta ad indicare il corretto funzionamento della rete di gestione della DC. Il valore di regime picco - picco per quanto riguarda l'uscita complessiva del sistema è pari a quello atteso ricavato dal guadagno ideale:

$$V_{out,pp} = 2 \cdot \frac{i_{IN}}{2\pi C_f f_{IN}} = \frac{200 \text{ nA}}{6,28 \cdot 100 \cdot 10^{-15} \cdot 10 \cdot 10^6} = 31,8 \text{ mV}_{pp}$$

La costante di tempo del transitorio di questa simulazione è pari a circa 1,5 ms, corrispondente ad una banda ad anello chiuso del sistema di 100 Hz, coerente con i calcoli effettuati nel paragrafo 2.1 nel caso di capacità in ingresso di 10 pF.

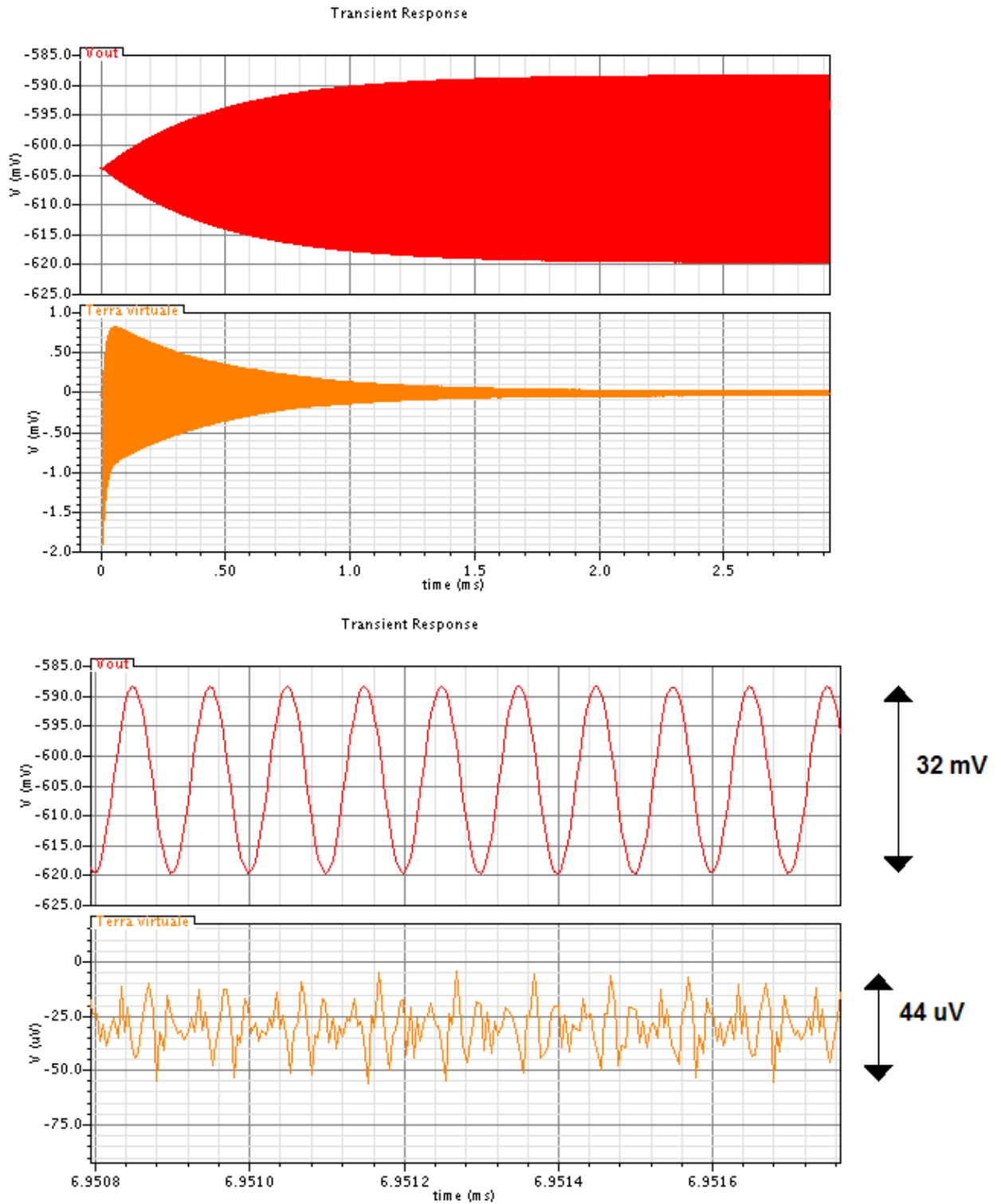


Figura 4.1: In alto: Transitori di andata a regime dell'uscita e della terra virtuale con frequenza di misura pari a 10 MHz; In basso: Dettagli degli stessi segnali

Lo stimolo di corrente in ingresso, sinusoidale, comporta un'uscita in tensione cosinusoidale: ciò è coerente con quanto si osserva alle uscite (differenziali) degli integratori: si ha infatti, come si può apprezzare dalla figura 4.2, una componente a regime in DC di valore consistente (circa 25 mV) soltanto per quanto riguarda il ramo coseno, mentre il ramo con i riferimenti sinusoidali presenta in uscita un valore in continua a regime molto minore. La tensione residua è dovuta alla banda finita del moltiplicatore analogico finale, circa pari a 250 MHz, il cui effetto alla frequenza di lavoro è quello di introdurre uno sfasamento  $\Delta\varphi$ , che la retroazione tende ad annullare per mantenere la tensione di uscita correttamente sfasata di  $90^\circ$  rispetto all'ingresso, come previsto dal guadagno ideale. Il valore atteso sul ramo in fase per compensare questo effetto è pari a:

$$V_{outDC,I} = V_{outDC,Q} \cdot \text{sen}(\Delta\varphi) = V_{outDC,Q} \cdot \text{sen} \left[ \arctan \left( \frac{f_0}{BW_{mixer}} \right) \right] \cong 1 \text{ mV},$$

Valore coerente con quanto ottenuto nella simulazione.

Ciò permette di avere all'uscita complessiva un segnale di tipo coseno, moltiplicando i segnali in continua ottenuti per i riferimenti del moltiplicatore analogico (alla frequenza anch'essi di 10 MHz e considerando le fasi corrette), chiudendo così correttamente l'anello di retroazione. Il valore del modo comune delle uscite differenziali in continua è scelto compatibile con la dinamica di ingresso del moltiplicatore analogico posto a valle, ed è imposto dalla rete di gestione locale tempo continua.

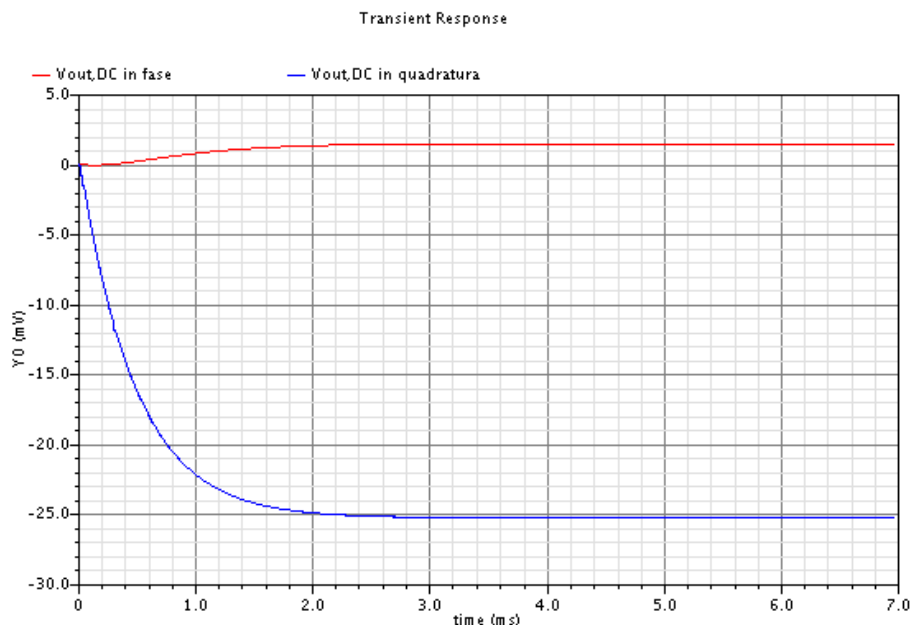


Figura 4.2: Uscite a bassa frequenza dei percorsi in fase e in quadratura con frequenza di misura 10 MHz

Il circuito presenta elevate prestazioni per quanto riguarda le distorsioni, come mostrato in figura 4.3, nella quale è rappresentata la Trasformata Discreta di Fourier della tensione di uscita: la

componente a frequenza 30 MHz risulta infatti più bassa rispetto all'armonica fondamentale di circa 2 ordini di grandezza. Tale componente è dovuta principalmente a distorsioni del moltiplicatore analogico finale, e non può essere abbattuta in quanto fuori dalla banda retroazionata del sistema (vedere paragrafo 2.2). La mancanza di armoniche pari significative risiede nel fatto di aver utilizzato un percorso di andata pienamente differenziale, perlomeno fino all'uscita del moltiplicatore finale.

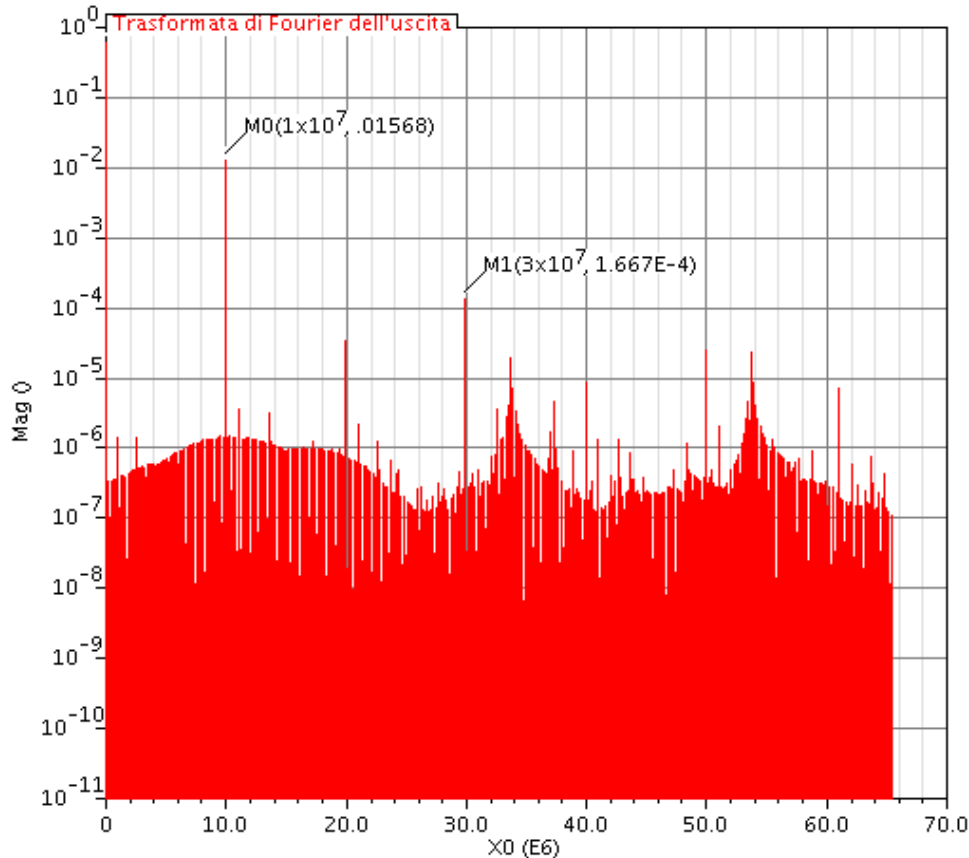


Figura 4.3: Trasformata discreta di Fourier (DFT) della tensione di uscita (simulazione su sistema reale completo a 10 MHz)

La dinamica di uscita del moltiplicatore risulta limitata a qualche centinaio di millivolt, comunque sufficienti in questo ambito poiché corrispondenti a segnali in corrente ben maggiori rispetto a quelli attesi da campioni biologici.

In un circuito con blocchi ideali, per non eseguire simulazioni troppo pesanti dal punto di vista computazionale, si è verificato che variando la fase del segnale di corrente in ingresso, l'uscita si mantiene sfasata di  $90^\circ$  rispetto a tale segnale: per fare ciò, devono variare i valori delle uscite differenziali dei filtri passa basso: se per esempio si stimola il circuito prima con una sinusoide e poi

con un segnale di tipo coseno, si avrà all'uscita un segnale complementare rispetto all'ingresso, pertanto l'uscita in DC sarà nulla sul ramo in fase rispetto allo stimolo di corrente e massima sull'altro (figura 4.4).

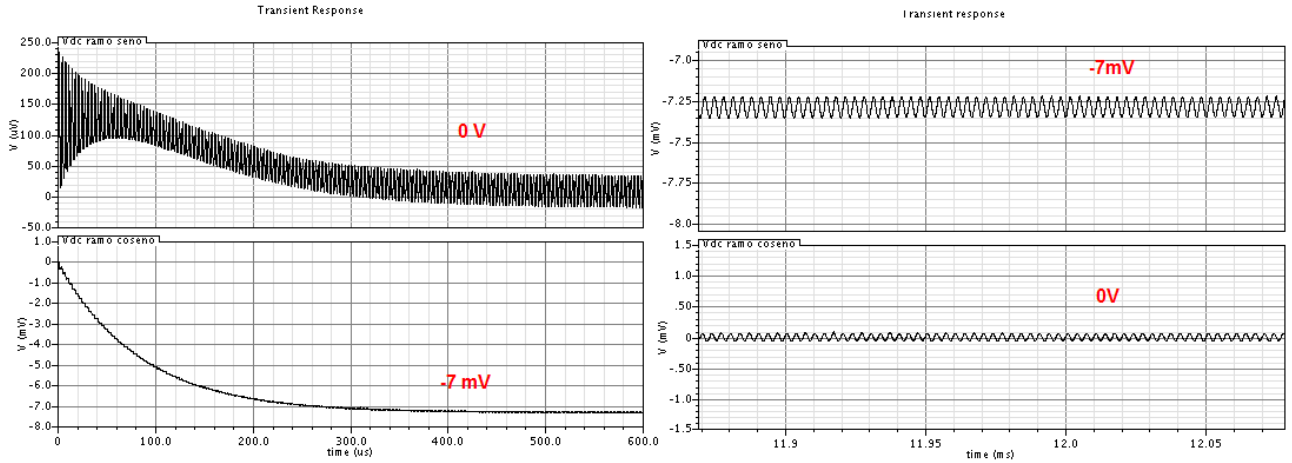


Figura 4.4: Uscite a bassa frequenza sui due rami in fase ed in quadratura con segnale in ingresso di tipo seno (sinistra) e di tipo coseno (a destra)

Nel caso di ingresso in corrente con fase di  $45^\circ$  rispetto ai riferimenti, si avrà un segnale di ampiezza identica alle uscite di entrambi i rami per garantire in uscita un segnale sfasato della stessa quantità sia rispetto al riferimento seno sia rispetto al riferimento coseno (figura 4.5). Si ricordi che lo sfasamento della tensione di uscita dal riferimento sinusoidale e l'ampiezza del segnale, o, equivalentemente, il valore in DC all'uscita degli integratori dei rami seno / coseno permettono di risalire alle componenti resistive e capacitive del campione biologico sotto esame.

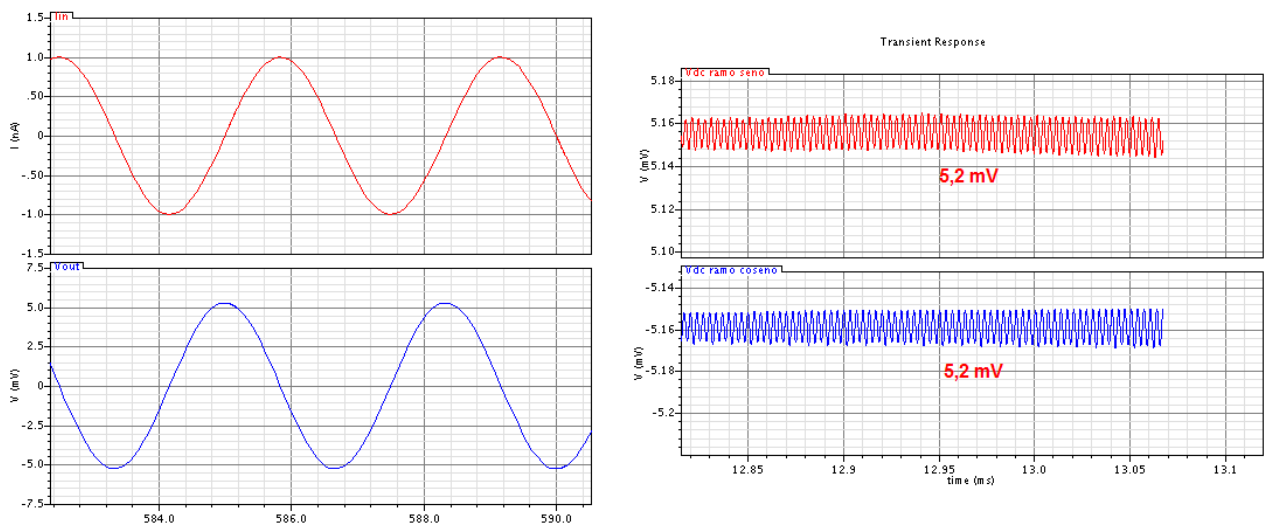


Figura 4.5: Relazione di fase in quadratura tra tensione in uscita e corrente di ingresso, dettata dalla capacità di feedback (a sinistra) e uscite a bassa frequenza dei rami in fase ed in quadratura con segnale in ingresso sfasato di  $45^\circ$  dai due riferimenti (a destra)

Sono state inoltre effettuate delle simulazioni per verificare il giusto comportamento della rete di gestione della corrente continua a bassa frequenza: in figura 4.6 si può notare come variando tra +10 nA e -10 nA la corrente spillata la forma del guadagno d'anello della sola rete di gestione della corrente continua, come ricavata tramite una simulazione di stabilità, resti praticamente inalterata, così come si mantiene fissa la tensione in uscita del sistema retroazionato complessivo. Il guadagno finito a bassa frequenza nel guadagno d'anello è conseguenza diretta del guadagno finito del filtro  $H(s)$ .

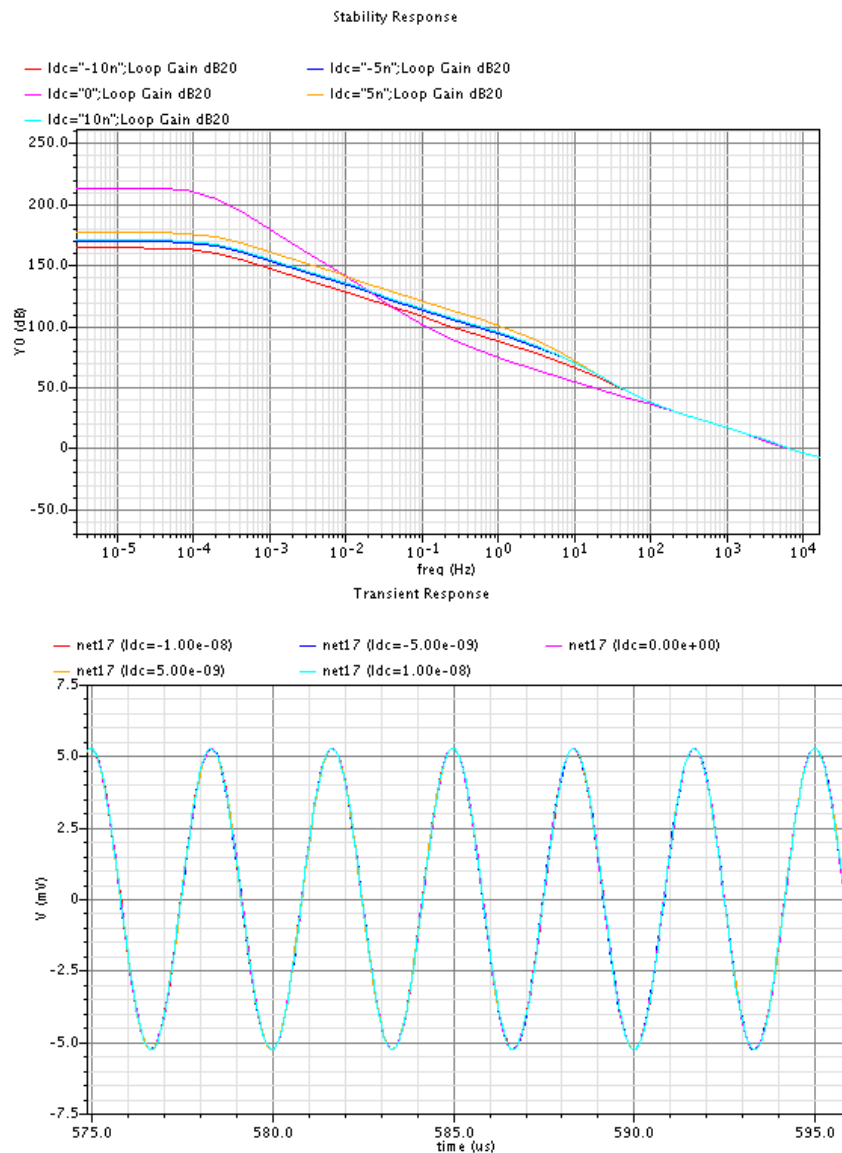


Figura 4.6: In alto: Analisi di stabilità della rete di gestione della corrente continua implementata, per diverse correnti spillate; In basso: Tensione di uscita indipendente dalla corrente continua spillata

Dalla figura 4.7, invece, si può apprezzare come con una frequenza di misura di 10 kHz (circa una decade dopo la disattivazione della rete di gestione della continua) e con capacità in ingresso di 10 pF l'uscita totale del sistema riesca ad andare a regime con i tempi previsti dettati da una costante di tempo di 1,5 ms, mentre se ci si spinge a frequenze minori (1 kHz) nell'andata a regime iniziano a vedersi i primi segni di un'interazione tra il loop di gestione della DC e il loop complessivo, ovvero incomincia a notarsi un transitorio di andata a regime più lungo del previsto e di tipo sovraoscillante.

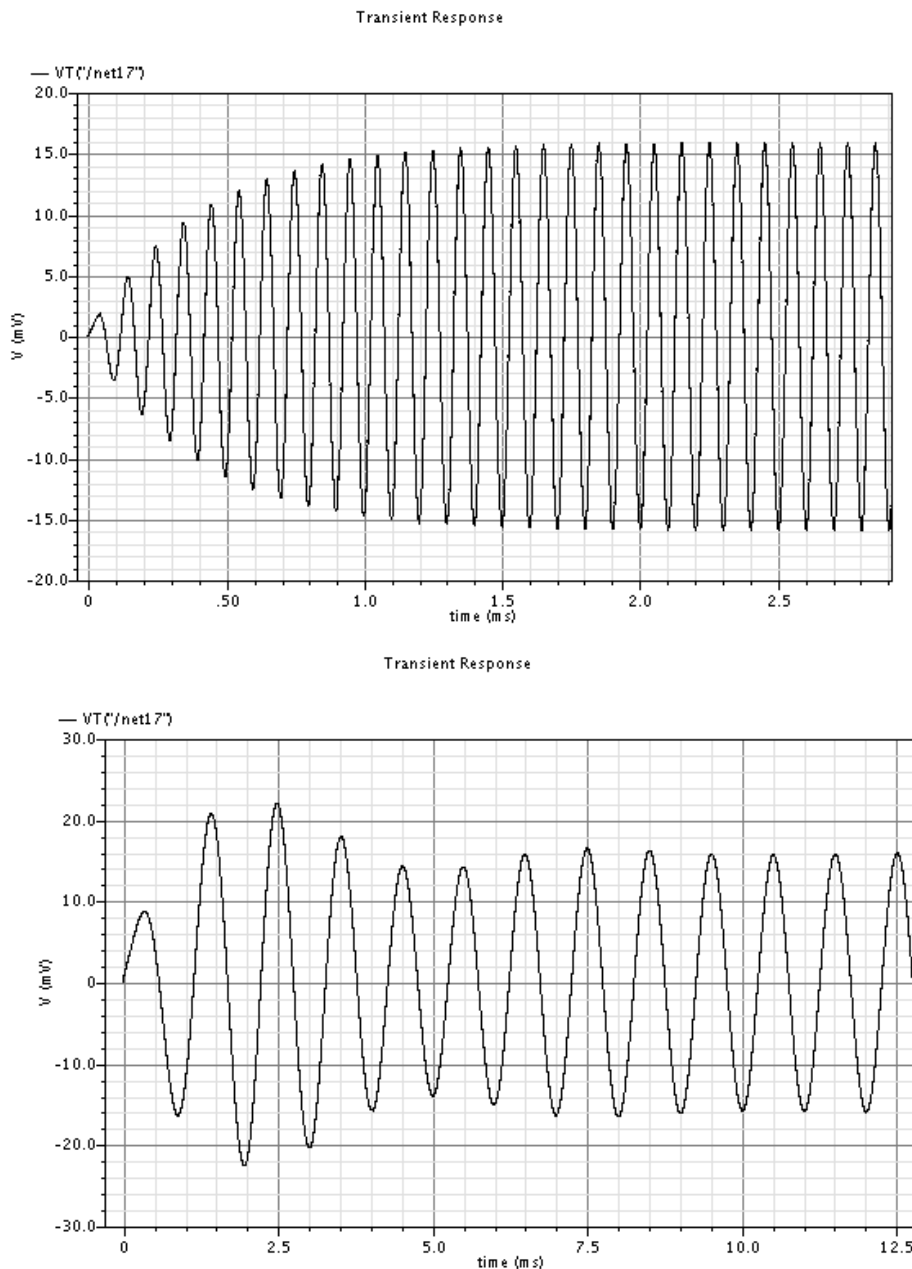


Figura 4.7: In alto: Transitorio di andata a regime dell'uscita con frequenza di misura 10 kHz; In basso: Transitorio di andata a regime dell'uscita (sovra oscillante) con frequenza di misura pari a 1 kHz

I transistori dell'attenuatore nella rete di gestione della corrente continua sono dimensionati per garantire un funzionamento in regime di sottosoglia fino a correnti di circa 50 nA, che è da prendere pertanto come un limite per la corrente DC massima gestibile dalla rete.

L'ultimo aspetto interessante da testare riguarda l'efficacia del circuito come misuratore di un'impedenza incognita, che simula un campione biologico qualunque: all'ingresso del sistema si è dunque posto un generatore di tensione sinusoidale che stimola un parallelo RC. La frequenza dello stimolo è stata fatta variare nel range di funzionamento del circuito, da 10 kHz a 100 MHz, e l'ampiezza dello stimolo è stata scelta pari a 1 mV picco – picco, valore considerato sostenibile da campioni biologici. L'ammettenza da misurare, al variare della frequenza, vale:

$$Y_{DUT} = \frac{1}{R_{DUT}} + 2\pi f_0 C_{DUT}$$

Nelle simulazioni si è utilizzata una  $R_{DUT} = 10 \text{ M}\Omega$  e una  $C_{DUT} = 15 \text{ fF}$ , in modo da fissare la singolarità della rete di ingresso a 1 MHz, ovvero all'interno della banda di utilizzo del circuito.

La tensione di uscita in funzione della tensione di ingresso vale:

$$V_{out} = V_{in} \frac{\frac{1}{sC_f}}{R_{DUT} + \frac{1}{sC_{DUT}}} = V_{in} \frac{1 + sC_{DUT}R_{DUT}}{sC_f R_{DUT}} \Big|_{s=j\omega} = V_{in} \frac{1 + j\omega C_{DUT}R_{DUT}}{j\omega C_f R_{DUT}}$$

Da questa relazione è possibile calcolarsi il modulo e la fase del trasferimento:

$$\left| \frac{V_{out}}{V_{in}} \right| = \frac{\sqrt{1 + \omega^2 C_{DUT}^2 R_{DUT}^2}}{\omega C_f R_{DUT}}, \quad fase \left( \frac{V_{out}}{V_{in}} \right) = -\frac{\pi}{2} + \text{arctg}(\omega C_{DUT} R_{DUT}).$$

Nella figura 4.8 si riporta il grafico del modulo e della fase così come ricavati dalle formule precedenti. I punti sul grafico rappresentano invece tali informazioni ottenute da varie simulazioni eseguite a frequenze diverse: è possibile notare come la discrepanza tra questi punti e il valore atteso da calcoli sia molto bassa, indicando come il circuito possa essere adatto per effettuare misure di impedenza molto precise su un ampio spettro di frequenze.



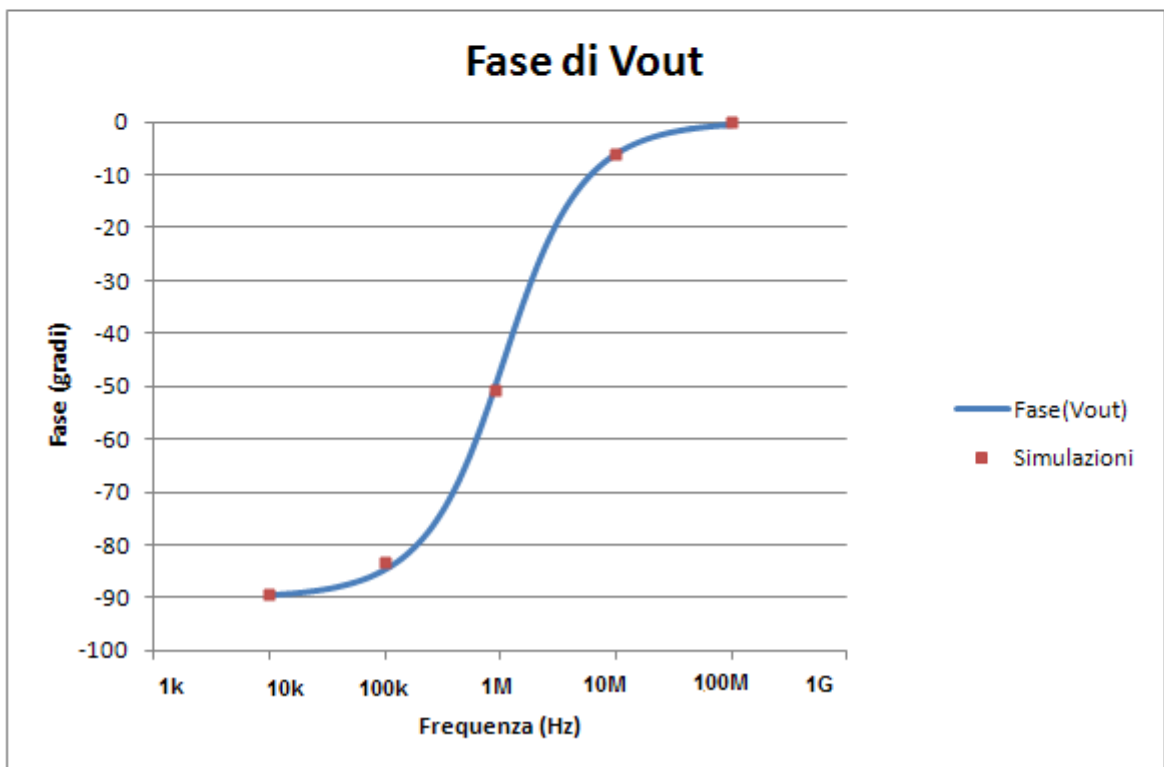
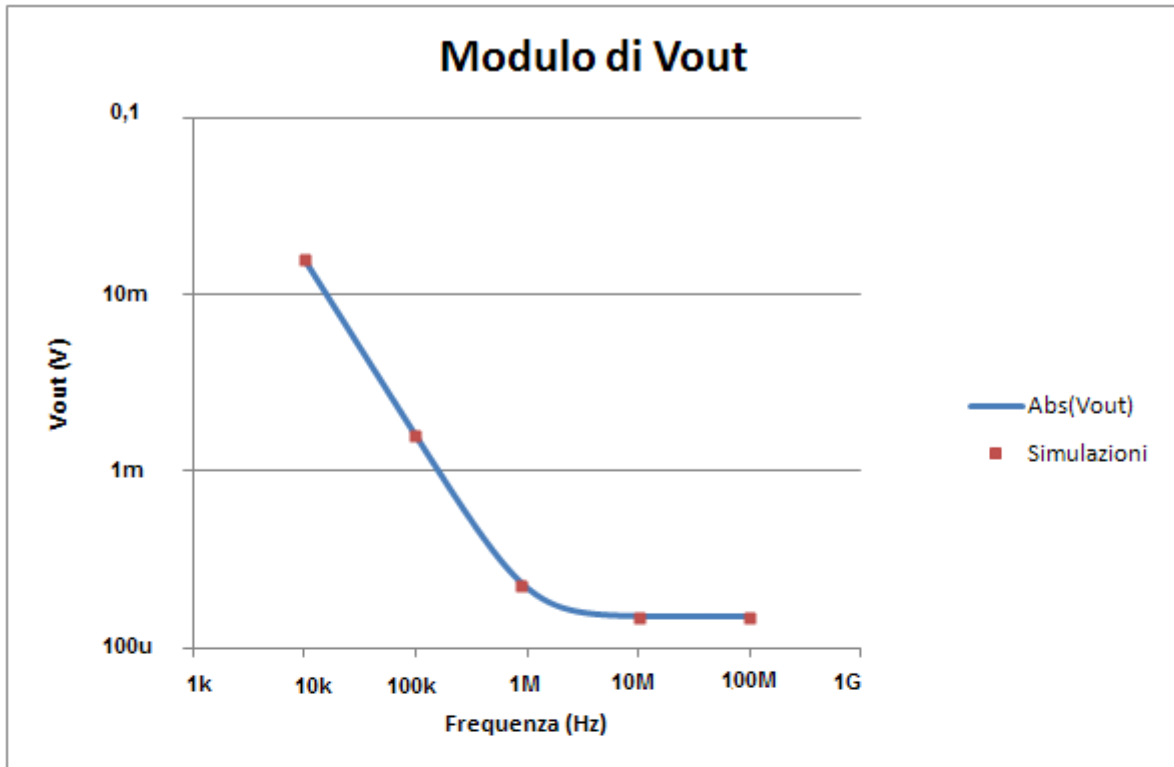


Figura 4.8: Ricostruzione dei grafici di modulo e fase di un'impedenza incognita, con simulazioni a varie frequenze

È utile, infine, andare a riassumere nella seguente tabella 4.1 alcuni parametri fondamentali ottenuti dal progetto dei vari blocchi e verificati tramite simulazioni, anche durante il lavoro di tesi [10]:

<b>Stadio</b>	<b>Guadagno in continua</b>	<b>Banda</b>	<b>Densità spettrale di rumore</b>
<b>Differenziale di ingresso</b>	17 dB	650 MHz	1,7 nV/ $\sqrt{\text{Hz}}$ @ 40 kHz
<b>Moltiplicatore</b>	6 dB con 1 V in ingresso	250 MHz	29,4 nV/ $\sqrt{\text{Hz}}$ @ 70 kHz
<b>Amplificatore chopperato</b>	40 dB	17 MHz	8nV/ $\sqrt{\text{Hz}}$ @ 100 kHz
<b>Integratore</b>	140 dB	GBWP=100 Hz	107 nV/ $\sqrt{\text{Hz}}$ @ 10 kHz

Tabella 4.1: Riassunto delle prestazioni del circuito

La larghezza di banda del sistema complessivo coincide con quella dell'integratore (100 Hz) nel caso si abbia una capacità parassita in ingresso di 10 pF, mentre è di circa 1 kHz se si riesce a contenere la capacità parassita a valori vicino al pF. Il rumore equivalente in ingresso permette di avere una sensibilità in termini di capacità incognita pari a circa 2,2 aF in caso di capacità parassita massima, per frequenze superiori ai 100 kHz. A frequenze inferiori, domina infatti il rumore di corrente della resistenza equivalente del circuito di gestione della corrente continua, inficiando parzialmente le considerazioni sulla sensibilità del sistema. La corrente continua massima gestibile da tale rete, da considerazioni sulla zona di funzionamento dei transistori, è fissata a circa 50 nA.

# Capitolo 5: Layout e misure sperimentali

## Capitolo 5.1 – Layout del circuito.

Una volta terminate le simulazioni atte a verificare la funzionalità del sistema, la fase successiva consiste nella definizione del layout del circuito a partire dallo schematico, in modo da sottoporre il chip a realizzazione da parte di un'azienda esterna specializzata (Austria Micro Systems). La tecnologia usata dall'azienda è una CMOS standard con dimensione litografica minima di  $0,35\ \mu\text{m}$  e la possibilità di poter usare per i vari collegamenti fino a quattro diversi livelli di metal [20]. La Austria Micro Systems impone per le sottomissioni di circuiti delle dimensioni minime di silicio da utilizzare ( $5\ \text{mm}^2$  oppure  $10\ \text{mm}^2$  in alcune sottomissioni): il circuito qui presentato, pur essendo particolarmente complesso, ha dimensione finale su silicio ben minore, pertanto non è stata necessaria una ottimizzazione troppo spinta del layout allo scopo di risparmiare più area possibile, tuttavia il rispetto di alcune semplici regole di base ha permesso di ottenere un layout il più immune possibile da criticità dovute a bad design.

La regola più importante da seguire come linea guida è quella di realizzare delle strutture il più possibile simmetriche, che si traduce nel definire blocchi di dispositivi che abbiano una forma quadrata: seguendo questa regola dal livello transistore fino ai più grandi macro – blocchi è possibile avere infatti alcuni vantaggi, il più importante dei quali sta sicuramente nel fatto che così facendo un blocco o un transistore vengono ad occupare un'area di silicio più omogenea, e ciò permette di minimizzare l'effetto delle dispersioni dei parametri di processo (per esempio: lo spessore dell'ossido di silicio usato come dielettrico tra gate dei MOS e diffusioni) e quindi l'offset sistematico che affligge il circuito. Inoltre, operando in questo modo si ha sicuramente un migliore e più comodo riempimento dell'area di silicio disponibile e una maggiore facilità nei collegamenti. A tal proposito, è utile ricordare anche che la definizione del layout nel programma utilizzato, così come d'altronde quella dello schematico, procede per blocchi e che ogni blocco al suo interno può contenere altri sottoblocchi. Si può così sfruttare l'opportunità di usare parti di layout già integrate in precedenti progetti (per esempio, ciò è stato possibile per quanto riguarda alcuni amplificatori operazionali o la rete  $H(s)$  [8] del circuito di gestione della corrente continua); risulta ovvio come l'utilizzo di sottoblocchi con forma standard aiuti nel raggiungere una più elevata flessibilità di design in un progetto di layout.

Per chiarire cosa significhi tradurre operativamente quanto detto sopra, si consideri a titolo di esempio di dover inserire nel layout un transistor con rapporto di forma  $\frac{W}{L}$  molto elevato: ciò capita abitualmente in circuiti integrati analogici dove le prestazioni di guadagno, rumore, offset statistico migliorano aumentando le dimensioni dei transistori, a differenza di quanto accade nei circuiti integrati di tipo digitale dove si preferiscono MOS di lunghezza e larghezza minima per minimizzare i parassitismi. È chiaro come non sia una scelta corretta nella minimizzazione di offset sistematici e nella semplicità di collegamento quella di lasciare un singolo transistor di dimensioni pari a quelle totali, come da figura 5.1:

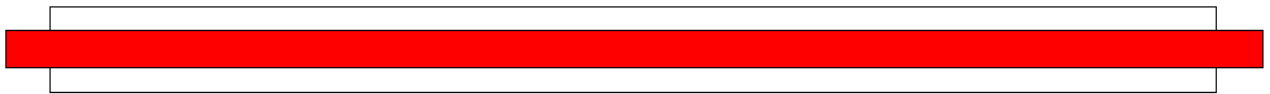


Figura 5.1: Dimensioni relative di un transistor per applicazioni analogiche su layout

La parte rossa rappresenta il polisilicio di gate mentre le parti bianche le diffusioni di source e di drain: si ricordi come la tecnologia utilizzata sia autoallineante. La scelta più corretta appare dunque quella di interdigitare il transistor MOS in un numero di parti tali da ottenere una forma il più possibile quadrata, mantenendo ovviamente lo stesso rapporto di forma del transistor di partenza, come mostrato in figura 5.2:

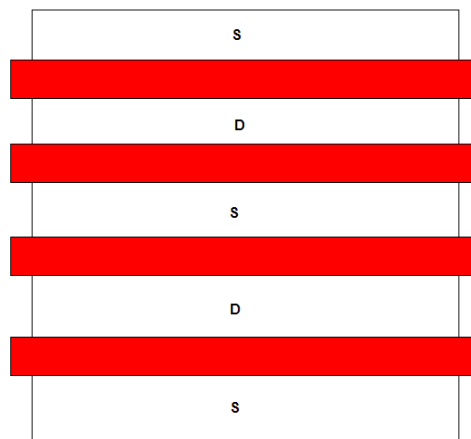


Figura 5.2: Dimensioni relative su layout di un transistor per applicazioni analogiche interdigitato

Seppur importanti, i motivi di simmetria non sono gli unici a imporre di utilizzare questo approccio: questo circuito, infatti, deve poter lavorare fino a frequenze di centinaia di MHz e a queste frequenze il contributo delle capacità parassite del polisilicio di gate dev'esser tenuto in conto. La tecnologia utilizzata presenta per il polisilicio una resistenza specifica  $R = 8 \Omega/\square$  e una capacità per unità di area  $C = 5 \text{ fF}/\mu\text{m}^2$ . [20] Se ci si mette nell'approssimazione di considerare una linea a

parametri concentrati, il polo introdotto da una linea di polisilicio sulla quale viaggia un segnale veloce vale  $f_p = \frac{1}{2\pi R \frac{W}{L} C_{WL}} = \frac{1}{2\pi RCW^2}$ . Da questa relazione, imponendo una frequenza minima del polo di, ad esempio, 10 GHz (per poter considerare il contributo della linea completamente trascurabile), si ottiene una lunghezza W massima data da:

$$W = \sqrt{\frac{1}{2\pi f_p RC}} = 19 \mu m$$

Da questo semplice conto, seppur approssimato, è possibile intuire come siano da preferire componenti il più possibile localizzati, non solo per i motivi sopra ricordati, ma anche per consentire la corretta gestione dei segnali ad alta frequenza.

Ovviamente, il caso in cui si ha necessità di integrare un singolo transistor è piuttosto rara: è molto più comune infatti dover realizzare dei transistor che sintetizzano degli specchi di corrente oppure delle coppie differenziali: in questi casi, per garantire che la corrente portata dai singoli transistor e le altre proprietà elettroniche siano il più possibile uguali a quelle ideali è utile che nello stesso blocco vi siano più transistor interdigitati tra di loro e posti secondo la struttura del centroide comune. In questa struttura, le varie parti che compongono ogni singolo transistor non sono poste tutte vicine tra loro, ma sono disposte secondo un pattern a matrice simmetrico rispetto a due assi di simmetria, uno verticale ed uno orizzontale. Per comprendere meglio, si supponga di dover inserire in un layout uno specchio di corrente come il seguente (figura 5.3):

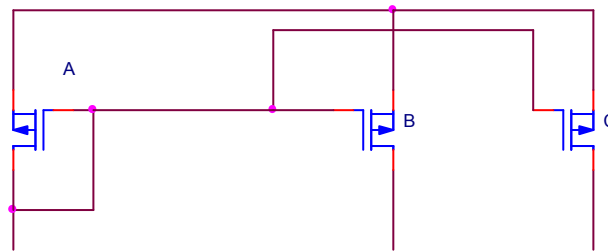


Figura 5.3: Specchio di corrente

Si supponga altresì che le dimensioni dei transistor rendano necessaria la divisione in otto transistor più piccoli: in questa ipotesi, una possibile struttura a centroide comune può essere la seguente (figura 5.4):

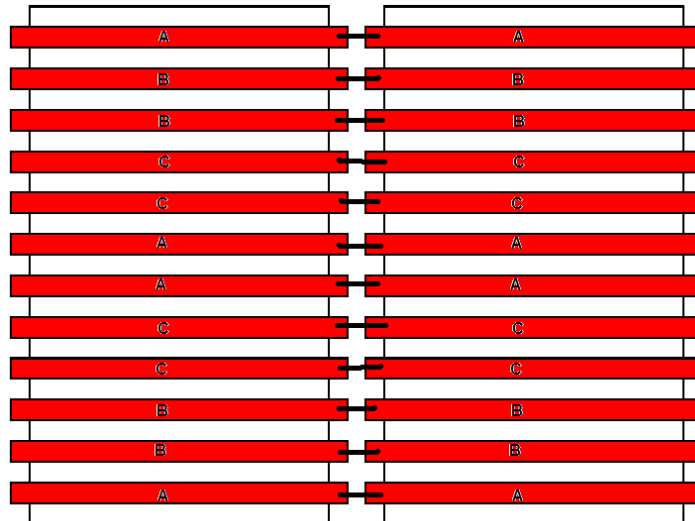


Figura 5.4: Rappresentazione del layout di uno specchio di corrente formato da tre transistori

Come si può notare, ogni singolo transistore ha un altro transistore “gemello” posizionato alla medesima distanza da un centro di simmetria comune, il che permette di mediare le disuniformità di processo. È necessario posizionare vicine due parti di uno stesso transistore poiché, nel caso preso in esame, i drain dei transistori sono tutti indipendenti tra loro pertanto senza questa accortezza non sarebbe stato possibile andare a sovrapporre le aree attive di due transistori adiacenti, mentre è possibile ovviamente fare senza colpo ferire questa operazione per quanto riguarda le diffusioni di source di due transistori diversi, in quanto i source sono tutti afferenti allo stesso nodo.

Con la stessa filosofia è possibile ovviamente realizzare dei layout a centroide comune per quanto riguarda coppie differenziali oppure specchi di corrente in cui il rapporto di specchiamento non è unitario: in quest’ultimo caso, semplicemente, si avranno più parti che andranno a comporre dei transistori rispetto ad altri, ma il modus operandi nella disposizione è il medesimo.

Un caso particolare da considerare per la sua criticità è quello dei moltiplicatori analogici, sia di downconversion sia di upconversion, dei quali si riporta lo schema (figura 5.5: moltiplicatore finale).

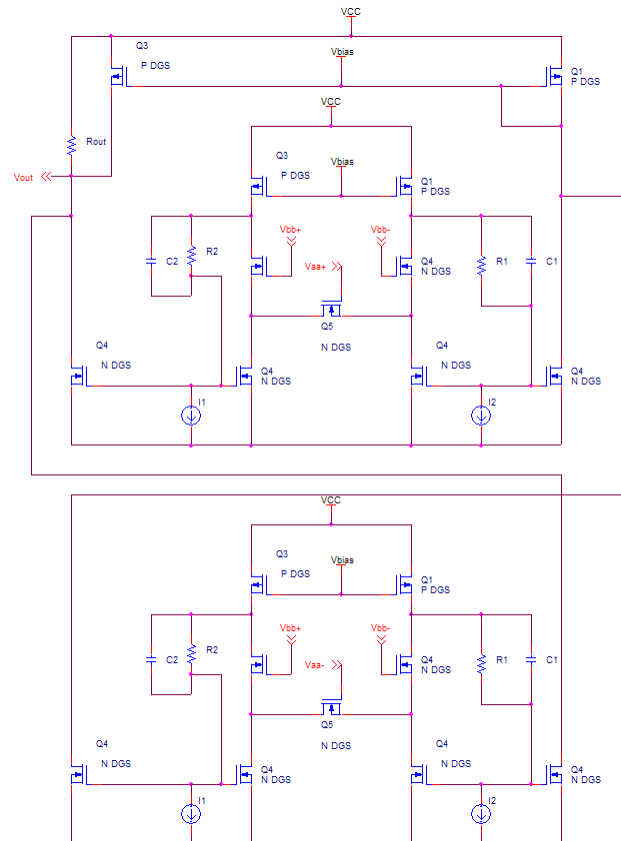


Figura 5.5: Moltiplicatore analogico finale

I due transistor centrali che sono il cuore del moltiplicatore non hanno alcun terminale in comune fra loro: tuttavia, è ovvio come essi debbano essere posizionati il più vicino possibile, per poter garantire che la legge con la quale la corrente è da loro generata sia la più possibile simile. Allo stesso modo, è importante che i buffer che polarizzano source e drain dei transistor centrali siano ben metchati, in modo da far sì che tali terminali siano polarizzati alla stessa tensione. Per garantire quest'ultima condizione, si è utilizzata la struttura a centroide comune presentata poc'anzi, con la differenza che in questo caso non vi è alcun terminale in comune tra i quattro transistor a buffer: pertanto, le singole parti vanno tenute tutte separate tra loro, per evitare corti circuiti tra le varie diffusioni. L'assenza di terminali in comune comporta una complicazione non indifferente per il layout dei collegamenti, in quanto da questo blocco devono uscire otto collegamenti per i drain, otto per i source, e quattro per i segnali di comando ai gate: tuttavia, procedere in questa maniera era essenziale in questo contesto critico e delicato per il buon funzionamento dell'intero circuito.

Altre semplici regole riguardano poi, ad esempio, la gestione delle piste che realizzano i collegamenti tra le varie parti del circuito integrato: può essere utile, se i collegamenti sono numerosi, cercare di realizzare i collegamenti più corti utilizzando le due metal più interne (metal 1 e metal 2), avendo l'accortezza di realizzare con una delle due i collegamenti che viaggiano

orizzontalmente lungo il chip e con l'altra i collegamenti verticali: questo riduce al minimo possibile le intersezioni tra i livelli di metal e permette di poter realizzare la maggior parte dei collegamenti senza eccessive difficoltà. La metal 3 può essere utilizzata per effettuare dei collegamenti più lunghi rispetto agli altri, oppure in zone dove è necessario gestire molti segnali, per esempio nello sbroglio dei collegamenti dei buffer dei moltiplicatori poc'anzi ricordato. La metal 4 non si utilizza quasi mai per linee di segnale se non in casi di zone con eccezionali complicazioni nei collegamenti, e comunque si è cercato di utilizzarla solo per collegamenti molto brevi: questo perché è molto comodo avere un livello di metal completamente a disposizione nella fase finale del layout, quando si devono collegare tutti i transistor alle alimentazioni, le quali attraversano tutto il chip sia orizzontalmente sia verticalmente, oppure quando si devono collegare i pad.

Bisogna ovviamente anche fare attenzione allo spessore minimo che devono soddisfare i collegamenti: la densità di corrente massima che può fluire in una sezione di metal è pari, per la tecnologia utilizzata, a circa 1 mA [20] per ogni micron di larghezza. Pertanto, alcuni componenti del circuito ad alto assorbimento di corrente necessitano di collegamenti molto spessi: è il caso, per esempio, del buffer di uscita nel quale si aveva una corrente statica di circa 12 mA per garantire alta transconduttanza. I collegamenti tra questi transistori e le alimentazioni hanno dunque uno spessore pari a circa 12 micron, cioè una larghezza che è pari circa a quella dell'intero dispositivo attivo.

Oltre a questi casi particolari, bisogna ovviamente garantire che anche le linee di alimentazione più esterne, che circondano completamente l'area del circuito integrato, abbiano una larghezza adeguata all'assorbimento totale di corrente: sono state scelte delle linee per le alimentazioni di spessore pari a circa 50 micron.

L'ultimo aspetto critico da tenere in conto riguarda i collegamenti tra un livello di metal ed un altro, che avviene tramite delle "via" che verranno riempite poi di metallo in fase di realizzazione del circuito integrato. Le via hanno una resistenza che non è nulla: se si effettua un collegamento tra connessioni di spessore elevato tra una metal e un'altra utilizzando una sola via è possibile che si crei un pericoloso collo di bottiglia molto resistivo in corrispondenza del collegamento stesso. Pertanto, risulta buona norma quella di cercare di utilizzare il maggior numero possibile di via per effettuare un collegamento, di modo che la resistenza totale del passaggio sia data dal parallelo di tutte le resistenze delle via, che sarà ovviamente molto minore rispetto alla resistenza offerta della singola via.

La fase di realizzazione del layout è stata utile anche per pensare a delle modifiche, in realtà non sostanziali, del circuito: ad esempio, una miglioria apportata riguarda il moltiplicatore iniziale. Come detto nel capitolo 2.4, l'offset introdotto in continua da tale moltiplicatore, così come verificato con



simulazioni Monte Carlo, è particolarmente elevato, nell'ordine di 10 – 20 mV, e pertanto può far saturare l'amplificatore chopperato. Un semplice modo per evitare questa saturazione dovuta ad offset può essere quella, implementata nel circuito, di agire dall'esterno attraverso due resistenze di compensazione posizionate tra il nodo d'uscita del moltiplicatore e un terminale di controllo. Attraverso il valore assunto dalla tensione differenziale di controllo esterna, è possibile andare ad iniettare nel moltiplicatore una corrente uguale ed opposta a quella circolante a causa degli offset, e quindi andare a ripristinare il corretto valore dell'uscita. Ricordando come la resistenza d'uscita del moltiplicatore sia di valore pari a 600  $\Omega$ , è necessario che le resistenze di compensazione siano più grandi di tale valore per non andare a modificare il guadagno dello stadio, ma di valore sufficientemente piccolo da permettere di iniettare correnti apprezzabili con tensioni di controllo ragionevoli, che al massimo ovviamente possono arrivare ad un valore pari a quello delle alimentazioni: si sono scelte pertanto delle resistenze di compensazione di valore pari a 20 k $\Omega$ .

Una volta terminata la fase di posizionamento dei vari macroblocchi componenti il sistema ed effettuato lo sbroglio dei collegamenti, resta da compiere l'importante operazione di decidere quanti e quali devono essere i segnali da poter rendere disponibili per l'esterno, nonché fare delle considerazioni sulla disposizione fisica dei pad.

Un pad di ingresso/uscita ha una dimensione su circuito integrato molto elevata, di 100 micron per 100: tipicamente, dunque, in circuiti integrati molto piccoli si tende a minimizzare il più possibile il numero di pad affinché le dimensioni finali dei chip non siano determinate dalle dimensioni dei pad ma dall'area di silicio effettivamente usata per i dispositivi attivi. In questo caso particolare, però, si è realizzato un circuito integrato di dimensioni relativamente grosse, di circa 1,8 mm<sup>2</sup>, pertanto è possibile, sfruttando tutto il perimetro del circuito, andare ad inserire tutti i pad che si reputano necessari senza che le dimensioni finali del chip ne risentano in modo significativo. Pertanto, essendo il chip realizzato un prototipo che avrà bisogno presumibilmente di alcuni controlli in fase di testing in caso di eventuali malfunzionamenti, si è deciso sia di tenere separati alcuni piedini che, in linea teorica, andrebbero tenuti allo stesso potenziale, sia di rendere accessibili dall'esterno svariati pad di test point per poter controllare, alla bisogna, ogni possibile punto del percorso di andata. Operando in questo modo, il numero di pad previsti è esploso oltre la cinquantina, ma ciò permetterà una fase di testing molto flessibile. In figura 5.6 è riportata l'immagine del layout complessivo del circuito, nella successiva tabella 5.1 invece si trova il nome e la descrizione di ogni singolo pad del circuito.

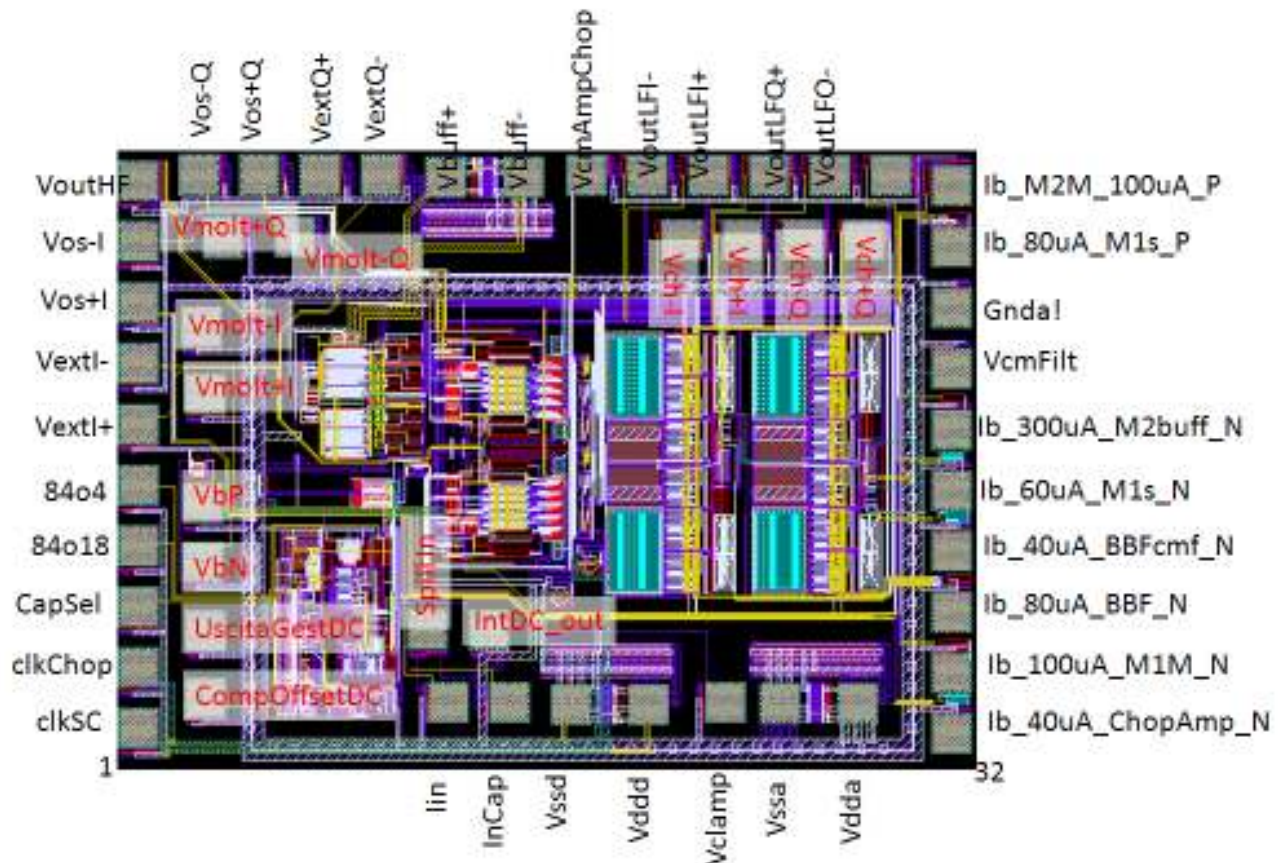


Figura 5.6: Layout del circuito complessivo, con i nomi dei vari pad

Nome pad	Tipo	Descrizione	Note
<i>clkSC</i>	Digitale	Clock rete common mode feedback a capacità commutate – amplificatore chopperato	100kHz nelle simulazioni
<i>clkChop</i>	Digitale	Onda quadra di chopper	0/100kHz nelle simulazioni
<i>CapSel<sup>(1)</sup></i>	Digitale	Selezione della capacità nella rete H(s) (gestione DC)	10pF con Vss, 1pF con Vdd (simulazioni: Vdd)
<i>84o18<sup>(2)</sup></i>	Digitale	Selezione della resistenza nella rete H(s) (gestione DC)	Att1=84 con Vss, 18 con Vdd (simulazioni: Vss)
<i>84o4<sup>(2)</sup></i>	Digitale	Selezione della capacità nella rete H(s) (gestione DC)	Att2=84 con Vss, 4 con Vdd (simulation: Vdd)
<i>VextI+, VextI-</i>	Ingresso analogico	Riferimento moltiplicatori parte in fase	Simulazioni: (200mVp differenziale)
<i>Vos+I, Vos-I</i>	Ingresso analogico	Compensazione offset moltiplicatore di demodulazione (ramo in fase)	Simulazioni: floating
<i>VoutHF</i>	Uscita analogica	Uscita ad alta frequenza	
<i>Vos-Q, Vos+Q</i>	Ingresso analogico	Compensazione offset moltiplicatore di demodulazione (ramo in quadratura)	Simulazioni: floating
<i>VextQ+, VextQ-</i>	Ingresso analogico	Riferimento moltiplicatori parte in quadratura	Simulazioni: (200mVp differenziale)
<i>Vbuff+</i>	Alimentazione	Alimentazione positiva	Corrente stimata: 12mA

		buffer di uscita	
<b>Vbuf-</b>	Alimentazione	Alimentazione negativa buffer di uscita	
<b>VcmAmpChop</b>	Ingresso analogico	Tensione di riferimento per il common mode feedback dell'amplificatore chopperato	Simulazioni: 100mV
<b>VoutLFI-, VoutLFI+</b>	Uscite analogiche	Tensioni di uscita filtro passa basso in fase	
<b>VoutLFQ+, VoutLFQ-</b>	Uscite analogiche	Tensioni di uscita filtro passa basso in quadratura	
<b>Ib_340uA- DiffWB_P</b>	Riferimento di corrente	Riferimento di corrente differenziale larga banda	Simulazioni: connesso a Vss
<b>Ib_2M2- 100uA_P</b>	Riferimento di corrente	Riferimento di corrente per moltiplicatore di modulazione	Simulazioni: connesso a Vss
<b>Ib_80uA-M1s_P</b>	Riferimento di corrente	Riferimento di corrente per moltiplicatore di demodulazione	Simulazioni: connesso a Vss
<b>Gnda!</b>	Riferimento di tensione	Riferimento di tensione per CMF filtro passa basso	Simulazioni: 0V
<b>VcmFilt</b>	Riferimento di tensione	Riferimento di tensione per CMF filtro passa basso	Simulazioni: 300mV
<b>Ib_300uA- M2buff_N</b>	Riferimento di corrente	Riferimento di corrente buffer di uscita	Simulazioni: connesso a Vdd
<b>Ib_60uA-M1s_N</b>	Riferimento di corrente	Riferimento di corrente per moltiplicatore di demodulazione	Simulazioni: connesso a Vdd
<b>Ib_40uA- BBFcmf_N</b>	Riferimento di corrente	Riferimento di corrente per operativa rete CMF	Simulazioni: connesso a Vdd
<b>Ib_80uA-BBF_N</b>	Riferimento di corrente	Riferimento di corrente per operazionali filtro passa basso	Simulazioni: connesso a Vdd
<b>Ib_100uA- M1M_N</b>	Riferimento di corrente	Riferimento di corrente per moltiplicatore di demodulazione	Simulazioni: connesso a Vdd
<b>Ib_40uA- ChopAmp_N</b>	Riferimento di corrente	Riferimento di corrente per amplificatore chopperato	Simulazioni: connesso a Vdd
<b>Vdda</b>	Alimentazione	Alimentazione positiva parte analogica	
<b>Vssa</b>	Alimentazione	Alimentazione negativa parte analogica	
<b>Vclamp</b>	Ingresso analogico	Tensione di riferimento (ingresso invertente)	Simulazioni: 0V
<b>Vddd</b>	Alimentazione	Alimentazione positiva parte digitale	
<b>Vssd</b>	Alimentazione	Alimentazione negativa parte digitale	
<b>InCap</b>	Ingresso analogico	Capacità da 100fF connessa all'ingresso di corrente	
<b>Iin</b>	Ingresso analogico	Ingresso di corrente	
<b>CompOffsetDC</b>	Ingresso analogico	Compensazione offset differenziale rete DC (100 kΩ in serie alla terra virtuale del filtro)	Simulazioni: floating
<b>UscitaGestDC</b>	Uscita analogica	Uscita rete di gestione della DC	
<b>Vbn</b>	Riferimento di	Tensione generata	Simulazioni: -477mV

	tensione	internamente	
<b><i>Vbp</i></b>	Riferimento di tensione	Tensione generata internamente	Simulazioni: +405mV
<b><i>Vmolt+I, Vmolt-I</i></b>	Uscita analogica	Uscita moltiplicatore di demodulazione (ramo in fase)	
<b><i>Vmolt+Q, Vmolt-Q</i></b>	Uscita analogica	Uscita moltiplicatore di demodulazione (ramo in quadratura)	
<b><i>Vch-I, Vch+I</i></b>	Uscita analogica	Uscita amplificatore chopperato (ramo in fase)	
<b><i>Vch-Q, Vch+Q</i></b>	Uscita analogica	Uscita amplificatore chopperato (ramo in quadratura)	
<b><i>SpillIn</i></b>	Ingresso analogico	Tensione di ingresso spillatore di corrente rete DC	
<b><i>IntDC_out</i></b>	Uscita analogica	Tensione di uscita rete DC gestita internamente	Connessa a SpillIn per abilitare la gestione interna della DC

Tabella 5.1: Descrizione dei pad del sistema

Come si può notare, non tutti i pad sono strettamente necessari al funzionamento del circuito ma sono solo pad “di servizio” per la circuiteria interna: per esempio, tutti i riferimenti di corrente delle varie parti che compongono il sistema oppure i pin di selezione dei parametri del filtro della rete DC avrebbero potuto essere connessi internamente alle alimentazioni diminuendo grandemente il numero di pin: in questa prima versione del chip si è però preferito portare verso l’esterno questi terminali in modo da poterne variare la corrente oppure i parametri controllati connettendo il pin ad un potenziale diverso dall’alimentazione, in caso di necessità.

Altresì, non sarebbe di per sé necessario tenere separate le alimentazioni analogica, digitale e quella del buffer, ma potrà essere utile in fase di testing poter alimentare separatamente le varie parti nel caso dovessero insorgere dei problemi.

Sono stati previsti dei pad di test per praticamente ogni segnale utile sul percorso di andata e nella rete di gestione della corrente continua. L’intento iniziale era quello di procedere al loro bonding solo se fosse risultato indispensabile in fase di testing: infatti, come si può notare, molti di questi pin sono in posizione defilata, all’interno della prima fila di pad, il che rende peraltro il loro bonding più complesso rispetto ai pad più esterni. In realtà poi, in fase di scelta del package se ne è trovato uno quadrato a 52 piedini, che rende pertanto possibile il bonding di tutti i pad contemporaneamente, il che facilita il design di una scheda di test molto flessibile.

È da sottolineare come il prelievo dei segnali sul percorso di andata (uscite dei moltiplicatori di downconversion, uscita degli amplificatori chopperati, uscita dei filtri passa basso) non avviene direttamente, per non caricare i nodi con la capacità dei pad, ma tramite delle resistenze di disaccoppiamento di valore confrontabile alla resistenza d’uscita dello stadio precedente.

L'ultimo aspetto interessante da rilevare riguarda la posizione relativa dei pad tra loro: si è cercato infatti, per evitare accoppiamenti capacitivi o induttivi di segnali ad alta frequenza, di separare il più possibile i pad afferenti a tali segnali (riferimenti dei moltiplicatori, ingresso, uscita, parti digitali), posizionando tra di loro pad relativi a segnali a bassa frequenza (riferimenti di polarizzazione, pad di test, alimentazioni).

Il fatto di poter lavorare con una progettazione a blocchi, così come ricordato all'inizio di questo paragrafo, ha reso abbastanza facile l'integrazione di una rete semplificata del circuito, semplicemente cancellando i blocchi non utili e riorganizzando parzialmente lo schematico per gestire nel modo corretto gli ingressi e le uscite. Questa versione "minimale" della rete potrà essere utilizzata, in caso di problemi nel testing del circuito complessivo, per verificare la buona funzionalità perlomeno delle parti operanti ad alta frequenza, essenzialmente la cascata dei vari blocchi di moltiplicazione analogica o ad onda quadra, mentre le parti operanti a bassa frequenza (amplificatore chopperato, filtri passa basso attivi, rete di gestione della corrente continua) potranno essere realizzate esternamente, su una scheda di test apposita. Nella figura 5.7 si riporta l'immagine del layout di questo circuito ridotto.

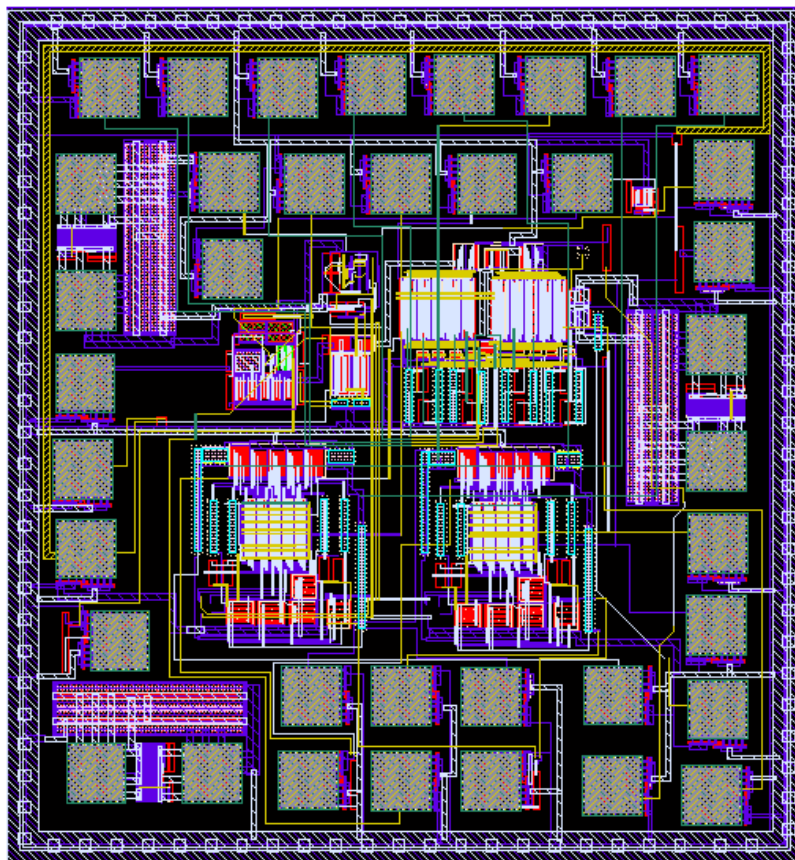


Figura 5.7: Immagine del layout del circuito comprendente solo i blocchi operanti ad alta frequenza, implementato per facilitare test solo su tali parti del sistema

## Capitolo 5.2 – Realizzazione della scheda di test.

L'ultima fase di lavorazione prima di poter procedere alle misure sperimentali sul circuito integrato realizzato da Austria Micro Systems e denominato DEMO1 (ovverossia amplificatore a transimpedenza a DEmodulation – MODulation: l'1 indica che si tratta del primo prototipo) riguarda la realizzazione di una semplice scheda di test a componenti discreti che essenzialmente ha il compito di fornire al chip tutti i segnali necessari al suo funzionamento e di prelevare i segnali elaborati, in particolar modo il segnale di uscita ad alta frequenza.

La schematico della scheda è stato realizzato con il programma OrCAD Capture, mentre il layout è stato sviluppato in OrCAD Layout Plus su soli due strati, lato Top e lato Bottom.

Il primo problema da risolvere riguarda la scelta di come alimentare il circuito: tutte le simulazioni sul chip erano state eseguite con alimentazioni +/-1,5 V, ma, considerato che il valore intermedio di 0 V non è praticamente mai usato in quanto tutti i percorsi risultano essere di tipo fully differential, non vi è nessun ostacolo di ordine pratico nell'utilizzare un'alimentazione tra 0 e +3 V. Considerato, anzi, che svariati segnali a media frequenza verranno forniti e/o prelevati da una scheda di acquisizione National Instruments [21] alimentata a 0 – 5 V, risulta più conveniente preferire un'alimentazione single supply in modo da non dovere usare dei traslatori di livello per adattare i segnali al range di funzionamento della scheda National.

Le alimentazioni sono fornite a pannello su di una scatola esterna, con dei connettori di tipo BNC, e poi portate alla scheda con una coppia di cavi terminati su di un jumper. Le alimentazioni sono ovviamente filtrate passa basso per eliminare eventuali disturbi ad alta frequenza. Sono presenti tre diramazioni con filtraggi RC indipendenti dalla linea di alimentazione positiva, per permettere di poter generare separatamente l'alimentazione per la circuiteria analogica ( $V_{dda}$ ), digitale ( $V_{ddd}$ ) e per il buffer di uscita ( $V_{buff+}$ ).

A partire dalle alimentazioni è necessario ricavare, come mostrato in figura 5.8, alcuni altri riferimenti:

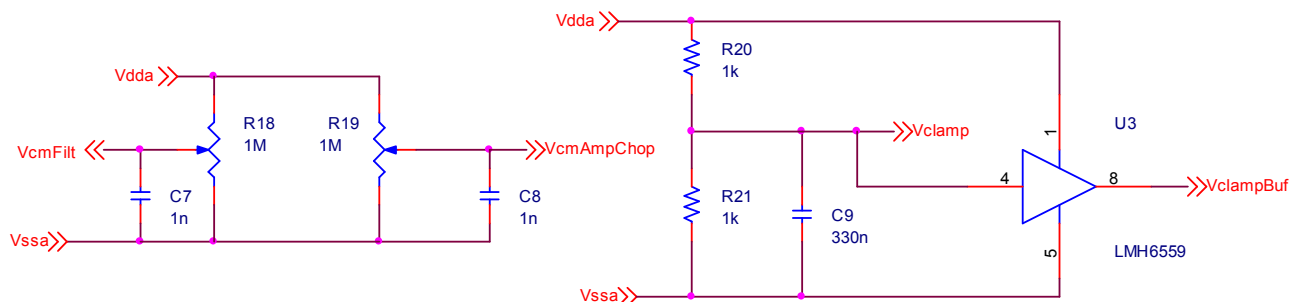


Figura 5.8: Derivazione di vari riferimenti di tensione di DEMO1 a partire dalle tensioni di alimentazione

$V_{\text{cmFilt}}$  e  $V_{\text{CmAmpChop}}$  sono i riferimenti di tensione per i common mode feedback che operano sui filtri passa basso attivi e sull'amplificatore chopperato, rispettivamente. Tali riferimenti sono attorno al valore intermedio tra le alimentazioni dato da 1,5 V: tuttavia, si è preferito non lasciare questi segnali ad un potenziale fisso ma di permetterne la regolazione fine tramite trimmer per poter variare i riferimenti delle reti di common mode in caso di necessità.

$V_{\text{clamp}}$  è il riferimento di tutto il circuito retroazionato, ovvero è la tensione afferente al morsetto non invertente del differenziale ad alta banda, e serve anche in alcuni riferimenti all'interno della rete di gestione della corrente continua. Tale tensione è banalmente il valore intermedio tra le due alimentazioni, ed è realizzata con un semplice partitore filtrato. Il riferimento generale del circuito ha necessità di essere poco rumoroso, pertanto le due resistenze sono state scelte di valore non elevato per non introdurre molto rumore di tensione, e si è inserito un filtro con un polo a 500 Hz per ridurre il più possibile la banda equivalente di rumore. Tale riferimento è poi stato bufferato tramite un buffer integrato LMH6559 [22]. La tensione all'uscita dal buffer è più simile ad un generatore ideale di tensione, poiché fornita a bassa impedenza, ma presenta più rumore in quanto si è aggiunto al rumore termico delle resistenze anche il rumore del buffer: può comunque essere usata nei punti dove non interessano molto le prestazioni di rumore, per esempio, sul ramo in fase e sul ramo in quadratura, ad uno dei pin di compensazione dell'offset dei moltiplicatori (a scelta con  $V_{\text{dda}}$  o con  $V_{\text{ssa}}$ ) e ad alcuni riferimenti dei filtri passa basso attivi, oppure ancora come segnale di riferimento negativo per segnali originariamente di tipo single ended acquisiti dalla scheda National (impostata per acquisire dati differenziali).

I segnali più importanti da gestire sono quelli ad alta frequenza, ovvero riferimenti dei moltiplicatori, ingresso in corrente e uscita: i riferimenti dei moltiplicatori, a frequenza variabile in base alla frequenza di stimolo del DUT, provengono da un unico strumento in grado di generare due segnali sinusoidali differenziali in quadratura, il che è esattamente quanto richiesto dal chip. Tale strumento esterno è in grado anche di fornire un valore di polarizzazione diverso da 0 che serve ai moltiplicatori per mantenersi attorno alla corretta regione di funzionamento. I quattro BNC arrivano direttamente alla scheda per evitare collegamenti tra scatola e scheda con cavi volanti, ed è stata prevista la possibilità di saldare dei resistori di terminazione da 50  $\Omega$  in prossimità dei connettori BNC stessi per effettuare un adattamento con l'impedenza caratteristica del coassiale.

In figura 5.9 è mostrata la gestione del segnale di uscita ad alta frequenza:



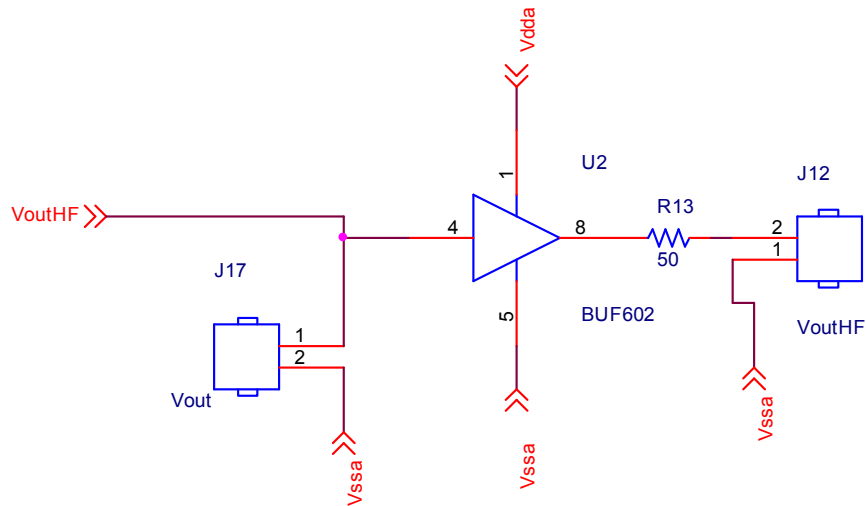


Figura 5.9: Gestione sulla scheda di test del segnale di uscita ad alta frequenza proveniente da DEMO1

Tale importante segnale può essere gestito in due maniere: la prima opzione è di prelevare il segnale, passando attraverso un jumper posizionato molto vicino al chip, con un cavo volante adattato a  $50 \Omega$  e da lì inviarlo ad un connettore coassiale a pannello. La seconda opzione è di bufferare il segnale con un buffer ad alta banda massima di funzionamento, attorno ai 500 MHz [23], adattarlo a  $50 \Omega$  e poi prelevarlo tramite un connettore BNC montato direttamente sulla scheda. Lo svantaggio di questa soluzione è che il tratto di pista tra uscita del buffer e cavo coassiale può essere abbastanza lungo e non è adattato a  $50 \Omega$ ; ciò potrebbe causare dei problemi di riflessione del segnale, pertanto di volta in volta si deciderà quale sarà il metodo più corretto da utilizzare.

Qualche commento in più, essendo leggermente più complicata, merita la parte di gestione del segnale di ingresso, mostrata in figura 5.10:



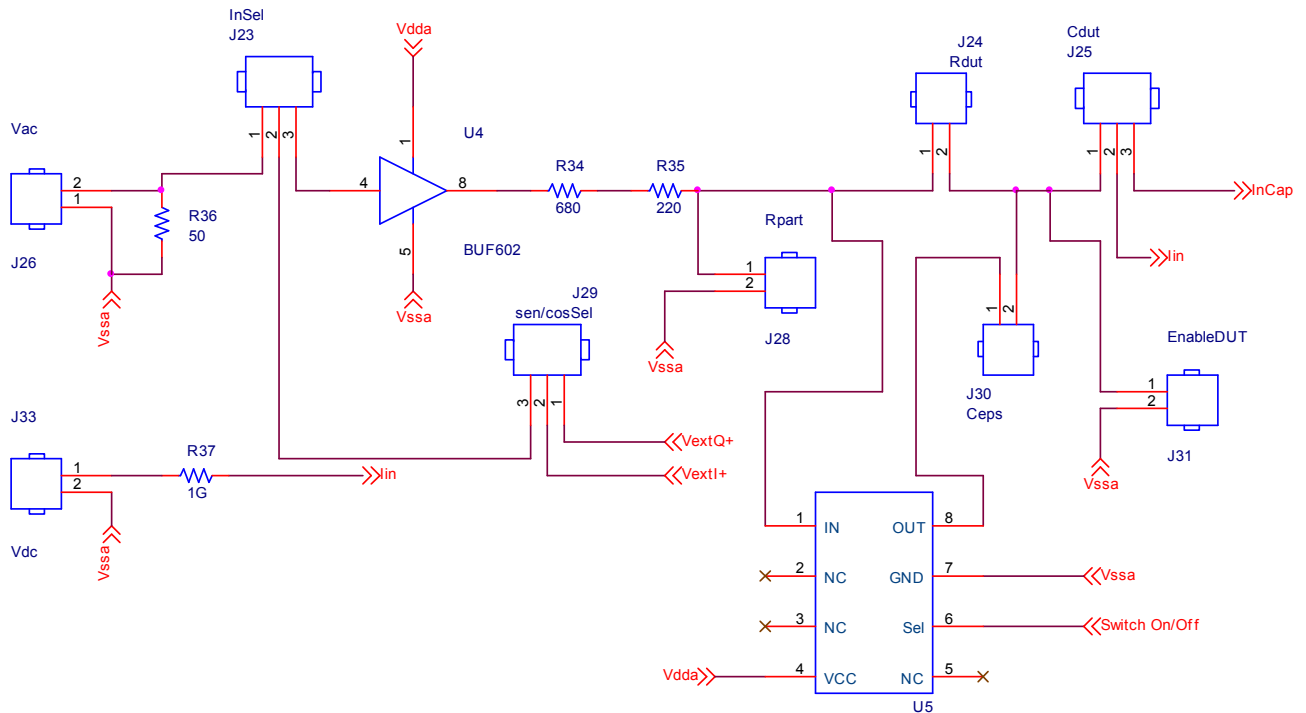


Figura 5.10: Gestione sulla scheda di test del segnale di ingresso da fornire a DEMO1

Il primo aspetto interessante da chiarire riguarda come fare a simulare efficacemente un Device Under Test: ciò che si è pensato è una rete serie RC con un polo che cada all'interno della banda di misura di DEMO1, in modo da poter ricostruire uno spettro di impedenza in modulo e fase. Si ricordi che il moltiplicatore finale ha una dinamica di uscita di qualche centinaio di millivolt e che la capacità in retroazione ha valore di 100 fF: con questi dati, valori ragionevoli per R e C potrebbero ad esempio essere  $R = 100 \text{ k}\Omega$  e  $C = 1 \text{ pF}$ . In questo caso, e supponendo una tensione di ingresso di 10 mV, l'uscita (non si consideri la fase) avrebbe valore di picco pari a 100 mV in bassa frequenza, ove domina la capacità, e di qualche mV ai limiti di funzionamento, cioè attorno ai 100 MHz, dove domina invece la resistenza. Il polo, ovvero il punto nel quale lo spettro di impedenza inizia a non essere più piatto, si ha a circa 1 MHz. Se si fosse operato, invece, simulando un DUT con una rete RC parallelo (con gli stessi valori per R e per C), supponendo inoltre una tensione massima di uscita di 100 mV e una frequenza minima di funzionamento di 1 kHz, si sarebbe ottenuta una tensione di ingresso massima a bassa frequenza pari a  $10 \text{ }\mu\text{V}$   $\left( \frac{V_{AC,max}}{R} \cdot \frac{1}{2\pi f_{min} C_f} < V_{out,max} \right)$ , troppo piccola per poter essere gestita correttamente. Ovviamente, comunque, i valori di R e di C devono poter essere modificati in fase di testing, pertanto è stato previsto di assemblare sulla schedina dei tulipani sui quali poi alloggiare dei componenti through – hole. Attraverso altri contatti a tulipano si effettua poi la scelta di quale segnale mandare in ingresso al DUT. Le alternative possibili sono tre: la prima è

quella di mandare in ingresso un segnale proveniente da un generatore esterno tramite connettore coassiale adattato a  $50 \Omega$ . In alternativa, è possibile stimolare il DUT con uno dei riferimenti dei moltiplicatori (seno oppure coseno), prelevati dal rispettivo BNC in modo da avere uno stimolo sul DUT completamente sincronizzato con la parte in fase oppure con la parte in quadratura.

Il segnale di ingresso così scelto va attenuato: infatti, mentre un segnale esterno può essere di qualsivoglia grandezza, i riferimenti dei moltiplicatori hanno ampiezza pari a qualche centinaio di millivolt, mentre dal conto effettuato precedentemente la tensione massima per non far saturare l'amplificatore è limitata a qualche decina di mV. Pertanto, è presente un semplice attenuatore a partitore resistivo, in cui il rapporto di partizione può essere deciso di volta in volta, in quanto una delle due resistenze è di tipo through – hole e può dunque essere variata con facilità. Prima di questo partitore è presente un buffer integrato ad alta banda [23] per disaccoppiare il partitore dal resto del circuito precedente. Ciò è necessario perché altrimenti, nel caso in cui si prelevi il segnale di ingresso da uno dei riferimenti, il partitore causerebbe uno sbilanciamento impedenziale tra il riferimento prelevato come ingresso, che vedrebbe un'impedenza lievemente inferiore ai  $50 \Omega$ , e gli altri tre riferimenti; l'effetto di questo sbilanciamento non sarebbe drammatico, ma vista la delicatezza dei segnali in questione è comunque meglio evitare qualunque tipo di differenza di gestione tra di essi. Un altro modo per evitare lo sbilanciamento è quello di andare ad introdurre tre partitori dummy sulle altre linee, ma la soluzione con il buffer risulta essere più elegante ed introduce un solo componente aggiuntivo.

Si sono poi previsti in questa sezione anche dei tulipani per poter connettere l'ingresso alla massa del circuito, nel caso si vogliano effettuare misure sulle prestazioni di rumore, oltre ad un ulteriore percorso in parallelo alla  $C_{DUT}$ : su questo ramo aggiuntivo è presente una capacità (modificabile in valore poiché di tipo through – hole) da abilitare durante il funzionamento del circuito tramite un Analog Switch [24] ad alta banda comandato da un'uscita digitale della scheda National Instruments. Ciò può essere utile nel caso si voglia variare di un piccolo gradino la  $C_{DUT}$ , allo scopo di verificare che anche l'uscita del chip sia in grado di seguire la variazione.

Un'ultima cosa da notare riguarda il fatto che il segnale di ingresso così trattato, tramite altri contatti di selezione a tulipano, può essere mandato o all'ingresso in corrente del chip, oppure ad un altro ingresso che presenta invece una capacità da  $100 \text{ fF}$  in serie al percorso del segnale, il che è utile se si vuole verificare il funzionamento del circuito senza caricarlo impedenzialmente oppure se si desidera avere un guadagno ideale di tensione costante con la frequenza.

Per quanto riguarda il testing della rete di gestione della corrente continua, è presente un BNC a pannello che porta alla scheda una tensione continua, trasformata in una piccola corrente tramite un resistore SMD da  $1\text{ G}\Omega$  con il secondo terminale connesso all'ingresso di terra virtuale di DEMO1.

Tutti i riferimenti di corrente sono stati connessi alla giusta alimentazione tramite resistori SMD di valore limitato,  $10\ \Omega$ : nel caso fosse necessario modificare la corrente del terminale sarebbe possibile farlo cambiando il valore di questa resistenza esterna.

La parte di interfaccia ingresso/uscita per quanto riguarda i segnali non di alta frequenza, come detto, è stata realizzata tramite una scheda di acquisizione National Instruments [21], la quale è in grado di fornire e di acquisire tramite due connettori SCSI segnali sia digitali sia analogici. Il range di acquisizione analogico può essere impostato via software, mentre i segnali di uscita digitali sono forniti con valore logico alto pari a  $5\text{ V}$  e valore logico basso di  $0\text{ V}$ . Pertanto, è stato necessario attenuare tali segnali con dei semplici partitori resistivi per adeguarli all'alimentazione  $0 - 3\text{ V}$  del circuito. La scheda, utilizzando un singolo connettore SCSI, può fornire fino a otto segnali digitali d'uscita, più che sufficienti nel caso in esame dove è necessario avere sei canali, per comandare lo switch analogico nella sezione di ingresso del circuito, e per fornire al chip il segnale di clock per il common mode feedback a capacità commutate dell'amplificatore chopperato, il segnale ad onda quadra di chopper, e tre ingressi di selezione (ad un valore logico fissato durante tutto il funzionamento) per la gestione di alcuni parametri del filtro  $H(s)$  della rete di gestione della corrente continua.

Sono poi presenti due uscite di Digital to Analog Converter, che sono state utilizzate per fornire una tensione variabile per effettuare la compensazione dell'offset nei moltiplicatori di downconversion: si va ad agire solo su uno dei due pin differenziali, sia per il ramo in fase che per il ramo in quadratura, lasciando il secondo pin di compensazione fissato ad una tensione che può essere scelta tra alimentazione positiva, massa e metà dinamica tramite contatti a tulipano.

Per quanto riguarda invece i segnali analogici provenienti dal chip da acquisire, si ha che la scheda National può gestire fino a 16 canali se impostata via software per operare single ended, mentre se opera differenzialmente il numero di canali massimo si dimezza. Ciò è vero se si utilizza un solo connettore SCSI per connettere la scheda di acquisizione alla scheda di test: nel caso si usasse anche il secondo connettore della National, si avrebbero a disposizione invece 16 canali differenziali oppure 32 single ended. Siccome molti dei segnali in uscita dal chip sono intrinsecamente differenziali, è venuto naturale impostare la scheda per operare con canali di acquisizione siffatti. I canali da monitorare sono in tutto 11, il che implica che un singolo connettore SCSI non è sufficiente se si vogliono controllare tutti i segnali contemporaneamente. Tuttavia, è

difficile che si voglia fare questo in un'operazione di testing, pertanto per non complicare troppo la fase del layout del circuito con l'aggiunta di un secondo connettore SCSI si è deciso di utilizzarne solamente uno, con la possibilità di poter scegliere tramite i consueti contatti a tulipano se connettere alla scheda, per quanto riguarda le tre uscite del chip in sovrannumero, un'uscita piuttosto che un'altra. I contatti a tulipano sono stati predisposti anche per quanto riguarda i canali da acquisire direttamente, in modo da poter decidere se disconnettere il pad dalla scheda National, in quanto il piedino di ingresso della scheda stessa ha una capacità di ingresso non trascurabile che, in alcuni casi, potrebbe essere meglio non avere connessa a DEMO1 sul percorso di andata per non influire sullo studio del funzionamento del circuito.

È utile, infine, fare alcune considerazioni di massima per quanto riguarda il layout della scheda di test: si riportano in figura 5.11 e 5.12, rispettivamente, le immagini del lato Top e del lato Bottom del circuito stampato.

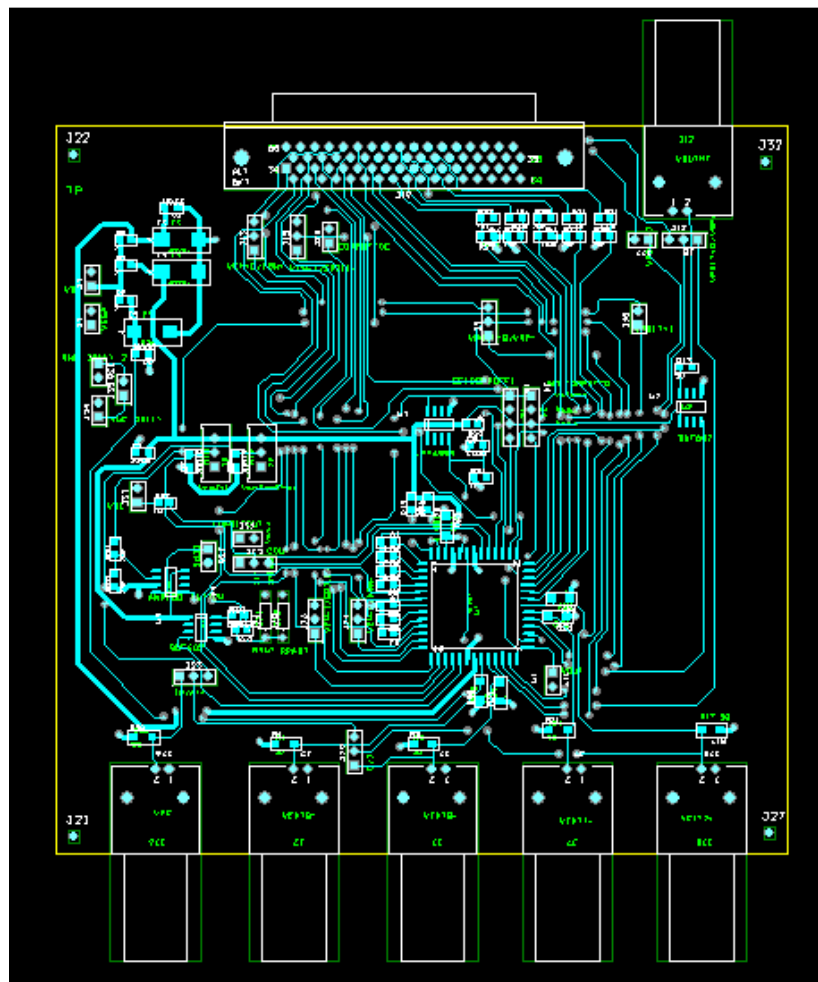


Figura 5.11:Lato TOP del circuito stampato della scheda di test

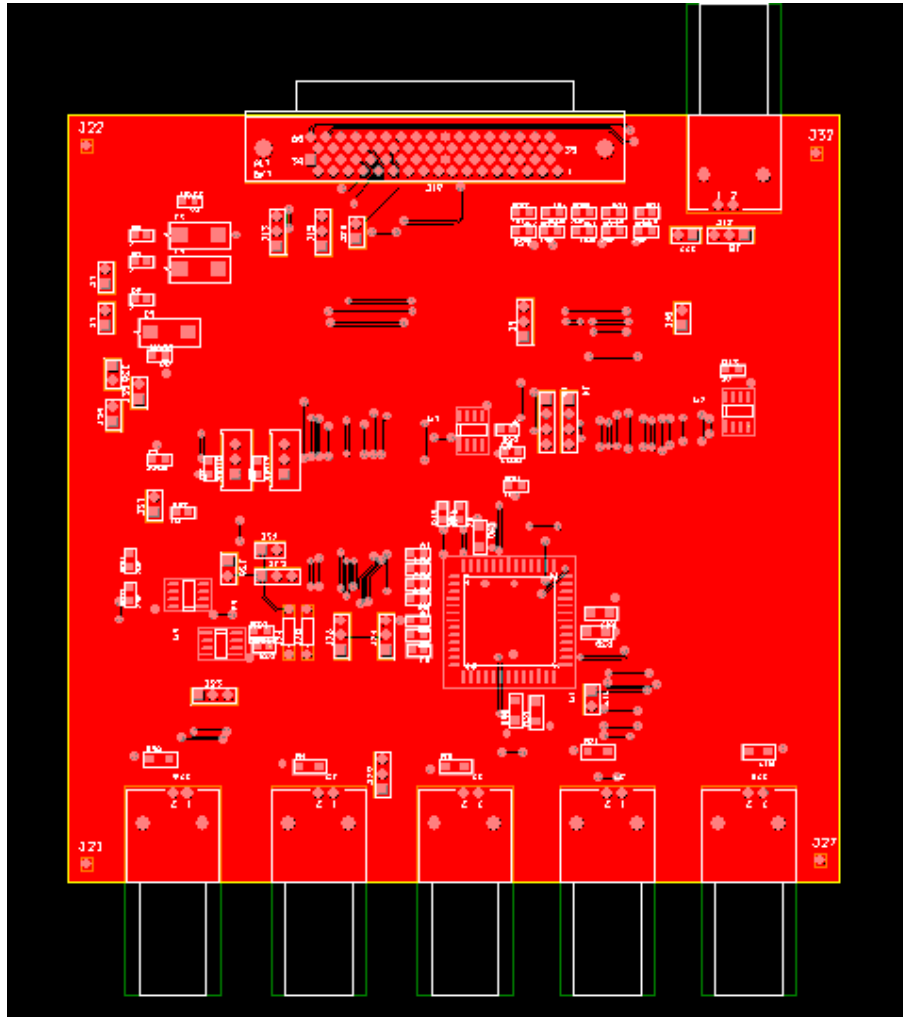


Figura 5.12: Lato BOTTOM del circuito stampato della scheda di test.

Come si può notare, tutti i componenti sia SMD sia through – hole sono stati assemblati sul lato Top del circuito, che è anche il lato sul quale si trovano la maggior parte dei collegamenti: questo si è reso necessario per permettere che sul lato Bottom vi fosse un piano di massa il più continuo ed omogeneo possibile. Le dimensioni finali della scheda sono di 13 cm per 13 cm: la dimensione lungo il lato verticale è determinata dalla larghezza della scatola scelta, in quanto gli ingressi tramite connettori BNC per i riferimenti dei moltiplicatori (posti nella parte inferiore) e le uscite (connettore SCSI e uscita ad alta frequenza, posti nella parte superiore) devono necessariamente essere ai bordi della scatola. Tutti i componenti, a parte i contatti a tulipano, i connettori e i trimmer, sono di tipo SMD. Il case standard è quello 0805, eccezion fatta per quanto riguarda i condensatori elettrolitici al tantalio di filtro sulle alimentazioni che hanno un case particolare e le resistenze di terminazione dei coassiali, che devono sopportare dissipazioni di potenza maggiore rispetto a tutti gli altri componenti: la maggior potenza dissipabile da questi resistori implica anche che essi abbiano un package più ingombrante, del tipo 1206.

Nella realizzazione del layout si è cercato di avere un occhio di riguardo per quanto concerne le linee con segnali ad alta frequenza. Si è dunque assicurato per le piste dei riferimenti dei moltiplicatori una terminazione nelle immediate vicinanze del connettore BNC e dei collegamenti con il chip più corti possibili, senza passaggi tra Top e Bottom e accertandosi che non vi fossero differenze significative tra le lunghezze di percorso per questi quattro segnali. Anche per quanto riguarda la sezione di ingresso si è cercato di minimizzare la lunghezza dei collegamenti totale tra ingresso coassiale e ingresso del chip. È stato previsto un contatto molto vicino al chip anche per un eventuale collegamento volante tra uscita ad alta frequenza e uno strumento esterno.

Un'ultima precauzione ha riguardato il layout delle linee digitali a commutazione (i clock) che sono state mantenute quanto più possibile distanti dalle linee con segnali analogici ad alta frequenza.

Tutti gli altri segnali presenti sulla scheda sono a frequenze medio – basse, garantendo una relativa libertà nel layout delle piste relative, il che ha facilitato la realizzazione di un piano di massa così ben unito.

È da notare, infine, come sia stata anche prevista la presenza di due connettori coassiali aggiuntivi da poter utilizzare come ingressi / uscite nel caso sia necessario andare a forzare o leggere delle tensioni in determinati punti del circuito.

### ***Capitolo 5.3 – Misure sperimentali.***

Dopo aver realizzato il circuito integrato e la scheda di test, si è poi passati all'ultima fase del progetto, e cioè l'esecuzione dei primi test sperimentali sul sistema. Data la complessità del circuito, non si è ritenuto opportuno procedere immediatamente alle prove ad anello chiuso, ma si è deciso invece di testare i singoli blocchi ad anello aperto. È possibile fare questa operazione scollegando le alimentazioni e i riferimenti di corrente del buffer di uscita: così facendo si isola il percorso di retroazione dal resto del circuito.

Il setup sperimentale prevede di utilizzare un oscilloscopio LeCroy 6050A per la lettura dei segnali ad alta frequenza. Per fornire ai moltiplicatori i segnali di riferimento risulta invece essere adatto un generatore di segnale Agilent 81150A in grado di generare coppie di segnali differenziali sinusoidali sfasati a piacimento a frequenze fino a 200 MHz e con sovrapposto un valor medio che non risulta essere legato al range del valore di picco del segnale, come accade in altri strumenti.

L'acquisizione dei segnali a media – bassa frequenza e la generazione dei segnali digitali per il circuito integrato avviene con l'ausilio di una scheda della National Instruments NI – USB6259, con

frequenza massima di campionamento su singolo canale pari a 1,25 Msample/s: la gestione di tali segnali viene effettuata poi tramite un software in LabView.

Essendo la progettazione della rete di gestione della corrente continua una parte rilevante di questo elaborato, il primo test effettuato ha riguardato proprio la verifica della funzionalità di tale rete.

Si faccia riferimento alla figura 5.13, che rappresenta la rete in esame:

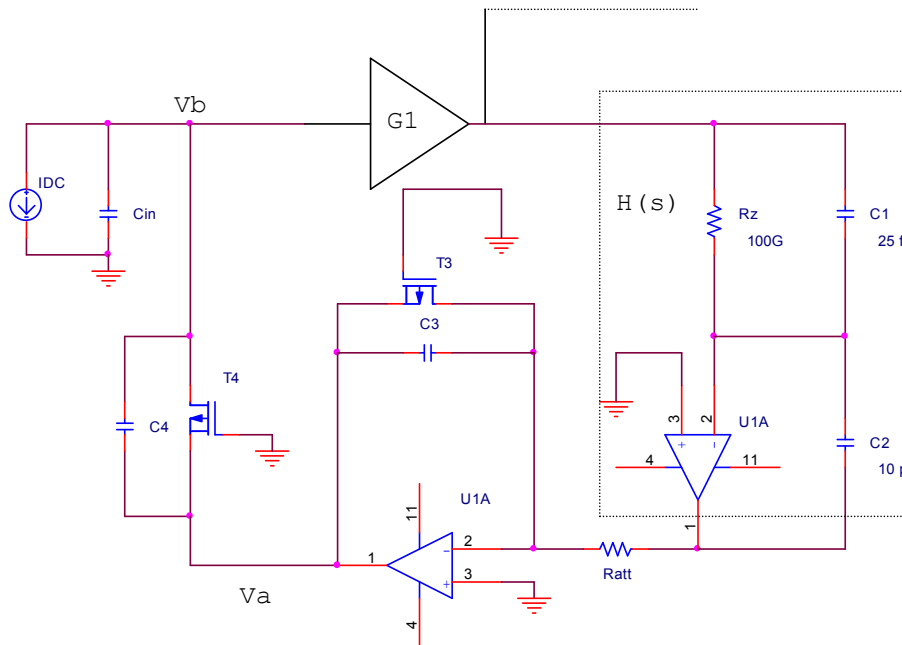


Figura 5.13: Rete di gestione della corrente continua

Il testing non può essere effettuato andando a prelevare la tensione del nodo di terra virtuale, poiché questo causerebbe uno sbilanciamento nell'equilibrio del loop dovuto all'inserimento di una rilevante capacità parassita. È però possibile effettuare misure indirette, considerando che la corrente continua iniettata viene moltiplicata di un fattore 10 (dato dal rapporto tra le larghezze dei transistor  $T_3$  e  $T_4$ ) e poi fluisce attraverso la resistenza  $R_{att}$  di valore 200 k $\Omega$ . Ciò vuol dire che per ogni nanoAmpère di corrente spillata è possibile leggere una caduta di potenziale di 2 mV su  $R_{att}$ , rispetto alla massa del chip, ovvero rispetto ad un potenziale di 1,5 V per la scheda di test che si ricorda essere alimentata tra 0 ( $V_{ssa}$ ) e 3 V ( $V_{dda}$ ).

Per controllare la corrente continua entrante nel chip è sufficiente applicare un valore di tensione statico alla resistenza da 1 G $\Omega$  esterna, collegata al nodo di terra virtuale. Iniettando una corrente continua tra -10 nA e 10 nA a step di 0,5 nA si è ricavato il seguente grafico (figura 5.14):

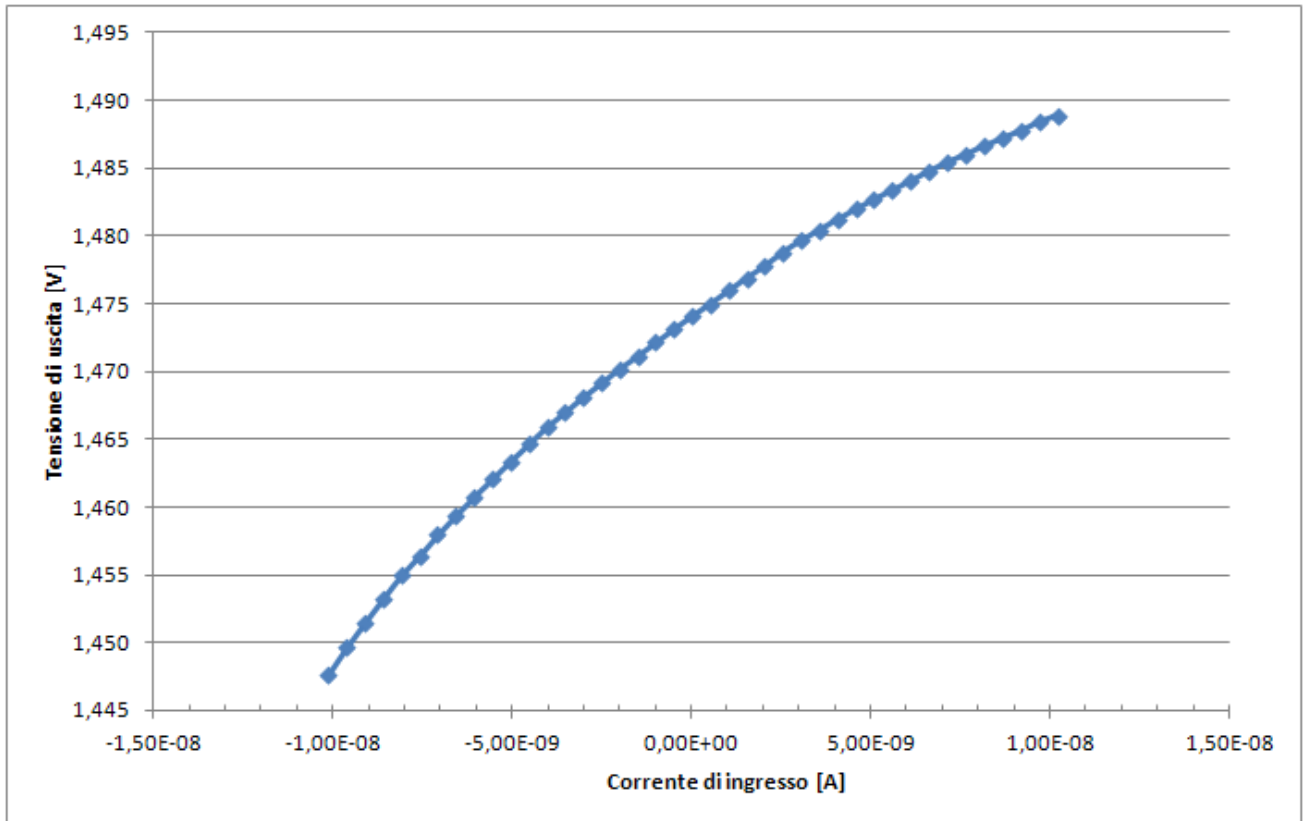


Figura 5.14: Tensione sulla  $R_{att}$  della rete di gestione della corrente continua in funzione della corrente spillata

Si noti come la curva ricavata sia coerente con l'andamento atteso, anche se con linearità peggiore rispetto a quella prevista per motivi ancora da investigare. La tensione in corrispondenza di corrente spillata nulla non è 1,5 V ma inferiore di circa 30 mV a causa degli offset ma soprattutto del valore della tensione di riferimento, che si discosta leggermente dalla tensione ideale; si registra anche una differenza nella pendenza della curva tra valori di corrente positivi e negativi, dovuta ragionevolmente a discrepanze tra le resistenze equivalenti implementate quando a condurre è il p – MOS rispetto al caso opposto di conduzione dell'n – MOS. Questo test è stato effettuato con il Keithley 4200 – SCS, uno strumento per effettuare caratterizzazioni corrente / tensione di elevata precisione.

È poi di interesse andare ad investigare quale sia il tempo di risposta della rete, per verificare che esso corrisponda con quello voluto da progetto. Per fare questo, è possibile andare ad eccitare la resistenza esterna da 1 G $\Omega$  non con una tensione statica ma con un'onda quadra, ad esempio tra 1,5 e 3 V. La risposta allo scalino, sia positivo sia negativo per verificare che la rete abbia comportamenti il più possibile simmetrici, può essere ricavata dal segnale prelevato ai capi del resistore  $R_{att}$ , questa volta tramite la scheda di acquisizione National. Nelle figure 5.15 e 5.16 sono riportati i dati sperimentali ricavati da questo test e le curve esponenziali che meglio interpolano tali dati:



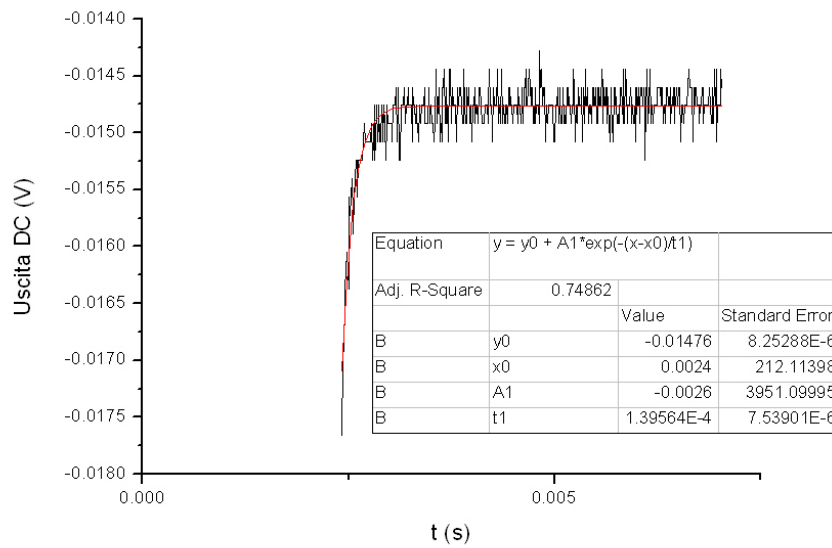


Figura 5.15: Risposta allo scalino positivo della rete di gestione della corrente continua

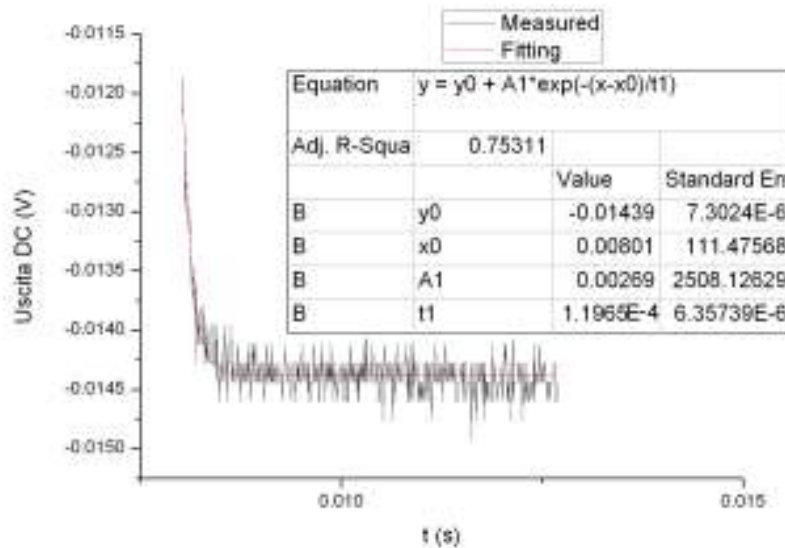


Figura 5.16: Risposta allo scalino negativo della rete di gestione della corrente continua

Come si può notare, il salto di tensione che si misura su  $R_{att}$  a regime è circa pari al valore atteso da uno stimolo di 1,5 V in ingresso, cioè attorno ai 3 mV. La costante di tempo dell'interpolazione esponenziale dei dati corrisponde ad una banda che si aggira tra 1,1 kHz e 1,3 kHz, coerente con i valori desiderati da progetto.

Il secondo blocco ad essere stato testato è quello costituito dalla cascata di primo stadio ad alta banda e moltiplicatore analogico di downconversion. Per questo test si è sfruttato l'ingresso del chip tramite la capacità da 100 fF e si è inserita una capacità da 10 pF dal nodo di terra virtuale (che

ovviamente risulta essere tale solo in continua) e la massa, per inserire un'attenuazione nota tra segnale di ingresso e segnale che effettivamente si ha all'ingresso dell'amplificatore. Il test è stato effettuato con ingresso e riferimenti del moltiplicatore ad una frequenza di 10 kHz, oltre la banda della rete di gestione della DC per evitare ogni possibile interazione con essa, ed in fase tra di loro per essere sul picco di guadagno. I riferimenti del moltiplicatore in questo test hanno un valor medio di 1,5 V e un valore picco – picco di 200 mV, coerenti con quelli usati nelle simulazioni. Il segnale all'ingresso del differenziale ad alta banda è stato fatto variare tra 0 e 4mV usando un generatore di segnale Hewlett Packard 3325B, ottenendo dal post processing sui segnali acquisiti dalla scheda National il seguente grafico (figura 5.17).

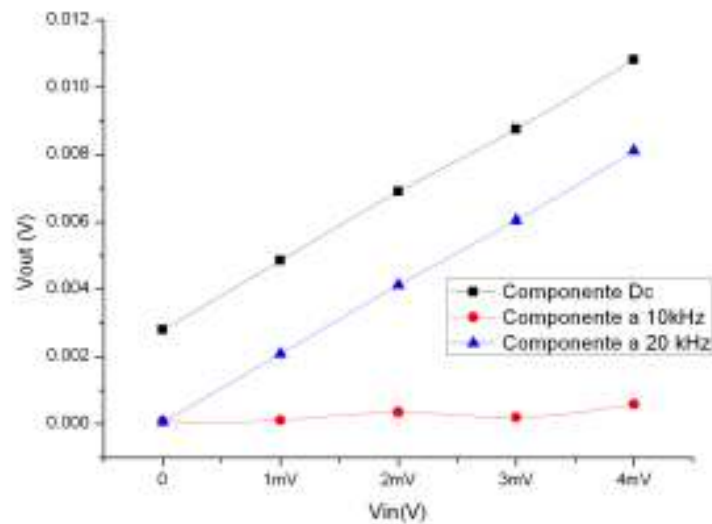


Figura 5.17: Guadagno di conversione del moltiplicatore analogico di downconversion a  $f_m=f_0=10$  kHz.

Se si scrive l'espressione della moltiplicazione tra due segnali a stessa frequenza:

$$A_x \cos(\omega_0 t) \cdot A_y \cos(\omega_0 t + \vartheta) = \frac{A_x A_y}{2} [\cos(\vartheta) + \cos(2\omega_0 t + \vartheta)]$$

Ci si accorge di come essa sia coerente con il grafico ottenuto: infatti, essendo nelle condizioni di piccolo sfasamento tra i segnali, si ottengono una componente in continua e una al doppio della frequenza di stimolo, proporzionali all'ampiezza del segnale di ingresso e con la stessa pendenza. La componente alla frequenza di 10 kHz è dovuta all'offset del moltiplicatore modulato alla frequenza dei segnali, ma tale componente ha valore limitato e indipendente, come intuibile, dal valore assunto dal segnale di ingresso. Si noti anche la presenza di un offset all'uscita, compensabile con i pin appositi. Il guadagno ricavato dalle simulazioni per la cascata stadio differenziale – moltiplicatore è di circa 2, che è la metà di quello atteso da progetto. È stato però verificato che il guadagno del

moltiplicatore risulta dipendere fortemente dal valore medio dei segnali di riferimento, e tale comportamento può essere la causa del guadagno ridotto: infatti, la condizione di polarizzazione a metà dinamica potrebbe non essere quella alla quale ci si pone esattamente nel punto di massimo guadagno come accadeva nelle simulazioni, a causa del fatto che i valori di polarizzazione dello stadio sono sicuramente leggermente diversi rispetto a quelli ideali.

Il moltiplicatore di downconversion ha necessità di dover funzionare fino ad alte frequenze, alle quali quindi è necessario eseguire altri test: essendo la frequenza massima di campionamento della scheda pari a 1,25 Msample/s, non è però possibile eseguire le misure ad alta frequenza come nel test precedente (calcolando cioè la FFT del segnale acquisito per discriminare le varie componenti spettrali). È però possibile sottocampionare pesantemente il segnale misurato ed estrarre il valor medio dell'uscita del moltiplicatore in funzione dell'ampiezza del segnale di ingresso, avendo cura che i battimenti creati dal sottocampionamento non cadano a frequenze vicine alla continua, interferendo con la misura. Il test è stato eseguito ad una frequenza di 10 MHz, e con due diversi valori di ampiezza del segnale di ingresso (2 mV e 4 mV) per verificare che il guadagno vari linearmente. Inoltre, sono state effettuate nelle condizioni descritte più misure, variando di volta in volta di 30° la fase relativa tra il segnale in ingresso e il riferimento del moltiplicatore fino a coprire tutto un periodo, per certificare che il valor medio di uscita sia effettivamente dipendente dal coseno dello sfasamento. I risultati di tutte queste misure sono riassunti nella figura 5.18.

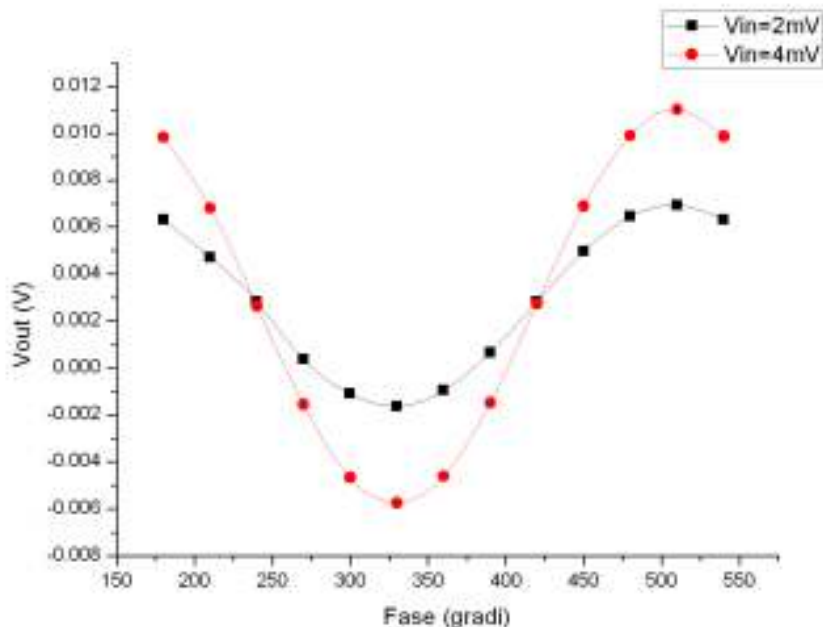


Figura 5.18: Guadagno di conversione del moltiplicatore analogico di downconversion a  $f_{in}=f_0=10$  MHz, in funzione della fase dell'ingresso, parametrizzata sull'ampiezza del segnale di ingresso

Il valore di uscita massimo che si ottiene con segnale di ingresso a 4 mV è circa pari a quello ricavato a 10 kHz; inoltre, il valore picco – picco della sinusoide ricavata con  $V_{in}=4$  mV è circa doppio rispetto al caso di  $V_{in}=2$  mV. Entrambe queste considerazioni dimostrano come il guadagno resti sostanzialmente indipendente dalla frequenza di utilizzo, perlomeno fino a frequenze di decine di MHz.

Successivamente, sono state eseguite delle misure sul funzionamento di massima dell'amplificatore chopperato e del filtro passa basso, che hanno condotto a buoni risultati ma che non sono state inserite in questo paragrafo in quanto ancora incomplete. In un prossimo futuro, terminati i test dei vari blocchi in anello aperto, sarà poi necessario eseguire tutta la caratterizzazione del sistema ad anello chiuso ed effettuare i test necessari per poter eventualmente migliorare l'architettura realizzata. Nella seguente tabella 5.2 sono riportati gli strumenti utilizzati nel setup sperimentale.

Strumento	Descrizione	Caratteristiche tecniche	Funzione nel setup
Agilent E3631A	DC Power Supply	0-6 V/5A, +/- 25V/1A	Alimentazione
Hewlett Packard 3325B	Generatore di segnali	Frequenza massima 15MHz	Segnale di ingresso
Agilent 81150A	Generatore di segnali	Frequenza massima 120 MHz, due canali differenziali con possibilità di sfasamento arbitrario tra di essi	Riferimenti dei moltiplicatori
LeCroy 6050A	Oscilloscopio	500 MHz, 5 Gsample/s	Visualizzazione segnali ad alta frequenza
National Instruments NI – USB6259	Scheda di acquisizione / generazione di segnali digitali e analogici	1,25 Msample/s, 32 ingressi a 16 bit	Acquisizione segnali media e bassa frequenza, generazione dei segnali digitali
Keithley 4200 – SCS	Caratterizzazioni I/V di precisione	-	Testing della rete DC

Tabella 5.2: Strumenti utilizzati nel setup sperimentale

## Conclusioni

Il lavoro di tesi svolto si inserisce nella fase finale della progettazione e nella successiva realizzazione di una nuova topologia circuitale studiata per effettuare misure di impedenza su larga banda e con alta sensibilità. Alla tecnica standard di spettroscopia tramite amplificatore a transimpedenza retroazionato è stato associato uno schema a modulazione / demodulazione del segnale errore alla stessa frequenza di quella di misura, in modo tale da poter eseguire l'amplificazione del segnale errore in bassa frequenza. Per preservare l'informazione di fase, è necessario introdurre la traslazione in frequenza su due cammini paralleli, con i riferimenti dei moltiplicatori in quadratura tra di loro.

Questa tecnica permette di ottenere svariati vantaggi: grazie alla downconversion il blocco amplificante si trova ad operare sempre a bassa frequenza, garantendo in questo modo di avere su tutta la banda di misura un guadagno d'anello elevato e costante al variare della frequenza di stimolo, il che comporta accuratezza e linearità molto buone. La struttura permette poi di svincolarsi dai consueti compromessi progettuali tra guadagno e banda degli stadi amplificanti, consentendo di estendere la banda di misura da pochi kHz fino a valori ai quali diventano rilevanti i limiti di frequenza dei moltiplicatori (centinaia di MHz), coprendo così gran parte delle dispersioni dielettriche dei campioni biologici di interesse.

Un altro vantaggio fondamentale è che la banda equivalente di rumore risulta notevolmente più piccola rispetto a topologie classiche dove il blocco di guadagno amplifica uniformemente su tutto il range di funzionamento, poiché la banda del guadagno d'anello risulta essere limitata ad un ristretto intervallo (qualche kHz) attorno alla frequenza di interesse, garantendo così un'elevata risoluzione (circa 2 aF in termini di capacità applicando 1V al DUT).

Il sistema comprende inoltre uno stadio di guadagno chopperato tramite moltiplicatori ad interruttori operanti ad una frequenza maggiore della noise corner frequency del rumore 1/f degli stadi presenti nel blocco di andata, allo scopo di limitare l'impatto sul segnale di tale rumore e quindi di aumentare ulteriormente la sensibilità.

Il circuito ha guadagno idealmente nullo in continua ed è retroazionato tramite capacità, pertanto una parte rilevante del presente elaborato ha riguardato la progettazione di un anello complementare a quello principale in grado di gestire l'inevitabile corrente continua proveniente dal campione sotto esame. Per poter raggiungere frequenze minime di misura attorno al kHz risulta necessario abbassare il più possibile la banda retroazionata del loop di gestione della continua, in quanto così facendo si riduce l'interazione col loop complessivo. Per raggiungere tale scopo, si inserisce nel guadagno

d'anello una rete con coppia polo – zero per restringere la banda del loop, avendo cura di rendere indipendenti dal valore della corrente spillata le altre singolarità presenti nell'anello con meccanismi di compensazione, per facilitare la stabilizzazione. La corrente stazionaria è misurabile tramite una tensione di uscita con un fattore di conversione di 2 mV/nA. Il valore massimo di corrente gestibile è di circa 50 nA.

Dopo varie simulazioni effettuate per verificare la funzionalità del sistema al variare della frequenza da pochi kHz fino a 100 MHz, si è poi passati alla definizione del layout di tutto il circuito in tecnologia CMOS standard 0,35  $\mu\text{m}$ . Si è poi, infine, realizzata una semplice scheda di test a componenti discreti per la corretta gestione dei segnali da e per il chip, che ha permesso nei primi test sperimentali di verificare la funzionalità, ad anello complessivo aperto, della rete di gestione della corrente continua e di gran parte dei blocchi del cammino d'andata. Restano da effettuare dei test sperimentali sul sistema complessivamente retroazionato e la seguente caratterizzazione, allo scopo di poter migliorare ulteriormente l'architettura e di poterla effettivamente utilizzare in applicazioni di spettroscopia su campioni reali, una volta inserito il chip in un sistema di elaborazione dati.

## Bibliografia

- [1] R. Pethig, Dielectric and Electronic Properties of Biological Matters, Wiley, 1979
- [2] M. Carminati, Instrumentation for Electrical Detection in Biology and in Nanoelectrochemistry, PhD Thesis, Politecnico di Milano, 2009
- [3] Y. Feldman et al., Time Domain Spectroscopy Study of Biological Systems, IEEE, 2003
- [4] S. Takashima, K. Asami, Y. Takahashi, Frequency Domain Studies of Impedance Characteristics of Biological Cells using Micropipet Technique Erythrocyte, Biophys J., 1988
- [5] S. Gawad, L. Schild, P. Renaud, Micromachined Impedance Spectroscopy Flowcytometer for Cell Analysis and Particle Sizing, The Royal Society of Chemistry, 2001
- [6] L. Fumagalli, G. Ferrari, M. Sampietro, G. Gomila, Quantitative Nanoscale Dielectric Microscopy of Single – layer Supported Biomembranes, Nanoletters, 2009
- [7] J. K. Abraham, H. Yoon, R. Chintakuntla, M. Kavdia, V. K. Varadan, Nanoelectronic Interface for Lab – on – chip Devices, Nanobiotechnology, 2007.
- [8] F. Gozzini, Amplificatore Integrato a Transimpedenza per Applicazioni ad Altissima Sensibilità e Larga Banda, Politecnico di Milano, 2005
- [9] A. Molari, Derivatore in Tecnologia CMOS per Amplificatori a Transimpedenza ad Elevatissima Sensibilità, Politecnico di Milano, 2006
- [10] C. Gatti, Progetto di un Circuito Integrato CMOS a Modulazione – Demodulazione per Misure d’Impedenza su Larga Banda, Politecnico di Milano, 2011
- [11] S. Agueli, Amplificatore Retroazionato a Modulazione – Demodulazione per Spettroscopia di Impedenza a Larga Banda, Politecnico di Milano, 2008
- [12] Y. Iwasaki, Current to Voltage Converting Apparatus and Impedance Measuring Apparatus, United States Patent US 7005918B2
- [13] Andeen – Hagerling Inc. (USA), Model AH2500A
- [14] M. Carminati, G. Ferrari, F. Guagliardo, M. Sampietro, Zeptofarad Capacitance Detection with a Miniaturized CMOS Current Front – end for Nanoscale Sensors, Sensors and Actuators A: Physical, 2011
- [15] A. Rottigni, Electronical Instrumentation for Impedance Measurement on Biosamples, PhD Thesis, Politecnico di Milano, 2011
- [16] P. Kinget, M. Steyaert, A 1 GHz CMOS Up – Conversion Mixer, IEEE Journal of Solid State Circuits Vol. 32, 1997

- [17] F. Gozzini, G. Ferrari and M. Sampietro, Linear Transconductor With Rail – to – rail Input Swing for Very Large Time Constant Application, *Electronics Letters* vol. 42, 2006
- [18] T. Oosterkampb, R. Cogdellc, T. Aartsmaa, A. Stamouliia, J. Frenkenb, The Electron Conduction of Photosynthetic Protein Complexes Embedded in a Membrane, *FEBS Letters* 560, 2004
- [19] Virtuoso – Spectre RF Simulation Options User Guide, 2005
- [20] AustriaMicroSystems, 0.35  $\mu\text{m}$  CMOS C35 Process Parameters, 2.0 ed., Document Number: ENG – 182
- [21] DAQ M Series User Guide, National Instruments, 2008
- [22] LMH6559, High Speed Closed Loop Buffer, Datasheet, National Semiconductor, 2006
- [23] BUF602, High Speed Closed Loop Buffer, Datasheet, Texas Instruments, 2008
- [24] FSA4157, Low – Voltage,  $1\Omega$ , SPDT Analog Switch, Datasheet, Fairchild Semiconductor, 2007



## Ringraziamenti

*....Dopo tre mesi di grande pressione, ora che finalmente ho tirato il fiato, non mi è facile rimettermi ancora qui davanti ad una pagina bianca, a scrivere ulteriori righe: ma è uno “sforzo” che faccio volentieri, rischiando peraltro (come sempre quando scrivo) di dilungarmi troppo, perché davvero mi è impossibile evitare di fermarmi un attimo per provare a fissare su carta tutti i ricordi e tutte le persone che hanno accompagnato non solo quest’ultimo anno di tesi, ma tutto un percorso iniziato più di cinque anni fa.*

*Innanzitutto, è un piacere ringraziare il Prof. Sampietro, per avermi concesso di sviluppare nel suo laboratorio questo lavoro di tesi: per la sua umanità, la sua competenza e correttezza, per come ha saputo plasmare il LabSamp in un luogo dove la ricerca di qualità va di pari passo con una dimensione familiare e serena, rendendo piacevoli anche i giorni di più duro lavoro. Un grande grazie a Giorgio, per tutti i suoi preziosi consigli dispensati sempre col sorriso sulle labbra, per avermi insegnato a lavorare con un metodo che prima non possedevo, per riuscire con le sue intuizioni a risolvere anche i momenti di stallo che paiono insuperabili; e ad Angelo, per avermi insegnato molti trucchi di Cadence, per aver risolto molte mie difficoltà informatiche e non, insomma, in sintesi, per avermi seguito assiduamente durante questo lavoro, con ammirabile ed infinita pazienza anche davanti alle domande più stupide. Senza di loro sicuramente non ce l’avrei mai fatta! Ringrazio Filippo per i consigli sul layout, ma soprattutto per essere l’inesauribile fonte di buonumore del LabSamp; ringrazio Cecilia, dalla quale ho “ereditato” il progetto, e Davide, che lo erediterà da me e che mi ha dato una grande mano nelle ultime frenetiche misure. Un pensiero va a tutti coloro con i quali ho condiviso quest’avventura: ad Antonio e al suo buonissimo miele, a Marco V. per le sue lezioni di scacchi prive di compassione, a Dario, Maddalena, Marco C., Giovanni, al collega digitalista nonché “tesista anziano” Diego e a tutti gli altri ragazzi conosciuti nell’arco dell’anno durante le divertenti pause caffè.*

*Un forte ringraziamento va a tutti i componenti della mia famiglia, per avermi sempre sostenuto ed aiutato il più possibile durante questi anni di avventura milanese. Il più grosso GRAZIE va ovviamente ai miei genitori Maria e Gilberto, per avermi permesso di arrivare a questo importante traguardo, per aver saputo fare sacrifici importanti che mi hanno fatto capire quanto mi vogliono bene, per esserci sempre quando ho bisogno di una mano: così come sempre io vorrò bene a loro e mai rinuncerò ad aiutarli, nonostante nei periodi di grande stress possa capitare di mandarsi vicendevolmente a quel paese.*

*Nasce dal cuore anche un pensiero per i miei cari nonni, dei quali serbo tanti dolci ricordi che porterò sempre con me; grazie a loro ho imparato a crescere, nei giorni lieti che passavamo insieme quando ero bambino, così come da loro ho imparato anche, negli ultimi momenti purtroppo meno sereni che sono arrivati dopo, a diventare davvero “uomo”.*

*Come non ringraziare il mio fraterno amico Andrea: abbiamo condiviso tutto di questi cinque anni, abbiamo riso insieme come non credevo fosse possibile fare, abbiamo parlato di tutto quello di cui fosse possibile parlare, ed è sempre stato in grado di ascoltarmi e consigliarmi con efficacia: spero di esser riuscito a fare altrettanto. Nonostante lui dica di avere la capacità di spingere col piedino una persona nel fango se è nelle difficoltà, in realtà tante e tante volte se sono restato a galla è stato davvero per merito suo.*

*Ripensando ai primi viaggi in corriera insieme otto anni fa, non posso non ringraziare Ragno, per essere sempre rimasto com'era allora: un “grosso” (in tutti i sensi) amico e un compagno di avventure davvero insostituibile; così come mi è impossibile non citare Maurizio, amico da una vita nonostante le tante divergenze di pensiero. Gli voglio promettere che prima o poi seguirò uno dei suoi consigli, che sarebbero stati molto utili!*

*Voglio poi ringraziare due persone che sono quasi “sorelle” di adozione: Luisa, conosciuta il primo giorno di università, amica sincera e insuperabile collega di studi; ed Eleonora, conosciuta invece vent'anni fa su un'altalena ma ritrovata da uno solamente, per le mille e mille confidenze che ci siamo fatti e per le merende da McCafè, quando ancora avevo del tempo libero.*

*Un grazie particolare va a tutti i miei amici dello storico gruppo ITIS e/o Masera, che non mi hanno dimenticato e anzi, mi hanno sempre cercato per una bevuta assieme anche dopo mesi che non mi facevo sentire: al Ceri, col quale ho fatto forse le più grandi stronzate della mia vita; al Pola per i professionali discorsi sul calcio, agli amici Panghi ed Alberto, e poi ancora a Ivan, Stefano, Maurizio.*

*Non posso poi non citare i miei magnifici compagni di questi cinque anni di Politecnico, con i quali ho diviso quasi ogni ora di lezione o esame: Tambo, vero amico e collega disponibile quando non riuscivo a trovare un trapano adeguato, Ale per essere stato insostituibile personal trainer nelle nostre massacranti corse, Luca, il miglior Bond mai visto, per le sue battute pungenti, Marco, per avermi trasmesso sicurezza con le sue insicurezze infinite, Luca M. per essere riuscito a non usare mai contro di noi le sue pericolose arti Jedi. Ringrazio anche il “club della birretta”, formato da Giovanni, Roberto e Andrea R.; e Luca F., per la sua impareggiabile imitazione dell'On. Bersani e per i suoi appunti dell'unico corso nel quale non sono riuscito a scrivere neppure una riga!*

*Un ringraziamento particolare va a due persone speciali: a Laura, per essere davvero molto, molto più del mio medico di “fiducia”, e a Yelena, perché è bello esserci ancora l’un per l’altra nonostante tante vicissitudini passate; e poi ancora a Petra, Arianna, Oljana e Claudia.*

*L’ultimo sentito grazie va a tutte quelle persone che mi possono aver regalato anche solo un piccolo momento di felicità e che, non per malizia ma semplicemente per l’ansia di dover andare a stampare e consegnare al più presto questa tesi, io possa aver dimenticato!*

*Emanuele*