

**POLITECNICO DI MILANO**  
Corso di Laurea in Ingegneria Elettronica  
Dipartimento di Elettronica e Informazione



**ESTRAZIONE DEI PARASSITI E  
SIMULAZIONE DI UN INTERRUTTORE  
NEMS PER APPLICAZIONI  
INDUSTRIALI FUTURE**

**Relatore:**

**Prof. Antonio Longoni**

**Correlatore:**

**Ing. Elena Raciti**

**Tesi di Laurea di:  
Simone De Francesco, matricola 736637**

**Anno Accademico 2011-2012**

*A mia figlia e ai miei genitori.*



# Indice

<b>Sommario</b>	<b>xi</b>
<b>1 Introduzione</b>	<b>1</b>
<b>2 Il progetto NEMIAC</b>	<b>5</b>
2.1 Concetti e obiettivi . . . . .	5
2.1.1 Background e collocamento . . . . .	6
2.1.2 Idee di base . . . . .	8
2.2 Stato dell'arte . . . . .	11
2.2.1 Limiti dell'elaborazione digitale e il ruolo dei NEMS . . . . .	11
2.2.2 Interruttori NEM per logiche digitali . . . . .	12
2.2.3 Funzioni logiche complesse in un singolo dispositivo NEM . . . . .	14
2.2.4 Progresso oltre lo stato dell'arte dei circuiti logici basati su interruttori NEM . . . . .	15
2.3 Impatti previsti dal progetto . . . . .	17
2.3.1 Impatto strategico . . . . .	17
2.3.2 Impatto tecnologico . . . . .	18
2.4 Work Package inerente al mio lavoro di tesi . . . . .	19
2.4.1 Costruzione del modello per l'analisi di ricerca del trade-off . . . . .	20
2.4.2 Metodologie di simulazione per circuiti logici NEM . . . . .	21
<b>3 Il dispositivo NEM</b>	<b>25</b>
3.1 Modellizzazione elettromeccanica del dispositivo . . . . .	25
3.1.1 Modellizzazione a parametri concentrati . . . . .	27
3.1.2 Modellizzazione del contatto . . . . .	30
3.2 Interruttore NEM a quattro terminali . . . . .	33

<b>4 Estrazione dei parassiti ed integrazione con il modello comportamentale</b>	<b>37</b>
4.1 Estrazione dei parassiti da layout . . . . .	38
4.1.1 Synopsys Star-RCXT . . . . .	38
4.1.2 Layout e cross section . . . . .	42
4.1.3 Scrittura dell'ITF e modifica del file per il controllo LVS	47
4.1.4 Esecuzione del flusso d'estrazione . . . . .	51
4.2 Modello comportamentale dell'interruttore NEM . . . . .	59
4.2.1 I linguaggi HDL . . . . .	60
4.2.2 Modello VerilogA . . . . .	63
<b>5 Risultati sperimentali e simulazioni</b>	<b>69</b>
5.1 Documentazione fornita . . . . .	69
5.2 Simulazione in DC . . . . .	73
5.3 Transitorio di scarica . . . . .	76
5.4 Simulazione Inverter . . . . .	81
<b>6 Conclusioni e sviluppi futuri</b>	<b>85</b>
<b>A File ITF (Interconnect Technology Format)</b>	<b>89</b>
<b>B Codice VerilogA dell'interruttore NEM</b>	<b>91</b>
<b>Bibliografia</b>	<b>97</b>
<b>Ringraziamenti</b>	<b>101</b>

# Elenco delle figure

2.1	Evoluzione dei sistemi a semiconduttore in accordo con i paradigmi "More Moore" e "More than Moore", e il relativo posizionamento del progetto NEMIAC[1]. . . . .	7
2.2	Logica digitale basata su interruttori NEM: possibile opzione d'integrazione e campi d'applicazione[2]. . . . .	9
2.3	Posizionamento della ricerca NEMIAC nella roadmap internazionale per il progresso dei dispositivi; la logica a relè NEM appartiene alla categoria dei dispositivi più dirompenti, vicino alla categoria dei CMOS innovativi (come grafene e tunnel FET)[1]. . . . .	12
2.4	Logiche circuitali basate su interruttori NEM[3]. . . . .	13
2.5	Confronto di prestazioni tra logica NEM e CMOS[3]. . . . .	14
2.6	Nuovi metodi per generare funzioni logiche digitali usando switch NEM[2]. . . . .	15
2.7	Topologie di base considerate nel progetto NemiAc[2]. . . . .	16
2.8	Inverter su microscala, topologia In-plane (IBM). . . . .	17
2.9	Modello di dispositivo NEM implementato usando una tecnologia di modellizzazione mixed-mode[2]. . . . .	22
2.10	Schematico di una possibile architettura per una complessa porta logica e zoom sulla parte centrale di contatto (in alto); relative tabelle della verità delle funzioni logiche NOR e NAND (in basso)[2]. . . . .	23
3.1	Microfotografia di uno switch a cantilever curvo di lunghezza $15.5\mu m$ [4]. . . . .	26
3.2	Elementi elettrici concentrati: top-view(a), cross-section(b) [5].	28
3.3	Approssimazione meccanica di uno switch curvo a parametri concentrati[5]. . . . .	29
3.4	Risposta in transitorio dello spostamento del braccetto[5]. . .	31
3.5	Modello del contatto elettrico: (a) prima e (b) dopo il contatto[5].	32

## ELENCO DELLE FIGURE

---

3.6	Curva caratteristica I-V in DC . . . . .	32
3.7	Struttura di un interruttore NEM a quattro terminali: (a) stato di OFF; (b) stato di ON[5]. . . . .	34
3.8	Polarizzazione di un inverter con <i>body-biasing</i> , formato da 2 interruttori NEM a 4 terminali[5]. . . . .	35
3.9	Confronto dell'energia media di commutazione tra un interruttore a quattro terminali e uno a tre terminali[5]. . . . .	36
4.1	Flusso d'estrazione. . . . .	39
4.2	Generazione del database .nxtgrd. . . . .	40
4.3	Layout dell'inverter. . . . .	43
4.4	Cuore dell'inverter. . . . .	44
4.5	Cross section:(a) rappresentazione dei 3 elettrodi;(b) rappresentazione della metallizzazione del source. . . . .	45
4.6	Sezione trasversale descritta nel file ITF. . . . .	50
4.7	Schema a blocchi semplificato del flusso d'estrazione. . . . .	51
4.8	Layout del singolo dispositivo in ingresso al flusso d'estrazione. . . . .	52
4.9	Netlist d'uscita contenente i valori di tutte le capacità d'accoppiamento. . . . .	54
4.10	Layout d'uscita al flusso d'estrazione che rappresenta tutte le net considerate per il calcolo degli accoppiamenti capacitivi. . . . .	56
4.11	Rappresentazione di tutti i contributi resistivi parassiti del braccetto di source. . . . .	57
4.12	Finestra <i>EditObjectProperties</i> del modulo <i>MEMSMAIN</i> . . . . .	65
4.13	Schematico del modello completo di un interruttore NEM. . . . .	67
5.1	Immagine SEM di un interruttore NEM lungo $29.5\mu m$ [4]. . . . .	70
5.2	Caratteristica statica I-V reale di un interruttore a cantilever curvo di lunghezza $29.5\mu m$ [4]. . . . .	71
5.3	Transitorio di scarica dell'interruttore con drain precaricato a 5 Volt: $t_1 = 130ns$ indica il tempo necessario per la chiusura meccanica dello switch [4]. . . . .	72
5.4	Schematico in Cadence per l'analisi in DC dell'interruttore NEM. . . . .	73
5.5	Forme d'onda in uscita all'analisi in DC dell'interruttore NEM. . . . .	75
5.6	Schematico dell'analisi in transitorio della scarica del drain. . . . .	77
5.7	Scarica del drain con carico enorme, $C_{load} = 1nF$ . . . . .	78
5.8	Scarica del drain con carico piccolo, $C_{load} = 1fF$ . . . . .	79
5.9	Schematico di un inverter formato da interruttori NEM. . . . .	81
5.10	Simbolo di un inverter in tecnologia NEM. . . . .	82



- 5.11 Forme d'onda in uscita dall'inverter NEM: le tensioni d'ingresso e d'uscita, lo spostamento dei braccetti dei due interruttori. 83

*ELENCO DELLE FIGURE*

---

# Sommario

Il primo computer interamente elettronico ENIAC (Electronic Numerical Integrator And Calculator), formato da tubi a vuoto, consumava 200 kW di potenza. Da allora il consumo di energia è diventato il principale problema da affrontare nello sviluppo delle tecnologie microelettroniche. Questo ostacolo risulta ancora più difficile da superare nello sviluppo di tecnologie nanometriche dove la potenza di leakage è confrontabile alla potenza dinamica se non superiore. Ciò è particolarmente un problema per le applicazioni emergenti dei cosiddetti componenti intelligenti, quali gli *autonomous sensor nodes*, i dispositivi di comunicazione wireless e i nuovi computer portatili che richiedono tutti circuiti logici con un'efficienza energetica notevolmente migliorata.

Il lavoro di questa tesi, svolto presso l'azienda STMicroelectronics, si colloca all'interno di un progetto europeo, chiamato NEMIAC, che ha come obiettivo quello di studiare e realizzare una nuova tecnologia di interruttori elettromeccanici in grado di sostituire, o affiancare, i transistori CMOS nei circuiti logici digitali, garantendo una potenza di leakage pressochè nulla e una potenza dinamica paragonabile a quella dei CMOS. In particolare, lo scopo di questa tesi è quello di contribuire alla creazione di un modello elettromeccanico del dispositivo base di questa tecnologia che sia il più verosimile alla realtà, da poter permettere facilmente la progettazione di complessi sistemi elettromeccanici via software, come accade già per i CMOS. Nello specifico, verrà realizzata una procedura che permetta l'estrazione di tutti gli elementi elettrici parassiti presenti in questo tipo di dispositivo, tramite alcuni software già esistenti. Questi parametri verranno integrati correttamente con il modello comportamentale fornito da collaboratori del progetto. In seguito saranno realizzate delle simulazioni per verificare l'effettivo comportamento del modello creato, confrontandolo con alcuni valori sperimentali forniti da test effettuati su dei primi interruttori elettromeccanici già realizzati fisicamente.



# Capitolo 1

## Introduzione

*“Massimo Decimo Meridio: Fratelli! Ciò che facciamo in vita, riecheggia nell’eternità!”*

Il gladiatore

I circuiti elettronici a stato solido basati su transistor a semiconduttore sono stati la soluzione dominante per i circuiti logici negli ultimi decenni, soprattutto per le sempre migliori prestazioni ottenute attraverso lo scaling dei transistor. Questo ha permesso l’aumento della complessità funzionale e la diminuzione del costo per unità di superficie, ha ridotto notevolmente la latenza ed il consumo di energia dissipata per ogni commutazione. Tuttavia, il consumo di potenza è un serio ostacolo, essenzialmente a causa di un limite inferiore dell’energia dissipata imposto dai materiali, indipendentemente dalla velocità di commutazione. Molte soluzioni sono state esplorate, ma fondamentalmente, l’efficienza energetica di un FET CMOS è limitata dalla sua conduzione sottosoglia.

Il progetto NEMIAC nasce dalla collaborazione di importanti aziende e università europee: IBM Research GmbH, Lancaster University, École Polytechnique Fédérale de Lausanne, Kungliga Tekniska Högskolan e STMicroelectronics. Questo progetto mira a realizzare una tecnologia di logiche basate su interruttori nano-elettromeccanici (NEM) fabbricabili e soluzioni di packaging per liberare la prossima generazione di componenti intelligenti dai vincoli di potenza imposti dai CMOS.

Il primo interruttore elettromeccanico è stato segnalato già nel 1991[6]. Nonostante l’immaturità del dispositivo e la tecnologia di fabbricazione di quel tempo, le sue caratteristiche elettriche erano così notevoli che negli anni successivi, soprattutto dopo il 1995, ha catturato l’attenzione crescente di

---

molti ricercatori[7][8][9]. Molte università, istituti di ricerca e sostanzialmente tutte le principali società di semiconduttori, tra cui STMicroelectronics, Infineon, Philips (ora NXP), Motorola (ora Freescale), Texas Instruments, Agilent, EPCOS, e Intel, hanno investito sempre maggiori sforzi per lo sviluppo di componenti MEMS a radiofrequenza. Gli attuali modelli di switch MEMS con prestazioni affidabili sono progettati con un area di contatto ampia e forze di attuazione abbastanza elevate[10]. Tali interruttori hanno dimensioni dell'ordine dei  $400\mu m \times 400\mu m$  o superiore, ed hanno un ritardo di commutazione dell'ordine dei  $20 - 50\mu s$ .

Semplici porte logiche formate da interruttori NEM (nano-electro-mechanical) sono state sviluppate da gruppi di ricerca a Stanford e Berkeley[11], ed hanno dimostrato che scalando le dimensioni del dispositivo sotto i  $5\mu m$  si riduce il ritardo di commutazione fino al range dei  $ns$ . Inoltre, la considerevole riduzione della tensione di attuazione ottenibile attraverso lo scaling, rende questi dispositivi candidati ideali per la realizzazione di complessi circuiti logici altamente robusti ed a bassa potenza[12].

Lo scopo di questa tesi, che si colloca all'interno del progetto NEMIAC, è quello di realizzare un modello simulativo di questa nuova tecnologia, partendo dal singolo interruttore per poi arrivare a porte logiche più complesse da poter successivamente implementare in un ambiente di progettazione, permettendo di simulare interi sistemi elettronici e valutare il loro funzionamento. Una corretta realizzazione del modello renderebbe molto più semplice lo sviluppo di questa tecnologia e permetterebbe una produzione molto più efficiente conoscendo a priori il funzionamento esatto di un sistema che si vuol produrre, ed evitando così di sprecare soldi per la realizzazione di dispositivi di prova.

Il modello da realizzare, per essere il più verosimile possibile, dovrà tenere conto sia delle componenti meccaniche del dispositivo che determinano il movimento dinamico di apertura e chiusura dell'interruttore, sia delle componenti elettriche parassite, quali resistenze e capacità, che influiscono sul comportamento ideale inserendo ritardi e accoppiamenti capacitivi sicuramente non trascurabili.

Successivamente bisognerà testare questo modello eseguendo diversi tipi di simulazioni e confrontando i risultati simulativi ottenuti con alcuni valori sperimentali calcolati su dei primi interruttori NEM, realizzati con dimensioni abbastanza grandi (lunghezza  $29.5\mu m$ ).

La tesi è strutturata nel modo seguente:

- *Capitolo 2 - Il progetto NEMIAC*: in questo capitolo viene presentato il progetto europeo, descrivendo il background in cui si colloca, gli

---

obbiettivi che sono stati prefissati e il suo impatto atteso sulle tecnologie nanoelettroniche. Sarà rappresentata la suddivisione del lavoro dell'intero progetto in sei *Work Package* e focalizzata l'attenzione sulla sezione di lavoro in cui si colloca questa tesi.

- *Capitolo 3 - Il dispositivo NEM*: in questo capitolo viene focalizzata l'attenzione sul dispositivo da dover modellizzare, l'interruttore elettromeccanico. Viene prima descritta la sua struttura geometrica ed i materiali che lo compongono, successivamente viene effettuato uno studio approfondito sul modello del dispositivo a parametri concentrati, analizzando tutte le forze che entrano in gioco nel suo funzionamento, con particolare attenzione al comportamento del contatto che risulta essere la parte più critica. Infine viene introdotta un'altra topologia di interruttore NEM da realizzare eventualmente in futuro.
  
- *Capitolo 4 - Estrazione dei parassiti ed integrazione con il modello comportamentale*: in questo capitolo viene mostrato tutto il lavoro che ha portato alla realizzazione del modello dell'interruttore NEM. Vengono introdotti tutti i software utilizzati, spiegata la loro utilità e motivata la loro scelta. Per ottenere tutti i componenti elettrici parassiti, si parte dal layout dell'interruttore e si mostrano tutti gli step fondamentali alla realizzazione del flusso di estrazione parassiti, realizzato grazie ad un software della Synopsys. Sfruttando lo studio del dispositivo effettuato nel capitolo 3 viene spiegato il modello comportamentale del dispositivo realizzato in linguaggio VerilogA dai collaboratori dell'IBM. I valori dei parassiti ottenuti saranno integrati in maniera intelligente al modello comportamentale per la corretta realizzazione del modello simulativo.
  
- *Capitolo 5 - Risultati sperimentali e simulazioni*: in questo capitolo vengono mostrati e commentati alcuni risultati sperimentali ottenuti dai primi interruttori NEM realizzati fisicamente. Successivamente vengono effettuate simulazioni del modello creato nel capitolo 4 per ottenere risultati e forme d'onda in uscita da confrontare con i risultati sperimentali, in modo tale da poter valutare l'accuratezza del modello realizzato. Le simulazioni effettuate permettono di valutare il modello dell'interruttore attraverso analisi in DC e in transitorio.

- 
- *Capitolo 6 - Conclusioni e sviluppi futuri*: in questo ultimo capitolo sono riportate le conclusioni di questo lavoro, vengono mostrate alcune piccole cose da poter migliorare e indicati quelli che saranno i futuri lavori da svolgere per rispettare la tabella di marcia del progetto NEMIAC.



## Capitolo 2

# Il progetto NEMIAC

*“La scienza non è nient’altro che una perversione se non ha come suo fine ultimo il miglioramento delle condizioni dell’umanità.”*

Nikola Tesla

Il progetto NEMIAC (Nano-Electro-Mechanical Integration And Computation) mira a sviluppare una tecnologia di logiche digitali basata su interruttori nano-elettromeccanici (NEM) con in pratica zero leakage, commutazioni ripide e elevate correnti nello stato di *on* adatte sia per sistemi *embedded* indipendenti che per l’integrazione 3-D con la tecnologia CMOS. All’interno del progetto NEMIAC verranno esplorati e sviluppati gli interruttori NEM, insieme con architetture circuitali innovative per componenti a basso consumo e sistemi di applicazione intelligenti. I nuovi *switch* avranno un ingombro di  $3\mu m \times 3\mu m$  e si mira ad arrivare a ritardi di commutazione dell’ordine dei 10 ns. Blocchi logici funzionali basati su relè NEM verranno implementati, metodologie di progettazione e di simulazione saranno sviluppate per questi nuovi elementi logici meccanici utilizzati per esplorare tutte le possibili applicazioni di destinazione. In questo capitolo saranno presentate le principali idee che stanno alla base del progetto, gli obiettivi che sono stati prefissati e l’impatto atteso sulle tecnologie nanoelettroniche[2]. Verrà inoltre focalizzata l’attenzione sulla sezione di lavoro del progetto inerente al mio lavoro di tesi.

### 2.1 Concetti e obiettivi

In questa sezione vengono spiegati i concetti alla base del progetto e quali sono le principali idee che hanno portato allo sviluppo del lavoro. Vengono

descritti in dettaglio gli obiettivi scientifici e tecnologici e viene mostrato come si relazionano le tematiche affrontate.

### 2.1.1 Background e collocamento

L'industria dei semiconduttori sviluppa la sua produzione, i suoi design e lo studio delle sue tecnologie in risposta alle esigenze e alle disponibilità economiche di tutto il mondo. L' *International Technology Roadmap for Semiconductors* (ITRS) è un insieme di documenti prodotti da un gruppo di esperti nell'ambito dell'industria dei semiconduttori, ed individua quattro grandi sezioni di sviluppo: **System on chip** (SoC) che comprende anche la tecnologia **System-in-Package** (SiP); **Microprocessori** (MPU); **Analogue/Mixed-Signal** (AMS); **Memorie embedded**. Le funzionalità principali dei SoC sono l'archiviazione digitale e l'elaborazione dei dati, sfruttando l'utilizzo di sempre più avanzati microprocessori, componenti AMS e memorie embedded come sottosistemi, ed è quindi una classe di prodotto in continuo sviluppo [1]. Alcune delle funzionalità richieste in un sistema complesso possono essere fornite da componenti realizzati con soluzioni differenti dai CMOS, e la loro integrazione con la tecnologia CMOS in un singolo pacchetto viene chiamato System-in-Package.

I circuiti elettronici a stato solido basati su transistor a semiconduttori sono stati la soluzione dominante per i circuiti logici negli ultimi decenni, grazie alle prestazioni di scaling dei transistor, all'aumento della complessità funzionale per unità di superficie, ai costi ridotti, e alla latenza ridotta. Tuttavia, il consumo di potenza è un serio ostacolo, essenzialmente a causa di un limite inferiore dell'energia necessaria per una commutazione binaria in tecnologie CMOS imposto da limiti materiali, indipendentemente dalla velocità di commutazione. Molte soluzioni sono state esplorate, ma fondamentalmente, l'efficienza energetica di un FET CMOS è limitata dalla conduzione sottosoglia.

In Europa, i System-in-Package e i prodotti AMS tendono ad avere la priorità a causa della leadership di mercato in settori specifici, quali le tecnologie di rete e wireless, le industrie IT (information technology), le industrie dei trasporti e dell' aerospaziale. In molte di queste applicazioni è fondamentale la realizzazione di soluzioni intelligenti per i sistemi futuri che tendono a richiedere potenze dissipate in stand-by estremamente basse, ottime resistenze (in termini di buon mantenimento) e affidabilità in ambienti sempre più esigenti. Il progetto NEMIAC si rivolge direttamente a queste sfide con la realizzazione di una nuova tecnologia basata su interruttori nano-elettromeccanici (NEM) per l'implementazione di logiche digitali, volendo inoltre

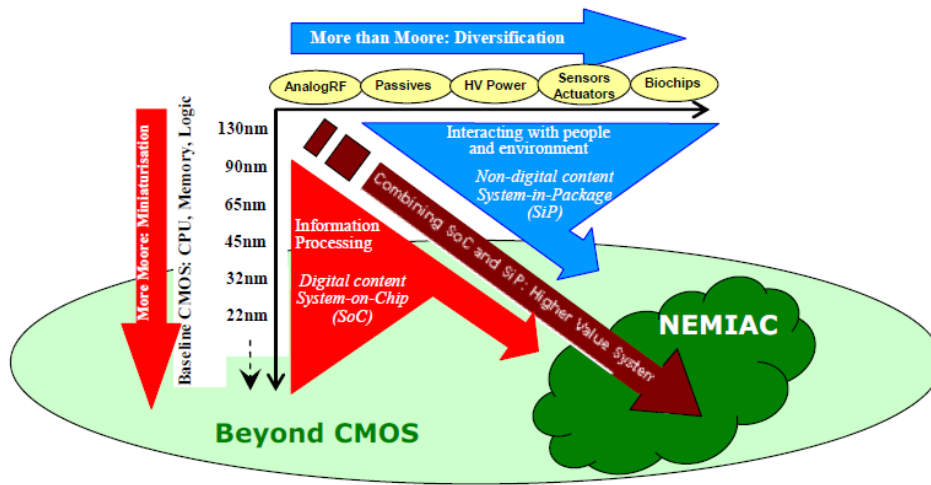


Figura 2.1: Evoluzione dei sistemi a semiconduttore in accordo con i paradigmi "More Moore" e "More than Moore", e il relativo posizionamento del progetto NEMIAC[1].

fornire ottimi valori dei parametri di prestazione in termini di densità di potenza, affidabilità e durata.

Il percorso tradizionale di sviluppo per i dispositivi CMOS è quantificato dalla legge di Moore, mentre lo sviluppo di dispositivi con funzionalità aggiuntive, caratterizzati da applicazioni di tipo System-in-Package, segue un altro percorso che prende il nome di More than Moore[1]. Inoltre, le tabelle di marcia per l'industria dei semiconduttori hanno raggiunto il punto in cui anche le proiezioni più ottimistiche, in base alla legge di Moore, vedono la fine dello scaling dei CMOS molto prossima, vengono perciò attivamente studiati nuovi dispositivi per replicare le prestazioni, per migliorare questi limiti e per aumentare la longevità dei dispositivi CMOS. Questi andamenti di sviluppo sono rappresentati dalla Figura 2.1, ed è importante osservare il posizionamento del progetto NEMIAC in congruenza con i System-in-Package ed i System-on-Chip.

Le specifiche principali dei sistemi per SoC, MPU e prodotti AMS variano a seconda del target di mercato, ma la vita della batteria, il consumo di potenza, l'affidabilità, la durata e la funzionalità sono denominatori comuni in tutti i segmenti di mercato, soprattutto quello medico, dei network e delle comunicazioni, della difesa, delle applicazioni automotive e quello dei dispositivi portatili.

Nella tecnologia di logica digitale NEM si prevede di eliminare quasi completamente la potenza dissipata di leakage e fornire miglioramenti di almeno un

ordine di grandezza sul consumo di energia, una specifica fondamentale per dispositivi portatili, ovvero tutti quei prodotti privi di alimentazione elettrica. Inoltre, i circuiti logici basati su switch NEM offrono altri due vantaggi sostanziali che sono importanti per il funzionamento in condizioni estreme, ovvero sono resistenti alle radiazioni e quindi promettono capacità operative nello spazio e in altri ambienti pericolosi e possono, in linea di principio, funzionare anche a temperature di oltre 400 °C, aprendo una nuova gamma di applicazioni decisamente fuori dalla portata dei transistor CMOS. Infine, il core di questa tecnologia di interruttori NEM potrà anche tornare utile all'interno di altre applicazioni MEMS tradizionali.

### 2.1.2 Idee di base

Come già accennato in precedenza per quanto riguarda sia le applicazioni high-performance che quelle low-power, i processori all'avanguardia sono fortemente limitati dal totale consumo di potenza. Nei processori high-performance le prestazioni sono limitate dalla densità di potenza complessiva, che a sua volta è limitata dalla temperatura di fusione delle giunzioni del transistor. Nel settore delle tecnologie nanometriche gran parte della potenza dissipata è attribuibile alla corrente di sottosoglia dei transistori, ed essa dipende dalla progettazione e può essere ben oltre il 50% della potenza totale dissipata.

I CMOS Field-Effect Transistor possono operare in due regimi fondamentali: il regime soprasoglia in cui la tensione di alimentazione  $V_{dd}$  è maggiore della tensione di soglia  $V_t$  ( $V_{dd} > V_t$ ) utilizzato soprattutto in applicazioni high-performance; il regime sottosoglia ( $V_{dd} < V_t$ ), come accade nelle applicazioni ultra low-power e nelle reti di sensori *energy scavenging*. Due componenti principali contribuiscono all'energia di un interruttore CMOS FET: l'energia dinamica, che può essere ridotta con una dipendenza quadratica riducendo  $V_{dd}$ , e l'energia di leakage, che può essere ridotta controllando la corrente nello stato di off,  $I_{off}$ , e il tempo necessario per eseguire l'operazione,  $t_d$ , dato che l'energia di leakage è proporzionale a  $V_{dd} \times I_{off} \times t_d$ . Vi è tuttavia un trade-off nella regolazione di questi parametri, poichè la riduzione di  $V_{dd}$  aumenta  $t_d$ , mentre la riduzione di  $V_t$  aumenta  $I_{off}$  con una dipendenza esponenziale [13] [14]. Indipendentemente dal dominio d'applicazione, il fattore determinante delle correnti di leakage è la pendenza di sottosoglia dei transistori  $S$ , ed esso è direttamente proporzionale alla tensione termica,  $V_{th} = k_b T/q$ , e ciò dimostra una limitazione importante, da dover in qualche modo superare per migliorare l'efficienza energetica [15].

Molti ricercatori stanno studiando strategie per superare questi limiti dei

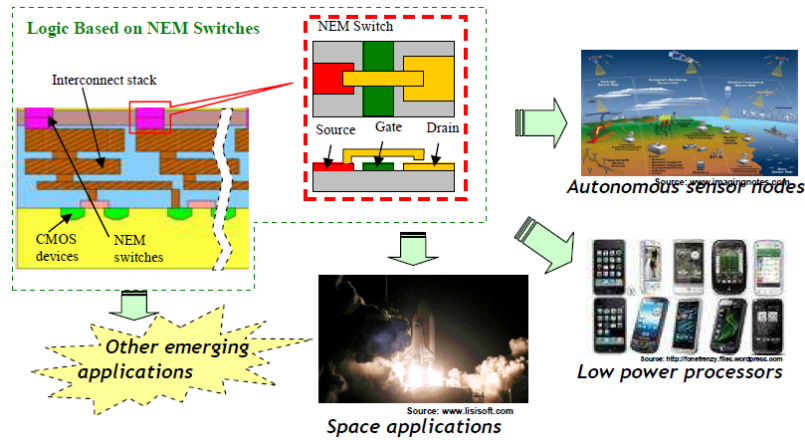


Figura 2.2: Logica digitale basata su interruttori NEM: possibile opzione d'integrazione e campi d'applicazione[2].

dispositivi di tipo CMOS al fine di superare i problemi di potenza dissipata, alcune delle quali sono basate su miglioramenti ai MOSFET, mentre altre riguardano lo sviluppo di dispositivi nuovi che operano su meccanismi di trasporto diversi come il tunneling. Riuscire a combinare le caratteristiche desiderabili di commutazioni rapide, elevata corrente di on, bassissima corrente di off, alta velocità e le ridotte dimensioni in un dispositivo che sia facilmente interfacciabile ai CMOS è un compito arduo. Perciò si ritiene che gli interruttori meccanici siano un candidato promettente per soddisfare tutti questi criteri, ad eccezione della velocità molto elevata che difficilmente potrà essere paragonabile a quella dei CMOS. Tuttavia questa limitazione può essere superata sfruttando nuove architetture circuitali intelligenti come verrà spiegato in seguito.

La figura 2.2 mostra una rappresentazione concettuale della logica digitale basata su interruttori NEM perfettamente integrata con circuiti CMOS e le relative aree di applicazione. L'ingrandimento (in alto al centro) mostra un semplice interruttore NEM azionabile elettrostaticamente in cui il canale, formato da un braccetto conduttivo, è separato dall'elettrodo di drain da uno spazio d'aria di pochi nanometri. Se una tensione di controllo viene applicata tra il braccetto e l'elettrodo di attuazione (gate) il braccetto si sposta verso il drain e chiude il contatto. L'apertura dell'interruttore può essere effettuata attraverso la rimozione della tensione di controllo in modo tale che la forza elastica applicata sulla trave provocherà l'interruzione del contatto ed il braccetto tornerà alla sua posizione di partenza.

Tale dispositivo può avere perdite vicine allo zero, una pendenza di sotto-

soglia molto ripida, con un ritardo meccanico dell'ordine dei nanosecondi e costante di tempo elettrica dell'ordine dei picosecondi, basata ovviamente sull'impedenza di uscita effettiva del dispositivo e su capacità di carico tipiche. Il ritardo relativamente grande dell'azionamento meccanico non rappresenta un ostacolo nella progettazione di tutti i circuiti tranne per quelli altamente performanti, se le caratteristiche di questa logica NEM vengono adeguatamente sfruttate su architetture circuitali ad hoc. Inoltre, anche un interruttore NEM di dimensioni minime fornisce un buon valore logico '0' così come di '1' e ha bassa impedenza di uscita dovuta principalmente dalla resistenza di contatto tra gli elettrodi di drain e source, e il canale, essendo quest'ultimo di tipo metallico. Quindi è possibile avere molti interruttori NEM in serie all'interno di un blocco funzionale, con una costante di tempo elettrica nell'intervallo delle decine di picosecondi, e finché tutti i relè commuteranno circa simultaneamente, il ritardo sarà dominato da un singolo ritardo meccanico. Il ritardo di un blocco funzionale CMOS invece consiste nella somma dei ritardi di tutte le porte logiche che costituiscono il percorso critico, a causa della necessità di generazione del segnale tra i vari stadi logici imposto dall'impedenza di uscita molto maggiore.

Concetti simili sono stati sviluppati in uno studio di simulazione effettuato da un gruppo composto da ricercatori della University of California a Berkeley, del Massachusetts Institute of Technology e della University of California a Los Angeles. Queste ricerche hanno dimostrato che un sommatore basato su logica NEM è in grado di fornire un miglioramento dell'efficienza energetica pari ad un ordine di grandezza rispetto ad un progetto ottimizzato CMOS realizzato in una tecnologia di 90 nanometri senza alcuna penalità di area, per requisiti di throughput dell'ordine di 1 milione di operazioni al secondo (MOPS), e un aumento lineare di area per requisiti di throughput da 1 a 1000 MOPS (1000 MOPS rappresenta il limite massimo delle prestazioni ottenibili con tecnologia CMOS senza parallelizzazione)[3].

Anche se questi numeri cambiano a seconda del tipo d'implementazione dell'interruttore, si ritiene che sia realistico aspettarsi un simile miglioramento dell'efficienza energetica per bassi e medi requisiti di throughput e per una varietà di blocchi funzionali, e che i futuri componenti intelligenti possano trarre grandi vantaggi sostituendo i blocchi che non richiedono alte prestazioni con la logica NEM perfettamente integrata in un processo CMOS, come concettualmente indicato nella figura 2.2. I risparmi energetici sono ottenuti non solo dall'eliminazione della potenza di leakage, ma anche dalla riduzione della potenza dinamica grazie al ridotto numero di dispositivi e alla possibilità di massimizzare l'uso di dispositivi di dimensioni minime all'interno di una architettura circuitale ottimizzata per logiche di tipo NEM. La

prospettiva di ridurre il consumo di energia fino a un ordine di grandezza può preannunciare lo spostamento del paradigma inerente a questo campo. Vantaggi significativi possono anche essere previsti per le applicazioni ultra-low power e nel settore delle comunicazioni wireless. Una possibilità interessante è il potenziale risparmio energetico negli *autonomous sensor nodes*, sensori autonomi che operano grazie ad una alimentazione fornita dagli emergenti dispositivi per l'*Energy Harvesting* <sup>1</sup>. La convergenza dell'elettronica ultra-low power e dei dispositivi per l'*energy harvesting* potrebbe comportare la nascita di una nuova classe di applicazioni che funzionano in modo autonomo essenzialmente per sempre, a distanza e senza batteria. Infine, occorre sottolineare che quello sopra citato è uno studio di simulazione, e il consorzio non è in possesso di alcun lavoro riportato che dimostri la veridicità per quanto riguarda il footprint, i tempi di commutazione e l'affidabilità di queste logiche, che perciò il progetto NEMIAC si propone di fare. Esso propone di raggiungere questo obiettivo sulla base di tecnologie d'avanguardia di interruttori a contatto e architetture circuitali sviluppate presso gli istituti partner, come verra' descritto in seguito.

## 2.2 Stato dell'arte

### 2.2.1 Limiti dell'elaborazione digitale e il ruolo dei NEMS

Diverse sono le nanotecnologie che vengono attivamente studiate per l'elaborazione dell'informazione (vedi figura 2.3), ma come già accennato, gli interruttori NEM sono di particolare interesse per la loro capacità di affrontare alcuni dei principali limiti di calcolo digitale dei CMOS, come la potenza dissipata in standby. Un aspetto cruciale per l'accettazione e l'efficacia dei costi industriali di integrazione dei relè NEM riguarda il suo posizionamento rispetto al processo di fabbricazione CMOS. Il processo di fabbricazione dei circuiti integrati si può suddividere in due fasi: *front-end of line* (FEOL) è la prima parte in cui vengono modellati i singoli dispositivi (transistori, condensatori, resistenze, ecc) nel semiconduttore; *back-end of line* (BEOL) è la seconda parte dove vengono interconnessi i singoli dispositivi (transistori, condensatori, resistenze, ecc) con le piste sul wafer, esso comincia generalmente quando il primo strato di metallo è depositato sul wafer. Ad Oggi i processi CMOS su wafer da 300mm sono estremamente complessi e comprendono numerose fasi di lavorazione costose e step di processo dedicati alla FEOL che non possono essere modificati, perciò un'integrazione dei processi MEMS a questo livello è improbabile che venga accettata dal settore dei

---

<sup>1</sup>dispositivi in grado di raccogliere e convertire l'energia ambientale in energia elettrica

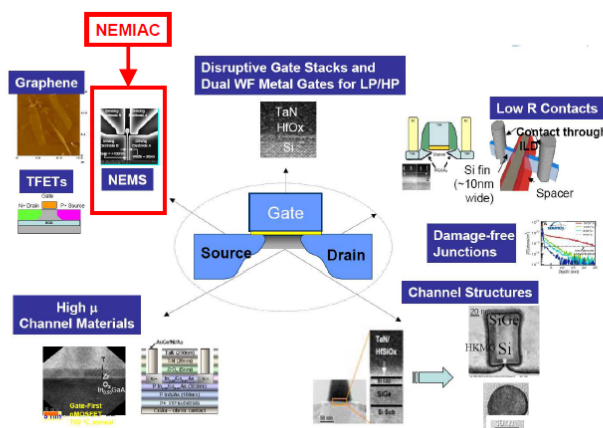


Figura 2.3: Posizionamento della ricerca NEMIAIC nella roadmap internazionale per il progresso dei dispositivi; la logica a relè NEM appartiene alla categoria dei dispositivi più disruptivi, vicino alla categoria dei CMOS innovativi (come grafene e tunnel FET)[1].

semiconduttori. Più flessibilità esiste a livello di BEOL in cui però l'integrazione MEMS deve far fronte ad un numero limitato di scelte per quanto riguarda i materiali (conduttori e isolanti) e gli spessori (già ottimizzati per i vari livelli di interconnessione). Perciò un'integrazione 3-D eterogenea successiva al processo CMOS di un dispositivo MEMS sul CMOS sembra il candidato ideale, anche se ovviamente bisognerà affrontare la problematica di compatibilità dei diversi materiali delle due tecnologie.

### 2.2.2 Interruttori NEM per logiche digitali

Sebbene le caratteristiche elettriche degli interruttori elettromeccanici sono diverse da quelle delle loro controparti CMOS, è possibile estendere a queste nuove logiche molti dei disegni usati in logiche CMOS. Esempi di realizzazioni circuitali logiche ispirate ai CMOS sono proposti nella Figura 2.4[3]. In figura 2.4a, è presentata una semplice implementazione di relè NEM per costruire un circuito logico NAND e NOT, che riprende lo stile a pass-transistor. Seguendo lo stesso principio, è possibile realizzare full adder e collegarli in una configurazione a catena per creare un sommatore a 32-bit come mostrato nella Figura 2.4b. Gli autori [3] hanno effettuato un confronto basato su simulazioni riguardo al consumo di energia di un sommatore a 32bit CMOS ed uno a interruttori NEM per mostrare che un miglioramento di oltre un ordine di grandezza è possibile con una progettazione NEM (figura 2.5). Se inoltre, viene utilizzato il parallelismo per i disegni NEM,



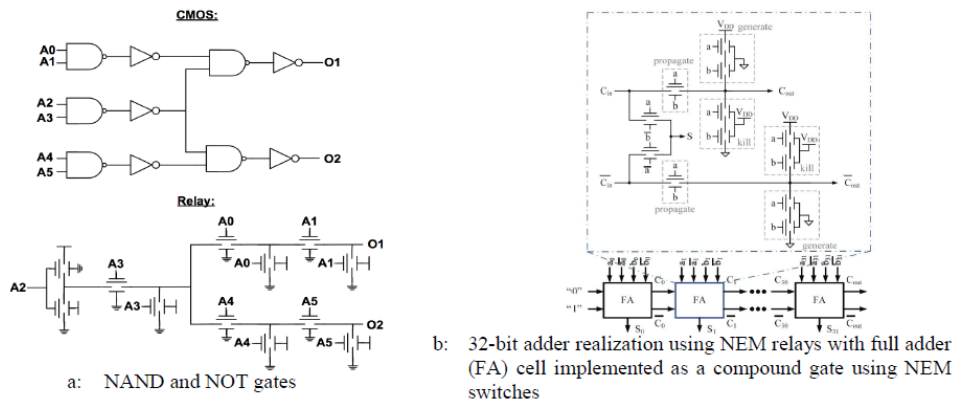
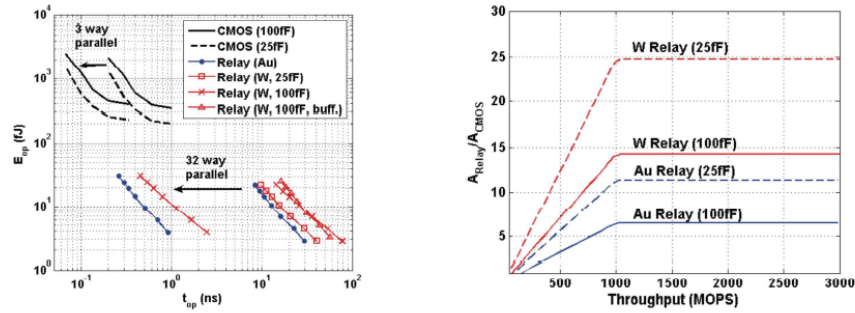


Figura 2.4: Logiche circuitali basate su interruttori NEM[3].

la figura 2.5 mostra come il risparmio di energia può essere ottenuto anche per requisiti di throughput dell'ordine dei 100 MOPS, a discapito però di una occupazione d'area maggiore. L'architettura circuitale utilizzata assicura commutazioni sincronizzata dei relè NEM, garantendo così un ritardo meccanico dell'intero blocco pari ad un singolo ritardo, anche se esso è composto da molti dispositivi NEM, riducendo così il ritardo complessivo. I metalli utilizzati per i contatti dei NEM svolgono un ruolo significativo nel confronto energetico con le controparti CMOS. In Figura 2.5a è rappresentata l'energia per operazione in funzione del ritardo del sommatore (CMOS e NEM) con la capacità di carico e il metallo di contatto (per i NEM) come parametri di valutazione. La Figura 2.5b invece, quantifica l'occupazione di area dei circuiti NEM in confronto con i CMOS in riferimento alla velocità di elaborazione dei dati. Riassumendo, questo studio mostra che i sommatore realizzati con i relè NEM migliorano l'efficienza energetica di un fattore 10 e per quanto riguarda l'occupazione di area conviene lavorare con sistemi ad elevato throughput ( $> 1$  GOPS) dove è necessario il parallelismo ed il rapporto con i CMOS rimane costante. Inoltre è da notare come l'occupazione di area è una funzione della resistività dei metalli utilizzati negli interruttori NEM e può arrivare ad essere soltanto fino a sei volte più grande dei CMOS grazie alla scelta del materiale conduttivo migliore (Au).



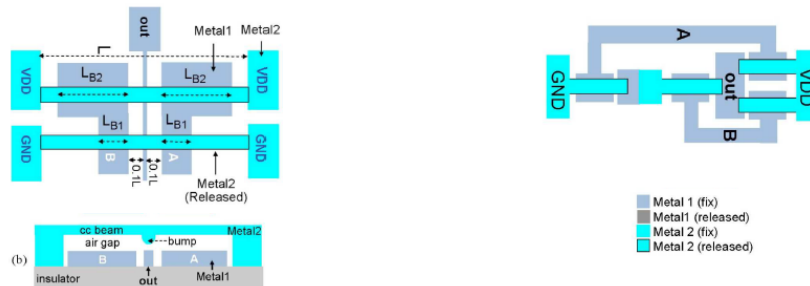
- a: Comparison of the energy throughput of 32-bit adders using CMOS and NEM-relay circuits. Using high-conductivity metals and applying parallelism it is possible to bring the performance of the NEM-based adder into the GOPS range.
- b: Area tradeoffs in NEM-switch adders compared to CMOS equivalents [3]

Figura 2.5: Confronto di prestazioni tra logica NEM e CMOS[3].

### 2.2.3 Funzioni logiche complesse in un singolo dispositivo NEM

I circuiti logici NEM hanno un importante vantaggio in termini di risparmio energetico rispetto ai CMOS ma una sostituzione di essi in architetture di porte CMOS standard, può provocare una lentezza dell'intero dispositivo inaccettabile. Tali limiti possono essere superati con architetture circuitali intelligenti che sfruttano le caratteristiche elettriche di questi dispositivi, come spiegato in precedenza. Inoltre i dispositivi elettromeccanici possono essere configurati in architetture circuitali non disponibili per dispositivi elettronici a stato solido, ad esempio nella progettazione di filtri analogici/RF utilizzare una semplice struttura elettromeccanica risonante è molto più semplice dell'equivalente circuito microelettronico (RLC). Quindi una significativa attività di ricerca si svolge per implementare un tale dispositivo per l'applicazione dell'elettronica RF. In NEMIAAC sarà sfruttata questa unicità degli *switch* NEM sviluppando più di una semplice funzione binaria di commutazione, utilizzando solamente un dispositivo a tre terminali, con un nuovo approccio fino ad ora mai visto.

Diversamente dalla progettazione di circuiti CMOS, le funzioni logiche a interruttori NEM possono essere implementate con una singola porta di dimensioni minime, al fine di ridurre significativamente la complessità logica. Un esempio di ottimizzazione del layout che sfrutta questa funzionalità è mostrato in figura 2.6 con la rappresentazione di una porta NAND[16]. Questo esempio dimostra che per i circuiti digitali NEM non devono per forza essere utilizzate le metodologie tradizionali di progettazione dei CMOS, e



- a: NEM switch implementation of a NAND gate with optimized implementation taking in account the design latitude offer by NEM switch [1]
- b: NAND gate with simple substitution of MOSFETs by NEM relays

Figura 2.6: Nuovi metodi per generare funzioni logiche digitali usando switch NEM[2].

quindi metodi alternativi per la costruzione di porte logiche devono essere esaminati.

Alcuni altri gruppi hanno proposto nano-architetture 3-D utilizzando interruttori NEM a nanotubo di carbonio (CNT) con un gate flottante, e suggerito che un'eventuale logica basata su di essi ha il potenziale di sostituire i CMOS utilizzando tecnologie di processo con dimensione inferiore ai 45nm[17]. Ma questa proposta, senza però prove sperimentali sulle caratteristiche fisiche e di controllo degli interruttori CNT-NEM potrebbe apparire una strada rischiosa da percorrere.

#### 2.2.4 Progresso oltre lo stato dell'arte dei circuiti logici basati su interruttori NEM

Nel progetto NEMIAC, tecnologie logiche NEM e le architetture circuitali si svilupperanno in base alla producibilità degli interruttori e alle possibilità processuale di integrare essi con i CMOS, sovrapponendoli. In questo modo, NEMIAC ottimizzerà sia il dispositivo che l'architettura circuitali per le massime prestazioni a livello di applicazione. I partner di NEMIAC hanno tutti un'eccellente esperienza scientifica nello sviluppo MEMS/NEMS, che include tutti gli aspetti degli switch MEMS per Radio Frequenze, dell'integrazione eterogenea VLSI (Very Large Scale Integration) di dispositivi MEMS con CMOS, dell'affidabilità dei contatti, e della sperimentazione di questi dispositivi. Il consorzio NEMIAC è unico perché combina tutti i settori di ricerca pertinenti necessari per un positivo sviluppo e l'implementazione della tecnologia.

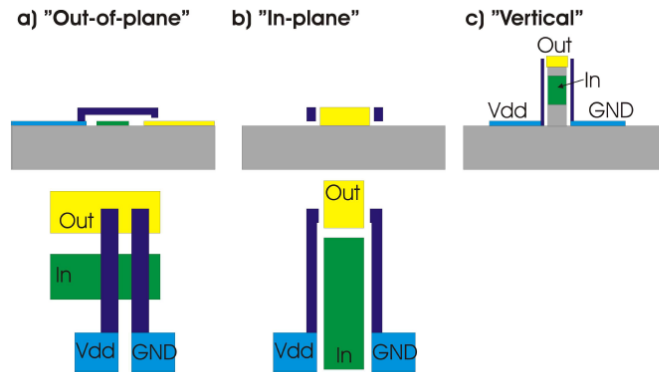


Figura 2.7: Topologie di base considerate nel progetto Nemiac[2].

Uno dei problemi più difficili da affrontare è l'affidabilità di contatto a dimensioni nanometriche. All'interno di NEMIAC si esplorano i contatti formati da silicio (come si vedrà in seguito), questo nuovo approccio è stato sviluppato da IBM per i microscopi a forza atomica ed ha dimostrato un'affidabilità di contatto senza precedenti. Nel progetto si indagherà su tre possibili topologie dello switch: In-plane, Out-of-plane e Vertical (tutte rappresentate nella Figura 2.7). Le strutture In-plane e Out-of-plane sono le strutture più comunemente utilizzate, ma è anche vero che la struttura verticale potrebbe avere interessanti vantaggi in termini di miniaturizzazione. NEMIAC identificherà la progettazione di interruttori NEM con un elevato potenziale di scalabilità, pertanto tenterà di progettare switch affidabili con uno spazio d'azionamento elettrostatico dell'ordine dei 10 nm. Un gap di dimensioni così piccole non può essere definito utilizzando la litografia standard, perciò NEMIAC utilizzerà soluzioni che definiscono questo minuscolo spazio sfruttando le proprietà sub-litografiche e di autoallineamento. Gli interruttori In-plane sono i candidati ideali e sono in linea con un inverter MEM prodotto dal IBM e mostrato in Figura 2.8. Il progetto NEMIAC tenta di andare oltre lo stato dell'arte portando questo disegno a dimensioni nanometriche ed eseguendo un'ottimizzazione globale su tutti i parametri del sistema. Grazie all'esperienza combinata assemblata nel consorzio NEMIAC, c'è la possibilità di scalare in modo aggressivo questa topologia tecnologica (In-plane) e di esplorare topologie alternative e altri materiali di commutazione.

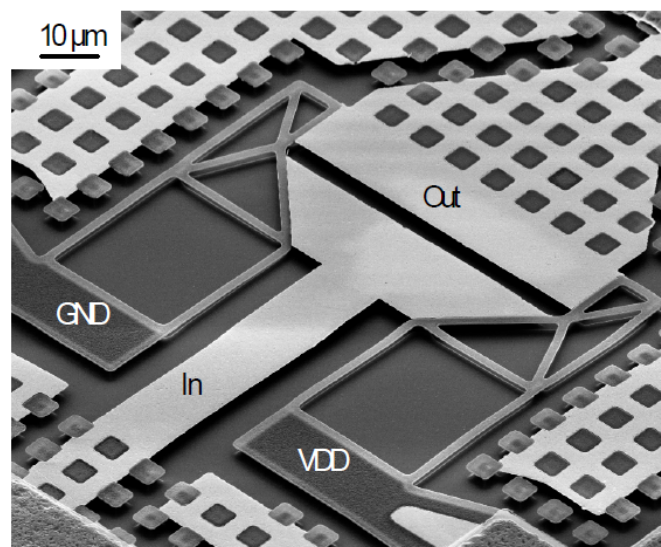


Figura 2.8: Inverter su microscala, topologia In-plane (IBM).

## 2.3 Impatti previsti dal progetto

### 2.3.1 Impatto strategico

Le logiche NEM Ultra-low power combinate con tecniche di raccolta di energia hanno il potenziale per consentire la realizzazione di sistemi ambientali intelligenti muniti di funzioni sensoriali ed autoalimentati.

IBM ha una visione a lungo termine per le città intelligenti con l'interconnessione e la condivisione di informazioni tra le diverse infrastrutture che sottendono la vita moderna, come i trasporti, l'energia, la sanità, e la sicurezza. Costruire sistemi intelligenti globali di questo tipo ha il potenziale di migliorare il benessere socio-economico del cittadino europeo, contribuendo ad esempio alla riduzione del traffico, al monitoraggio della qualità dell'acqua e dell'aria. NEMIAC fornisce una buona parte della tecnologia necessaria per implementare la raccolta e l'elaborazione autonoma delle informazioni.

STM è uno dei leader mondiali nella realizzazione di sensori intelligenti per applicazioni portatili. Hanno una vasta gamma di prodotti con crescita prevista nel medio-lungo termine, compresa l'elettronica medica e gli smartphone, da cui il progetto trarrà beneficio. Un obiettivo del progetto NEMIAC sarà quindi quello di rafforzare la competitività globale dell'industria europea nei settori di forza abituali e di aumentare gli investimenti verso l'interno.

Altri punti di forza dei relè NEM sono la resistenza alle alte temperature e la resistenza alle radiazioni. Questo rende la tecnologia NEM un candidato

ideale per i componenti intelligenti in condizioni pericolose quali le applicazioni automotive (altro settore di forza tradizionale per l'industria europea) e le applicazioni spaziali.

Ad ogni modo, il progetto NEMIAC aumenterà le risorse e le conoscenze in settori chiave, che attualmente rimangono un po' trascurati dalle aziende e dagli istituti che hanno sperimentato il loro uso; ad esempio IBM, ST e KTH condivideranno la loro esperienza per una migliore integrazione eterogenea e per la realizzazione di un materiale migliore per il contatto degli interruttori. Un scambio di informazioni simili si verificherà in attività di modellazione e simulazione tra le università EPFL (di Losanna), ULANC (di Lancaster) e i partner industriali, questo farà in modo che la ricerca europea e le organizzazioni accademiche continuino a mantenere posizioni di leadership nei settori che li hanno storicamente distinti.

#### 2.3.2 Impatto tecnologico

Lo sviluppo di una tecnologia NEM in grado di offrire relè funzionali e affidabili, nonché circuiti digitali, è una sfida molto importante. NEMIAC mira alla realizzazione di complessi sistemi digitali (a livello di processori) con basse tensioni di comando (1-5 V), basso footprint ( $5\mu m \times 5\mu m$ ) e compatibili con le tecniche di integrazione 3D con i CMOS. L'approccio tecnologico per la fabbricazione dei relè NEM è di tipo top-down, al fine di sfruttare l'esperienza tecnologica accumulata con i CMOS. L'impatto di questa iniziativa sulla tecnologia sarà molto importante in quanto il progetto offrirà una alternativa affidabile ai CMOS (ma compatibile con esso), con significativi miglioramenti delle prestazioni di consumo energetico e con un costo paragonabile (se non inferiore). Le nuove tecniche di fabbricazione e i nuovi materiali saranno sviluppati estendendo le soluzioni tecnologiche già esistenti per NEMS (compatibili con i CMOS) e rendendo possibile un collegamento tra i due domini tecnologici (Beyond-CMOS e CMOS) in modo più armonioso e sfruttando i vantaggi di entrambi i mondi.

#### Impatto relativo alla modellizzazione e alla simulazione

Una quantità significativa di lavoro sarà dedicata allo sviluppo della modellizzazione di singoli switch NEM nonché di elementi logici e sistemi. Una metodologia di simulazione per circuiti logici NEM è un'attività specifica del progetto, che sarà basata su strumenti di simulazione microelettronica già esistenti.

Una metodologia automatizzata di sintesi per logiche NEM sarà oggetto di

indagine, cercando di fornire un importante toolbox per i futuri sviluppi nel settore, che faciliterà la progettazione di circuiti logici in questa tecnologia, come già accade per i CMOS.

L'analisi di affidabilità offrirà anche strumenti di modellazione per fare previsioni sul tempo di vita dei singoli dispositivi e delle celle e, infine anche di interi sistemi, quali processori digitali NEM. Questo lavoro è di grande importanza per l'implementazione della tecnologia a livello industriale e infine per la commercializzazione su larga scala dei circuiti.

### **Impatto relativo all'affidabilità del contatto**

Forse la questione più importante e più impegnativa per questo tipo di dispositivi è quello di poter garantire l'affidabilità del contatto. La risoluzione di questo problema è un fattore cruciale per il successo dell'industrializzazione della tecnologia NEM. L'esperienza e il background di IBM sui contatti di  $Pt - Si$  (Siliciuro di Platino) è un grande vantaggio a tal proposito. Il suo impatto scientifico è di grande importanza in quanto problemi di affidabilità di interruttori ohmici MEM e NEM sono stati e sono tuttora ostacoli importanti per le applicazioni digitali high-performance e low-cost, come anche per le applicazioni RF.

## **2.4 Work Package inerente al mio lavoro di tesi**

Il progetto NEMIAC è suddiviso in sei sezioni di lavoro (Work Package):

- WP1, gestione del progetto e valutazioni;
- WP2, sviluppo tecnologico ed integrazione degli interruttori NEM;
- WP3, studio di logiche basate su interruttori NEM per computazioni a basso consumo: analisi dei dispositivi e di architetture circuitali;
- WP4, controlli e test sull'affidabilità dell'interruttore e del sistema;
- WP5, abilitazione di sistemi a logica NEM: esplorazione di spazi di progettazione, metodi e strumenti per la realizzazione di modelli simulativi.
- WP6, diffusione e valorizzazione dei risultati del progetto.

In questo paragrafo viene focalizzata l'attenzione sulla sezione del progetto assegnata all'azienda STMicroelectronics, in collaborazione con altre aziende, IBM ed ULANC principalmente, in cui si colloca il mio lavoro di tesi. In

particolar modo verranno affrontate le principali tematiche e gli obbiettivi di questa tesi. Verrà descritto brevemente il WP5 e spiegati i concetti che stanno alla base del lavoro da me svolto in questi mesi.

### **2.4.1 Costruzione del modello per l' analisi di ricerca del trade-off**

L'obbiettivo principale di questa sezione di lavoro è quello di costruire modelli simulativi del dispositivo che siano il più possibile vicini alla realtà, che riescano ad emulare il comportamento di blocchi funzionali in termini di ritardi, integrità del segnale e consumo di potenza ed energia, in modo da poter effettuare delle analisi comparative tra differenti funzioni logiche implementate a NEM e le stesse implementate a CMOS.

Il modello completo dell'interruttore comprende la modellizzazione elettromeccanica di attuazione che stabilisce la connessione tra drain e source tramite le forze elettrostatiche, e la modellizzazione elettrica che comprende tutti gli elementi parassiti dei componenti. Bisogna chiarire che l'architettura circuitale può comprendere un complesso dispositivo NEM con molteplici ingressi e uscite oppure la combinazione di relè NEM che sostituiscono le funzioni classiche dei MOSFET. Indipendentemente dal tipo di architettura, il metodo di modellizzazione deve essere sviluppato in riferimento al singolo dispositivo, poichè anche se la struttura finale del dispositivo differirà dalla sua raffigurazione concettuale, la cosa più importante è comprendere bene la struttura di base dell'interruttore per poter descrivere il comportamento elettrico e l'attuazione elettromeccanica. La modellizzazione elettromeccanica di attuazione richiede informazioni sulla dinamica del movimento, così come sulle costanti fisiche relative alla struttura (ad esempio quella elastica, di smorzamento e la massa) e la relazione che lega la tensione applicata alla forza elettrostatica. La modellizzazione elettrica invece richiede la formulazione di un circuito equivalente che tenga conto dei parassiti resistivi (resistenze degli elettrodi, di canale e di contatto) e di quelli capacitivi (accoppiamento di tutti i terminali tra di loro e rispetto al substrato). Anche i parametri parassiti sono funzione della geometria e dei materiali e bisogna modellarli analiticamente e/o empiricamente. Le equazioni meccaniche che regolano il movimento saranno modellizzate a livello circuitale usando tecnologie mixed-mode e unite al modello elettrico descriveranno il completo comportamento del dispositivo NEM, abilitando così il campo delle simulazioni circuitali, che verranno descritte nel prossimo paragrafo.

Come già accennato l'interruttore potrebbe essere radicalmente differente nella struttura, ma l'approccio di modellizzazione sarà lo stesso, con più



o meno parametri parassiti e forse con un quarto terminale, che sarà implicitamente assunto come il substrato del disegno. Al di là del semplice interruttore da sostituire ai transistor nelle classiche porte logiche CMOS, anche le varianti topologiche delle porte NEM per funzioni complesse potranno essere modellizzate usando lo stesso approccio.

Una grande area di investigazione a livello di architettura circuitale riguarda la sincronizzazione dei segnali di gate con lo scopo di minimizzare i tempi di ritardo delle porte e le problematiche relative all'integrità del segnale. Il completo modello del dispositivo in combinazione con le metodologie di simulazione potrà essere usato per effettuare analisi su tutti i tipi di prestazioni, per esempio sulla potenza e l'energia elettrica, essendo essa il prodotto tra la corrente e la tensione mediato per il periodo di tempo d'interesse. I risultati saranno poi analizzati e modellati per capire la loro dipendenza dalle tensioni di funzionamento, dalle dimensioni strutturali, dagli spessori dei layer e dalle proprietà dei materiali. Una fondamentale differenza con i CMOS è che scompare quasi completamente la componente di leakage dei semiconduttori sostituita però da una componente meccanica, da scarica di gas o da effetto tunnel. Questi termini saranno modellizzati per rendere possibile una stima della potenza e dell'energia di blocchi funzionali che altrimenti non sarebbero calcolabili attraverso le simulazioni. Inoltre bisognerà studiare accuratamente gli effetti termici all'interno di un circuito integrato che comprende sia logiche NEM che CMOS per ogni potenziale incremento della temperatura. Inizialmente si utilizzeranno simulatori numerici FEM (finite element method) per modellare la propagazione del calore all'interno dell'IC. Sarà poi analizzato un semplice modello basato sulla tecnica di modellizzazione della propagazione del calore, dove le resistenze termiche sono trattate come resistori, le sorgenti di calore come generatori di corrente e i dissipatori di calore come capacità. Tale modello consentirebbe la previsione della temperatura all'interno di sistemi complessi con una significativa riduzione del tempo di computazione in confronto alle relative soluzioni FEM.

### **2.4.2 Metodologie di simulazione per circuiti logici NEM**

Una metodologia di simulazione per stimare il comportamento funzionale dei circuiti logici NEM sarà messo a punto sulla base dei tool microelettronici già esistenti. Parte di questa attività si concentrerà sull'individuazione di strumenti e metodi per simulazioni AMS (analogico/segnale misto), con particolare attenzione alla modellazione del comportamento attraverso la co-simulazione analogica-digitale tenendo conto dei possibili effetti dei vari contributi parassitivi. L'interazione tra l'interruttore NEM e il mondo che lo

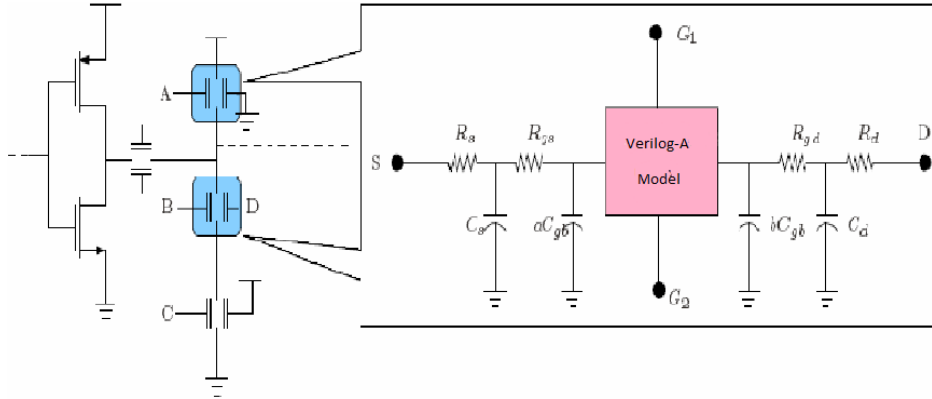


Figura 2.9: Modello di dispositivo NEM implementato usando una tecnologia di modellizzazione mixed-mode[2].

circonda, e il suo effetto sui blocchi del circuito sarà preso in considerazione per identificare l'approccio più idoneo per simulare i NEMS e il loro package. I circuiti logici NEM saranno simulati partizionando il sistema in blocchi più piccoli e applicando algoritmi diversi per i vari blocchi.

Il successo di questo approccio dipenderà dalla capacità di modellare il comportamento elettro-meccanico del dispositivo utilizzando equazioni differenziali algebriche (DAE) che siano supportate dalle semantiche delle tecnologie di modellazione. Verrà sviluppata una descrizione fisica dell'attuazione meccanica e sarà modificata o compattata in base alle necessità per costruire il modello in Verilog-A. Insieme con il modello di azionamento elettromeccanico, sarà costruito un circuito equivalente del dispositivo costituito da tre o quattro terminali (a seconda del disegno dello switch) corrispondenti al source, drain, e gate, e le resistenze e le capacità parassite associate.

Il modello meccanico implementato come codice unito al modello elettrico implementato come circuito equivalente formerà il modello completo del dispositivo, da poter essere combinato in qualsiasi rete di dispositivi desiderata, simili tra loro, o con altri componenti elettrici compresi i transistor CMOS (vedere Figura 2.9).

Simulazioni basate su questo modello completo del dispositivo saranno in grado di monitorare le funzionalità dell'interruttore in termini di prestazioni, compreso il ritardo di attuazione meccanica e il ritardo elettrico, e le questioni di integrità del segnale, come il cross-talk capacitivo tra i vari nodi di segnale. Ad esempio, sarà possibile fare delle indagini sull'allineamento

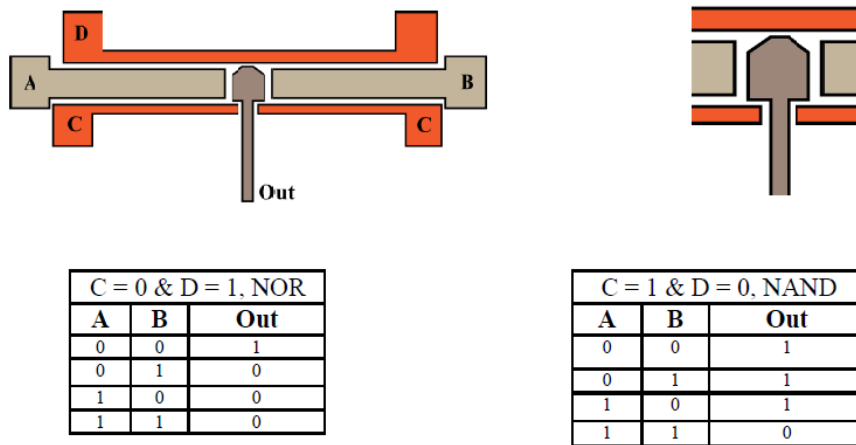


Figura 2.10: Schematico di una possibile architettura per una complessa porta logica e zoom sulla parte centrale di contatto (in alto); relative tabelle della verità delle funzioni logiche NOR e NAND (in basso)[2].

dei fronti dei segnali di gate o sul comportamento di funzioni logiche multi-valore richieste per lo sviluppo e l'esplorazioni di architetture circuitali furbe. Di queste architetture circuitali se ne occupa un'altra sezione e quindi non rientrano nel mio lavoro di tesi ma considero interessante riportare qui di seguito un breve esempio per dimostrare la versatilità di questa tecnologia. In figura 2.10 è mostrata l'architettura in-plane di un singolo dispositivo che può replicare sia la funzione di NOR che quella di NAND in base al valore logico attribuito alle strutture mobili C e D, con relative tabelle della verità. Bisogna precisare che i terminali A, B e OUT sono invece fissi e che la trave D tocca il nodo OUT solo se attratto sia da A che da B.

Tornando al modello simulativo completo va notato che, oltre ad aiutare il lavoro di ottimizzazione nella realizzazione fisica del dispositivo e alla progettazione di architetture complesse, questo modello parametrizzabile è anche fondamentale per la valutazione dell'affidabilità, infatti gli effetti sulla funzionalità e sulle prestazioni causati da variazioni delle proprietà strutturali e dei materiali potranno essere studiati in modo semplice cambiando i parametri rilevanti nel modello Verilog-A ed i valori dei componenti parassiti nel modello elettrico.

Infine, una versione semplificata del modello in figura 2.9 sarà sviluppata per esplorazioni spaziali di progettazione, in modo da ridurre il tempo di calcolo di un'intera simulazione mixed-mode. Dato che l'attivazione meccanica è

tale da comportare un ritardo consistente, la possibilità di astrarre le equazioni fisiche da un più semplice modello funzionale analitico o empirico sarà oggetto di indagine. Con un tale modello, lo switch e le interconnessioni possono essere estratte come una rete RC comprensiva di ogni resistenza e capacità parassita. Tale circuito equivalente può essere analizzato in modo efficiente utilizzando un simulatore di circuiti, e modelli di ordine ridotto costruiti al fine di ricavare una comprensione analitica del comportamento circuitale.

## Capitolo 3

# Il dispositivo NEM

*“John Nash: È soltanto nelle misteriose equazioni dell’amore, che si può trovare ogni ragione logica.”*

A Beautiful Mind

Per poter creare un modello corretto e che emuli il funzionamento del dispositivo in maniera molto simile alla realtà è di fondamentale importanza capire la sua struttura ma soprattutto tutte le leggi fisiche che lo governano, in questo caso meccaniche ed elettriche. In questa sezione viene descritto in maniera dettagliata il dispositivo NEM, la sua struttura geometrica, i materiali che lo compongono e il suo modellino elettromeccanico.

### 3.1 Modellizzazione elettromeccanica del dispositivo

La figura 3.1 mostra una microfotografia dell’interruttore NEM in-plane per applicazioni logiche [4], che utilizzeremo come esempio per illustrare e calibrare il nostro modello.

Il dispositivo è formato da tre elettrodi che per analogia con i MOS chiameremo source, gate e drain. Il source inizia nella parte sinistra dell’immagine ed è distinto da una parte fissa, ancorata al substrato tramite uno strato di ossido di silicio, che nell’immagine compare solo parzialmente ma nella realtà si estende per una decina di micrometri, e da una parte mobile, chiamata cantilever, sospesa in aria e caratterizzata da una forma curva per migliorare la sua robustezza. Il cantilever ha una lunghezza di  $15.5\mu m$  ed è distaccato da un gap d’aria di  $75nm$  dall’elettrodo centrale e di  $30nm$  dall’elettrodo di destra. Per gran parte l’elettrodo di source è formato da SOI (Silicon On

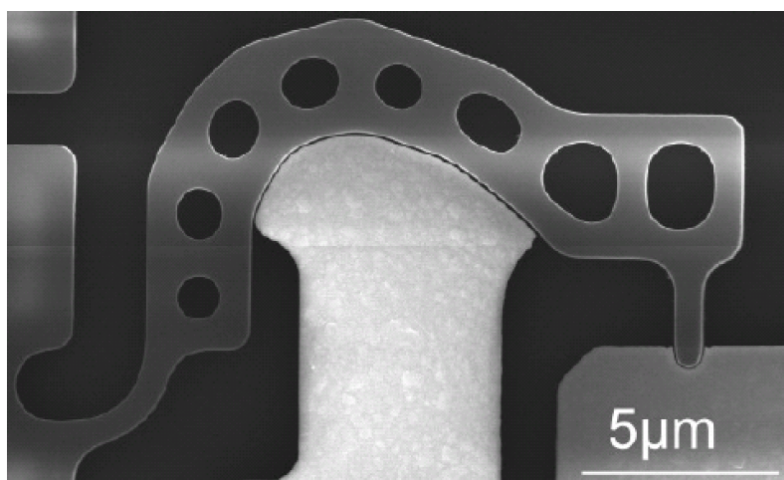


Figura 3.1: Microfotografia di uno switch a cantilever curvo di lunghezza  $15.5\mu\text{m}$  [4].

Insulator), un materiale decisamente non conduttivo ma caratterizzato da ottime proprietà elastiche che permettono un'alta affidabilità al movimento del braccetto, eliminando così i rischi che esso si spezzi. Tutti i bordi dell'elettrodo sono invece ricoperti di siliciuro di platino per garantire una discreta conduttività del dispositivo. I buchi interni al cantilever che si notano nell'immagine sono necessari per rimuovere l'ossido sottostante e renderlo completamente sospeso in aria e quindi libero di muoversi.

L'elettrodo centrale è ovunque fissato al substrato tramite uno strato di ossido di silicio, viene chiamato gate e rappresenta l'elettrodo di attuazione, ovvero è quello a cui viene applicata la tensione in ingresso che di conseguenza determina la posizione del braccetto mobile. Esso è dunque l'elettrodo che pilota l'interruttore e determina la sua chiusura (o apertura), attraendo a sé (o respingendo) il cantilever, ma che, per un corretto funzionamento del dispositivo, non si troverà mai a diretto contatto con l'elettrodo di source. Nella parte superiore la forma assomiglia a quella di un fungo per seguire la traiettoria curva del cantilever e mantenere costantemente una distanza di  $75\text{nm}$  da esso. Questo elettrodo è ovunque costituito dal platino che è un materiale molto conduttivo.

Infine c'è l'elettrodo di destra, chiamato drain, che, come il gate, è ovunque fissato al substrato ed è costituito dal platino. Il suo scopo è quello di limitare il movimento del braccetto (quando attivato) facendogli da muro, creando così un 'canale' conduttivo. In altre parole quando viene applicata una tensione sufficientemente elevata all'elettrodo di gate, questo attira il cantilever verso di sé fino a portarlo in contatto con l'elettrodo di drain; a questo punto l'interruttore risulta chiuso perché è presente un cammino conduttivo, dato

dal contatto fisico del drain con il source. Appena l'interruttore si chiude ci sarà quindi della corrente che fluisce tra il source e il drain, fino a caricare o scaricare il nodo d'uscita (ovvero il drain) alla stessa tensione presente sul source. Successivamente, quando verrà rimossa la tensione applicata al gate, il cantilever non sarà più attratto verso di esso e la forza elastica (in questo caso repulsiva) lo farà tornare alla sua posizione di riposo, troncando in maniera brusca il contatto fisico tra source e drain, eliminando il cammino conduttivo. In altre parole avverrà l'apertura dell'interruttore.

Bisogna precisare che i sottilissimi gap d'aria presenti tra source e gate ( $75nm$ ) e tra il contatto di source e drain ( $30nm$ ) non sono definiti litograficamente, ma attraverso lo spessore dello strato sacrificale stesso, che consente allo switch di essere scalato nel regime dei nanometri. Il modello del dispositivo da sviluppare sarà dunque di tipo elettromeccanico a parametri concentrati e bisognerà fare particolare attenzione al comportamento del contatto per descriverlo nella maniera più simile alla realtà[5].

### 3.1.1 Modellizzazione a parametri concentrati

Un interruttore NEM opera in due domini fisici: quello elettrico e quello meccanico. Il modello a parametri concentrati utilizza un'approssimazione del primo ordine basato su resistori e condensatori nel dominio elettrico, e su molle e smorzatori nel dominio meccanico.

Figura 3.2(a) e Figura 3.2(b) mostrano una vista dall'alto ed una sezione trasversale degli elementi elettrici concentrati.  $R_s, R_g, R_d, R_f$  e  $R_{beam}$  sono le resistenze parassite degli elettrodi di source, di gate (elettrodo di azionamento) e di drain, del punto fisso di rotazione e della trave.  $R_{s-b-d}$  è la resistenza che collega gli elettrodi di source e di drain attraverso il bulk.  $C_{g-d}, C_{g-s}, C_{g-b}, C_{s-b}, C_{d-b}, C_{beam-b}, C_{d-s}$  sono i condensatori parassiti tra gate e drain, gate e source, gate e bulk, source e bulk, drain e bulk, braccetto e bulk, e tra drain e source, rispettivamente. Questi elementi appartengono alla parte non mobile del cantilever, quindi i valori rimangono costanti durante il movimento del fascio e possono essere estratti direttamente dal layout. Il condensatore tra gate a braccetto (Cg-beam) invece, varia a seconda della posizione della parte mobile. Essa è divisa in due parti: Cg-beam1 è un condensatore parassita con una capacità costante; Cg-beam0 è un equivalente condensatore piano che approssima la capacità variabile. Il campo elettrico in questo condensatore viene utilizzato per calcolare la forza elettrostatica che comanda il movimento nel dominio meccanico.

Il modello meccanico a parametri concentrati è illustrato nella figura 3.3 dove si possono notare i seguenti parametri:  $g_0$  è la distanza del gap e  $g_d$  è il

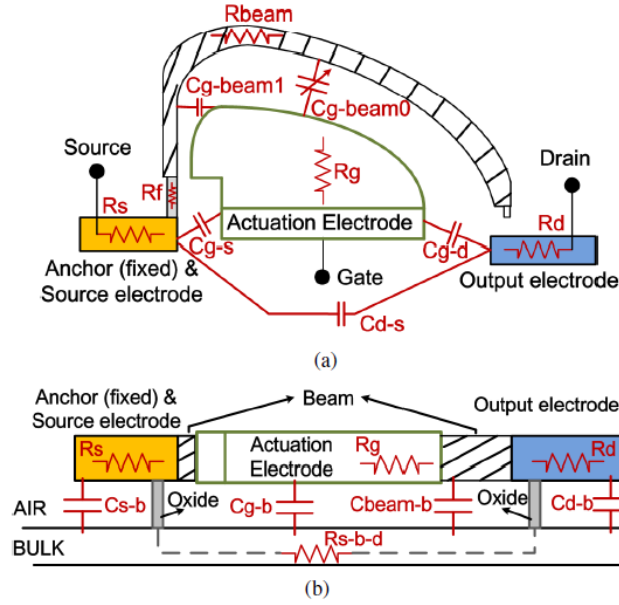


Figura 3.2: Elementi elettrici concentrati: top-view(a), cross-section(b) [5].

massimo spostamento del braccetto. Ora invece analizziamo in dettaglio gli elementi presenti in questa figura.

Supponendo che  $C_0$  sia la capacità di  $C_{g-beam0}$  nella posizione originale di riposo (ovvero lo spostamento del braccetto è nullo), la capacità di  $C_{g-beam0}$  durante il movimento sarà espressa come:

$$C_{g-beam0} = C_0 \frac{g_0}{g_0 - x} \quad (3.1)$$

dove  $x$  è lo spostamento del braccetto.

La forza elettrostatica che causa l'attrazione tra il braccetto e il gate è quindi:

$$F_e = \frac{C_{g-beam0} V_{gs}^2}{2(g_0 - x)} \quad (3.2)$$

dove  $V_{gs}$  è la differenza di potenziale tra l'elettrodo di azionamento (gate) e quello di source. Questa forza determina l'attrazione del cantilever verso il gate (e quindi anche verso il drain)

Assumendo che  $k_1$  è la costante elastica della trave mobile, allora la forza elastica della molla  $K_1$  è:

$$F_{spring1} = -k_1 x \quad (3.3)$$

Questa forza si contrappone a quella elettrostatica e, se risulta dominante nel bilancio delle forze, determina l'apertura dell'interruttore.

A livello simulativo per prevenire che il braccetto penetri oltre la superficie



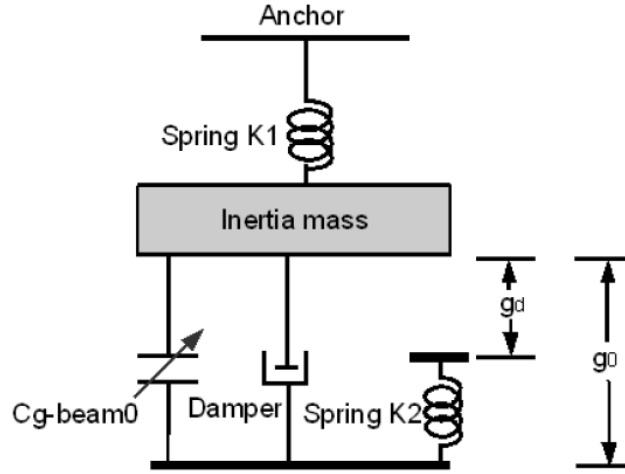


Figura 3.3: Approssimazione meccanica di uno switch curvo a parametri concentrati[5].

di contatto con il drain, bisognerà aggiungere al modello una seconda molla rigida  $K_2$  con una costante elastica  $k_2$  molto più grande, come mostrato in Figura 3.3 che tenga conto del movimento limitato del cantilever, ma solo in direzione del drain. Matematicamente,  $K_2$  serve anche per tenere conto di due forme di energia nel modello: (a) l'energia cinetica della massa mobile quando la velocità si riduce repentinamente a zero durante il contatto fisico, (b) l'energia dovuta alla forza di adesione. Anche se nella realtà, queste due energie vengono perse in forma di energia di deformazione.

Questa forza elastica  $K_2$  è descritta come

$$F_{spring2} = \begin{cases} -k_2(x - g_d) & \text{se } x > g_d, \\ 0 & \text{altrimenti.} \end{cases} \quad (3.4)$$

La forza di smorzamento  $F_c$  ha una dipendenza lineare col fattore di smorzamento  $b$  derivante dall'attrito dell'aria:

$$F_c = -b \frac{dx}{dt} \quad (3.5)$$

Infine, sommando tutti i contributi, la dinamica di movimento del cantilever può essere descritta dall'equazione:

$$m \frac{d^2x}{dt^2} = F_e + F_{spring1} + F_{spring2} + F_c + F_{adh} \quad (3.6)$$

dove  $F_{adh}$  è la forza di adesione del contatto, che sarà discussa nel paragrafo successivo.

E' proprio il bilancio di questa equazione che determina l'effettivo spostamento del cantilever rispetto alla posizione di riposo. Analizzando il funzionamento dell'interruttore si nota un comportamento particolare in fase di chiusura, ovvero quando il braccetto raggiunge una distanza di spostamento critica, pari a  $g_0/3$ , l'interruttore si chiude bruscamente[18]. La tensione di azionamento necessaria per spostare il cantilever di questa distanza critica sarà dunque la tensione di soglia che determina la chiusura dell'interruttore, e prende il nome di tensione di pull-in:

$$V_{pi} = \sqrt{\frac{8}{27} \frac{k_1 g_0^2}{C_0}} \quad (3.7)$$

Nella seguente tabella vengono forniti alcuni parametri del modello del dispositivo in figura 3.1 calcolati analiticamente.

$k_1$ (N/m)	$g_0$ (nm)	$g_d$ (nm)	$C_0$ (fF)	$R_{beam}$
20	75	30	0.53	1000

In figura 3.4 viene mostrata la risposta in transitorio reale dello spostamento della trave da riuscire a simulare. Il cantilever viene azionato con un impulso da 0 V alla sua VPI, che è di circa 8 V. La forza repulsiva di  $K_2$  deve riuscire a limitare lo spostamento del braccetto in direzione del drain, ma deve anche tenere conto di un eventuale lieve rimbalzo in direzione opposta al drain quando il cantilever tocca il contatto (come cerchiato nella figura). Quando invece il braccetto viene rilasciato e ritorna nella posizione originale, si assisterà essenzialmente ad un'oscillazione smorzata, con una ampiezza progressivamente decrescente, fino ad assestarsi a zero.

### 3.1.2 Modellizzazione del contatto

La modellizzazione del contatto comprende sia il dominio elettrico che quello meccanico. La Figura 3.5 mostra come modellare il contatto nel dominio elettrico. Prima che la punta tocchi fisicamente l'elettrodo di drain, sarà presente un condensatore parassita variabile,  $C_{contact}$  (Figura 3.5(a)). Supponendo che  $C_{contact0}$  sia il valore iniziale di questa capacità (braccetto non azionato, aperto), allora la capacità  $C_{contact}$  durante il moto può essere espressa come

$$C_{contact} = \frac{C_{contact0} \times g_d}{g_d - x + d_0} \quad (3.8)$$

Nell' Eq.(3.8), il parametro  $d_0$  è inserito intenzionalmente per impedire a  $C_{contact}$  di andare all'infinito quando lo spostamento  $x$  eguaglia  $g_d$ . Il valore di  $d_0$  bisogna ricavarlo empiricamente. La variazione della  $C_{contact}$  provoca una piccola corrente indotta. Quando invece avviene il contatto fisico,

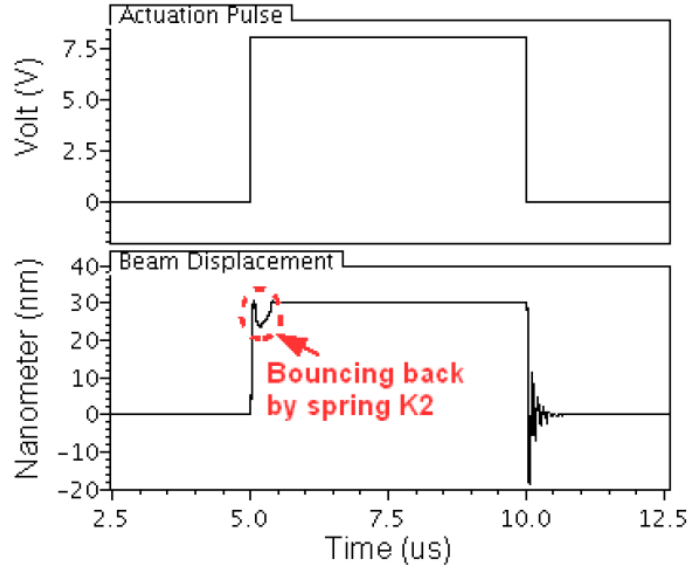


Figura 3.4: Risposta in transitorio dello spostamento del braccetto[5].

$C_{contact}$  diventa costante e si forma una resistenza parassita,  $R_{contact}$  (Figura 3.5(b)). La resistenza  $R_{contact}$  è determinata dalla seguente equazione:

$$R_{contact} = \frac{R_0 \times \theta}{A_{contact}} \quad (3.9)$$

in cui  $R_0$  è la resistenza per unità di area,  $A_{contact}$  è l'area di contatto, mentre  $\theta$  è un fattore dovuto alla rugosità superficiale.

Nel dominio meccanico, bisogna considerare anche la forza di adesione  $F_{adh}$ , che deve essere presa in considerazione fin tanto che la punta del braccetto è in contatto con l'elettrodo di drain o molto vicino ad esso. Questa forza compare nell'Eq.(3.6) del bilancio delle forze che determinano l'effettivo spostamento del braccetto, ma entra in gioco solamente quando l'interruttore è chiuso, determinando dunque una tensione di soglia per l'apertura dell'interruttore diversa (più piccola) da quella necessaria per la chiusura. La presenza di  $F_{adh}$  comporta perciò un funzionamento ad isteresi tra  $V_{pi}$  e la tensione di pull-out,  $V_{po}$ , in cui viene rilasciato il braccetto dalla superficie di contatto (vedere Figura 3.6).

La forza di adesione dipende fortemente dai materiali utilizzati nell'area di contatto tra source e drain. L'espressione matematica di  $F_{adh}$  è:

$$F_{adh} = \begin{cases} F_0 A_{contact} \theta & \text{se } x > (g_d - \lambda), \\ 0 & \text{altrimenti.} \end{cases} \quad (3.10)$$

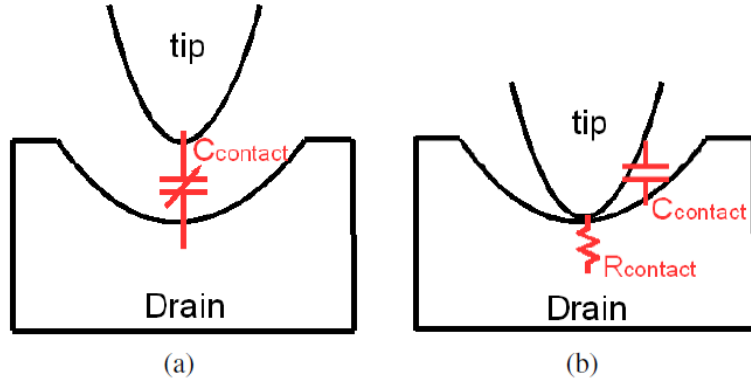


Figura 3.5: Modello del contatto elettrico: (a) prima e (b) dopo il contatto[5].

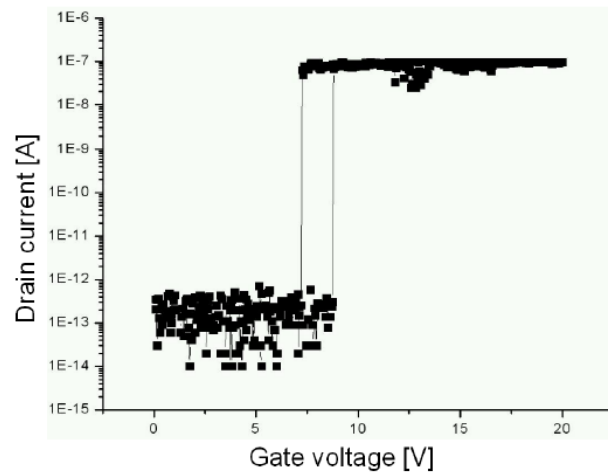


Figura 3.6: Curva caratteristica I-V in DC

$F_0$  è la forza di adesione per area mentre  $\lambda$  rappresenta il range di distanza tra source e drain su cui agisce la forza di adesione. I loro valori sono stati ottenuti sulla base dei documenti [19] e [20]. Per riuscire a staccare correttamente il contatto, la molla  $K_1$  deve essere sufficientemente rigida da generare una forza che è maggiore di  $F_{adh}$ , cioè deve avere una costante

elastica che soddisfi la seguente disequazione:

$$(F_e + F_{spring1} + F_{spring2} + F_{adh}) \leq 0 \Big|_{x=g_d} \Rightarrow k_1 \geq \frac{F_e + F_{spring2} + F_{adh}}{g_d} \Big|_{x=g_d} \quad (3.11)$$

Osserviamo che il contatto contribuisce all'energia in due modi: (i) La forza di adesione accelera/ decellera il braccetto quando entra/esce dal range spaziale in cui agisce. Pertanto, un'energia  $E_{adh} = F_{adh}\lambda$  viene persa. Questa perdita di energia è nell'intervallo dei  $10^{-18} \sim 10^{-16}$  Joule a seconda delle dimensioni del contatto ed è abbastanza trascurabile rispetto alla perdita di energia totale. (ii) Secondo l'Eq.(3.11), la forza di adesione determina la costante della molla  $k_1$  minima che di conseguenza determina la minima  $V_{pi}$  [Eq. (3.7)].

Bisogna sottolineare che finché  $k_1$  del cantilever soddisfa la condizione in Eq. (3.11), la forza di adesione non influenzerà  $V_{pi}$ . Tuttavia, determina l'isteresi in DC tra  $V_{pi}$  e  $V_{po}$ : una maggiore forza di adesione determina una  $V_{po}$  inferiore che implica una isteresi più grande.

## 3.2 Interruttore NEM a quattro terminali

In parallelo alla realizzazione degli interruttori a tre terminali analizzati e studiati in questa tesi, all'interno del progetto NEMIAC viene sviluppato lo studio e la modellizzazione di interruttori NEM a quattro terminali per una futura realizzazione. Questi dispositivi, oltre ad una dissipazione statica pressochè nulla, promettono un ulteriore risparmio energetico dinamico rispetto a quelli a tre terminali e sarà dunque necessario nei prossimi mesi svolgere un lavoro di estrazione dei parassiti e di creazione di un modello comportamentale a riguardo di questa nuova tecnologia. Ora vediamo a grandi linee una descrizione di questi nuovi interruttori ed una breve analisi energetica.

La figura 3.7 mostra la struttura concettuale di un interruttore NEM a quattro terminali, nello stato di ON (a) e nello stato di OFF (b). Il terminale aggiuntivo prende il nome di body. Gli elettrodi di source, drain e body sono fissati sopra un substrato isolante mentre l'elettrodo di gate è mobile e sospeso in aria, attaccato sul fondo di un braccetto rialzato che parte dal source e termina in prossimità del drain (se siamo nello stato di OFF) . Se viene applicata una differenza di potenziale tra gate e body, il gate, che è mobile, viene attirato verso il body e dunque anche il braccetto, che è collegato al gate, viene attirato verso il drain. Se questa differenza di potenziale è sufficientemente grande da attirare il braccetto fino a toccare il drain, si

### 3.2. Interruttore NEM a quattro terminali

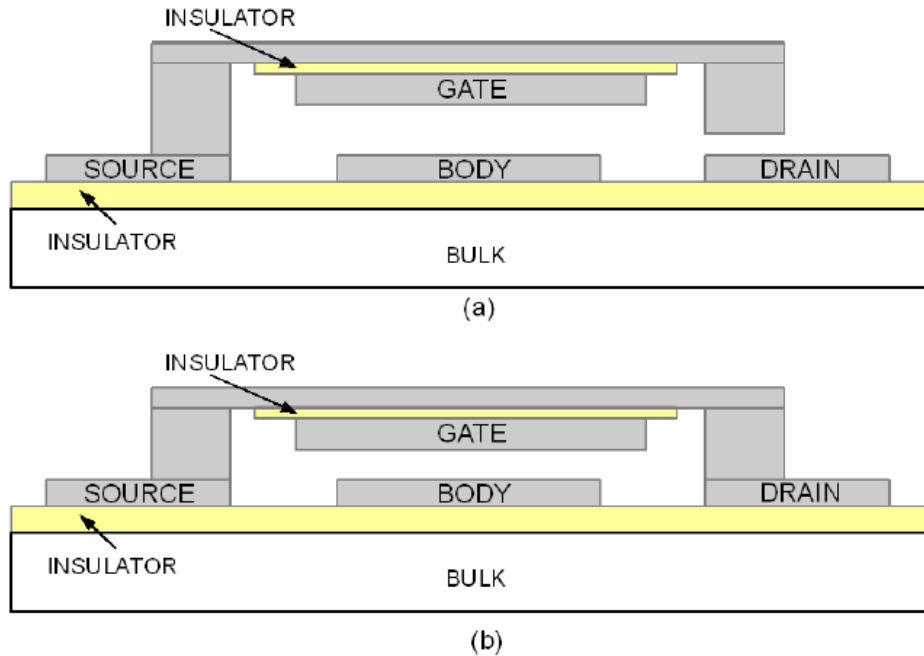


Figura 3.7: Struttura di un interruttore NEM a quattro terminali: (a) stato di OFF; (b) stato di ON[5].

crea il canale conduttivo e l'interruttore si trova nello stato di ON. La principale differenza con l'interruttore a tre terminali è che ora la differenza di potenziale viene presa tra l'elettrodo di gate e quello di body, piuttosto che tra gate e source.

La tensione di alimentazione,  $V_{dd}$ , di circuiti digitali con interruttori a tre terminali deve superare la tensione di *pull-in*,  $V_{pi}$ , per il corretto funzionamento delle porte logiche e l'energia dissipata da queste porte dipende quadraticamente da  $V_{dd}$ . La possibilità di eliminare questo limite sulla dissipazione energetica utilizzando interruttori a quattro terminali rende questo dispositivo molto importante[21][22].

La figura 3.8 mostra la polarizzazione di un'inverter formato con due interruttori NEM a quattro terminali. I due body sono polarizzati rispettivamente a:  $V_{pi}$  quello superiore e  $-V_{po}$  quello inferiore. In questo modo la tensione in ingresso all'inverter basta che varia tra 0 Volt e  $(V_{pi} - V_{po})$  Volt per far commutare entrambi gli interruttori. La tensione di alimentazione minima non corrisponde più al valore della  $V_{pi}$ , ma è rappresentata dall'isteresi  $(V_{pi} - V_{po})$ . Dunque la  $V_{dd}$  è stata ridotta di quasi un ordine di

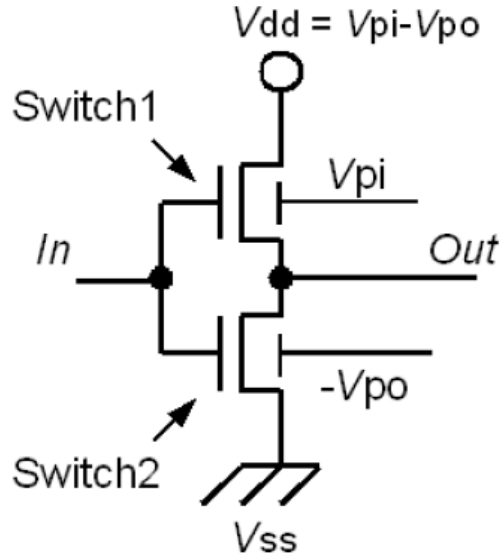


Figura 3.8: Polarizzazione di un inverter con *body-biasing*, formato da 2 interruttori NEM a 4 terminali[5].

grandezza. Il concetto di polarizzare il body negli interruttori NEM è simile al *forward body-biasing* nei circuiti CMOS, con l'ulteriore vantaggio che non aumenta le perdite energetiche ma bensì le riduce notevolmente.

La Figura 3.9 mostra l'energia teorica dissipata da un interruttore a quattro terminali con *body-biasing* ( $V_{pi} = 8,1V$ ,  $V_{po} = 7,3V$  e  $V_{dd} = V_{pi} - V_{po} = 0,8$ ), confrontata con quella dissipata da un interruttore a tre terminali equivalente ( $V_{dd} = V_{pi} = 8,1$ ), supponendo che le capacità che entrano in gioco per il calcolo dell'energia dissipata siano le stesse in entrambi i casi. Rispetto al caso con tre terminali (rappresentato in figura dal caso senza *body-biasing*), l'energia dissipata dal dispositivo a quattro terminali con *body-biasing* risulta 40 volte inferiore. Si faccia attenzione al fatto che più l'isteresi è stretta, e minore sarà il valore di  $V_{pi} - V_{po}$ , il quale comporta un maggiore risparmio di energia. Però, scalando il dispositivo e analizzando l'andamento delle tensioni di *pull-in* e di *pull-out* si nota una cosa importante: per  $g_0$  (distanza tra gate e body) molto piccoli, il valore dell'isteresi ( $V_{pi} - V_{po}$ ) tende al valore di  $V_{pi}$  e di conseguenza l'alimentazione minima necessaria nei due casi tende a coincidere.

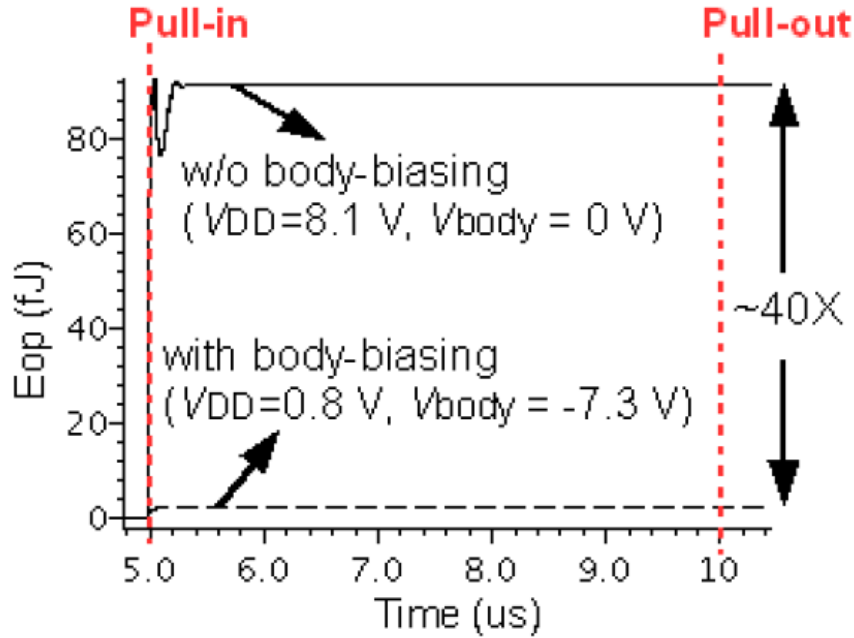


Figura 3.9: Confronto dell'energia media di commutazione tra un interruttore a quattro terminali e uno a tre terminali[5].

In conclusione si può affermare che il dispositivo a quattro terminali offre un grande risparmio energetico rispetto al suo equivalente a tre terminali, ma questo vantaggio rischia di sparire qualora si riuscissero a realizzare interruttori NEM molto scalati e che funzionino correttamente, ovvero con dimensioni del gap d'aria che divide il terminale di attuazione da quello mobile inferiori ai  $10nm$ .



## Capitolo 4

# Estrazione dei parassiti ed integrazione con il modello comportamentale

*“Dom Cobb: Qual è il parassita più resistente? Un batterio? Un virus? Una tenia intestinale? [si rivolge a Mr. Saito]*

*Arthur: Ehm... Quello che il signor Cobb vuole dire è che...*

*Dom Cobb: Un'idea. Resistente, altamente contagiosa. Una volta che un'idea si è impossessata del cervello è quasi impossibile sradicarla. Un'idea pienamente formata, pienamente compresa si avvinghia, qui da qualche parte.*

*Mr. Saito: Così uno come voi può rubarla?*

*Arthur: Sì. Nel sogno le difese coscienti si abbassano e questo rende i pensieri vulnerabili al furto: si chiama estrazione.*

*Dom Cobb: Signor Saito noi possiamo addestrare il suo subconscio a difendersi perfino dal più abile degli estrattori.*

*Mr. Saito: E come può farlo?*

*Dom Cobb: Perché sono io il più abile degli estrattori.”*

INCEPTION

In questo capitolo verranno mostrati tutti i passaggi fondamentali per la creazione del modello simulativo di uno switch NEM. Come è già stato spiegato nel capitolo due, il lavoro consiste in due sezioni importanti: l'estrazione di tutte le resistenze e capacità parassite presenti nella struttura fisica del dispositivo; la realizzazione del modello VerilogA, che descrive il comportamento elettromeccanico del dispositivo attraverso le leggi fisiche che lo governano. La prima parte è realizzata completamente in questo lavoro di tesi mentre il modello VerilogA è sviluppato principalmente dai collaboratori dell' IBM. Quando entrambi i lavori saranno correttamente portati a termine avremo da una parte una netlist contenente tutti i valori dei parassiti

associati ai vari terminali del dispositivo e dall'altra un modello comportamentale. Il modello completo si otterrà attraverso la corretta integrazione di questi due risultati. All'inizio di ogni sezione verranno brevemente descritti i programmi ed i relativi strumenti utilizzati per il lavoro.

## 4.1 Estrazione dei parassiti da layout

Una parte fondamentale del mio lavoro di tesi riguarda la generazione di un flusso d'estrazione adeguato per questo tipo di tecnologie NEM. Ci sono diversi software per l'estrazione dei parassiti forniti dalle più grandi compagnie del settore EDA (electronic design automation), come ad esempio Synopsys, Cadence Design Systems, Mentor Graphics, Zuken e Magma Design Automation.

L'idea dell'azienda STMicroelectronics non è quella di sviluppare un ambiente *mono-vendor*, ovvero che contenga tutti i prodotti di una stessa compagnia, ma bensì, quella di scegliere per ogni categoria il prodotto che considera migliore sul mercato. Sulla base di quanto appena detto, è stato scelto un tool della Synopsys, che si chiama Star-RCXT, per l'estrazione, ma che utilizzerà Mentor Graphic Calibre come database d'ingresso.

### 4.1.1 Synopsys Star-RCXT

Esso fornisce una soluzione di estrazione dei parassiti per *Application-Specific Integrated Circuit* (ASIC), *System-on-Chip* (SoC), applicazioni *custom digital, analog/mixed-signal* (AMS), radio-frequenza (RF) e progettazione di memorie. Star-RCXT può essere integrato facilmente con flussi di progettazione standard, con analisi di layout e con strumenti di simulazione, e il suo flusso incorporato con Raphael NXT, un estrattore 3D per capacità, fornisce capacità di accoppiamento accurate per la progettazione di circuiti[23].

Star-RCXT è dunque uno strumento software che permette l'estrazione di parassiti da database collegati che gli forniscono disegni di layout di circuiti integrati, generando una netlist contenente tutti i valori delle resistenze e delle capacità parassite associate al disegno.

Star-RCXT supporta questi formati standard del settore:

#### Formati di input

- LEF/DEF
- GDSII

- Milkyway

### Formati delle netlist di output

- SPICE
- Synopsys Binary Parasitic Format (SBPF)
- SPEF
- Detailed Standard Parasitic Format (DSPF)

Nel mio lavoro verrà utilizzato un file di layout in formato GDSII come input, e sarà richiesta la generazione di una netlist in formato DSPF come output. La Figura 4.1 illustra come il PLSKit permetta la realizzazione di un flusso d'estrazione tramite Star-RCXT con un database di Calibre in ingresso. Il PLSKit è un software realizzato internamente all'azienda STMicroelectronics e permette una corretta comunicazione tra prodotti appartenenti a compagnie differenti. Si possono facilmente notare i due step fondamentali che il

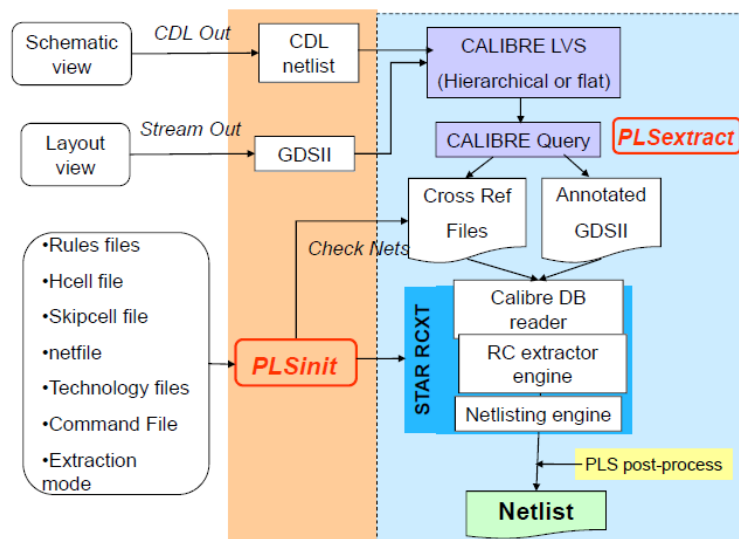


Figura 4.1: Flusso d'estrazione.

PLSKit esegue:

- PLSinit, in cui copia e personalizza i dati presenti nel design kit della tecnologia, riceve informazioni sulla configurazione del progetto;
- PLSextract, in cui lancia il controllo LVS (layout-versus-schematic), esegue l'estrazione RC ed infine produce la netlist con tutti i risultati.

Come si può notare, per una corretta esecuzione del flusso sono necessari tanti file tecnologici o di altro tipo, contenenti regole, comandi e definizioni dei layer che richiederebbero un carico di lavoro molto grande per la totale realizzazione di questi file partendo da zero per la nostra tecnologia di dispositivi NEM. Perciò l'idea di partenza è stata quella di prendere una tecnologia già esistente e ben conosciuta, il cui design kit (l'insieme di tutti i file tecnologici) è stato prodotto internamente all' STMicroelectronics, e di modificarne soltanto alcuni file per descrivere il processo di caratterizzazione del nostro dispositivo, e i legami che ci sono tra i vari layer della struttura. E' stata scelta la tecnologia CMOS a 90nm *ultra low-power* per NVM (*non-volatile memories*). I file che modificheremo saranno l'ITF (*Interconnect Technology Format*), il file di database passato in ingresso al controllo LVS e il *layer map file* di Calibre, in cui vengono mappati tutti i conduttori e i loro collegamenti.

### ITF file

La caratterizzazione di un processo è composta da quei passi che portano a definire la composizione fisica dei layer. Per iniziare il processo di caratterizzazione, è necessario specificare il contenuto di ogni layer in un file chiamato ITF. Normalmente, è necessario definire un solo file ITF per ogni tecnologia di processo che si intende estrarre.

Verrà dunque scritto il file ITF per definire la *cross section*, ovvero la sezione

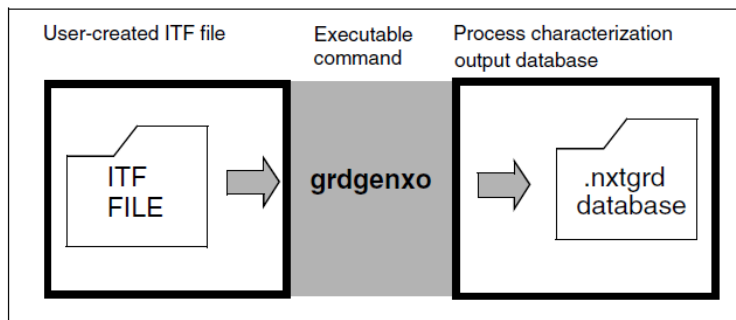


Figura 4.2: Generazione del database .nxtgrd.

trasversale del processo. Si tratta di un elenco di istruzioni che definiscono

i conduttori e i dielettrici ordinati per livelli. I layer sono definiti dal livello di dielettrico più in alto, al livello di dielettrico più in basso, escludendo il substrato. Il testo del file ITF deve essere letto come appare il dispositivo nella realtà, cioè gli strati devono essere definiti nello stesso ordine in cui si vedono osservando la sezione trasversale del processo. I parametri spaziali dei vari layer sono specificati strato per strato in modo che siano coerenti con il processo fisico.

Il livello più basso nell'ITF deve sempre essere un dielettrico. Non si definisce il substrato nel file ma si presume essere al di sotto del più basso dielettrico definito. Le dichiarazioni che definiscono le vie tra i vari layer vanno inserite dopo la definizione della sezione trasversale del processo e sono definite solo in relazione ai materiali conduttivi.

Le altezze dei conduttori e dei dielettrici sono determinate esclusivamente dall'ordine in cui sono specificate e dagli spessori degli strati inferiori. Quando si specifica un conduttore o un nuovo strato di dielettrico, il piano da cui parte è esattamente il piano superiore dello strato dielettrico definito appena più in basso, a meno che non sia in esso inclusa un'istruzione *MEASURED\_FROM* per specificare esplicitamente la posizione del piano di partenza.

Una volta descritto correttamente il file ITF, grazie al file eseguibile *grdge-nxo* sarà possibile generare il database *.nxtgrd* (vedere la Figura 4.2). La parola *nxtgrd* significa *New Xtraction Generic Regression Database*. Il file di output (\*.nxtgrd) è un database contenente informazioni, che possono essere criptate, riguardo alle capacità, le resistenze e i layer. Il file ITF inizialmente definito è anche esso incluso nel file di output. Questo database viene generato da un *field solver* interno che opera su un vasto insieme di strutture primitive. Star-RCXT utilizzerà proprio questo database per calcolare i parassiti dal layout, che gli verrà passato in ingresso.

### Layout versus schematic

Quando si analizza un layout l'esito positivo del DRC (*Design Rule Check*) assicura che il layout sia conforme alle regole di layout imposte per una corretta fabbricazione. Tuttavia non garantisce che esso rappresenti davvero il circuito che si desidera fabbricare. Quindi a questo punto viene utilizzato un controllo LVS. Il *Layout Versus Schematic* è un software di verifica che determina se un particolare layout di un circuito integrato corrisponde allo schematico originale.

La necessità di tali programmi è stata riconosciuta relativamente presto nel-

la storia dei circuiti integrati e i programmi per effettuare questo confronto sono stati scritti a partire dal 1975[24]. Questi primi programmi operano principalmente a livello di isomorfismo grafico, verificano se lo schematico e il layout sono effettivamente identici. Con l'avvento della logica digitale, questo approccio è risultato troppo restrittivo, poiché esattamente la stessa funzione può essere implementata in differenti modi non isomorfi. Pertanto il controllo LVS è stato perfezionato tramite un controllo di equivalenza formale, che controlla se due circuiti eseguono esattamente la stessa funzione senza richiedere l'isomorfismo[25].

Questo software riconosce le forme disegnate nel layout che rappresentano i componenti elettrici del circuito, nonché le loro connessioni. In seguito confronta questa netlist con uno schematico analogo. Il controllo LVS richiede i tre passaggi seguenti:

- Estrazione: il programma prende un file di database (quello che nel nostro lavoro bisogna modificare dalla tecnologia di partenza) che contiene tutte le informazioni necessarie sui layer disegnati per rappresentare il circuito attraverso il layout. Si esegue quindi il database attraverso numerose operazioni logiche per determinare i componenti rappresentati nel disegno. Queste operazioni vengono utilizzate per riconoscere i layer, i terminali del dispositivo, i collegamenti verticali tra i vari layer (strutture di via), le posizioni dei pin e le piste;
- Riduzione: durante la quale il software combina i componenti estratti in combinazioni serie/parallelo, se possibile, e genera una rappresentazione del layout di partenza tramite netlist. Una riduzione simile viene eseguita sulla netlist sorgente dello schematico;
- Confronto: la netlist estratta dal layout viene quindi confrontata con la netlist presa dal circuito schematico. Se c'è corrispondenza tra le due netlist allora il circuito supera il controllo LVS.

#### 4.1.2 Layout e cross section

Come è stato detto nella sezione precedente due file fondamentali al flusso d'estrazione sono il layout in formato gds e l'ITF che contiene la descrizione della cross section del dispositivo. In questa sezione perciò analizziamo nel dettaglio i disegni del dispositivo: la vista dall'alto che determina il layout e la sezione trasversale per quanto riguarda la cross section. Inizialmente mi è stato fornito un disegno di layout di un inverter molto grossolano poiché ancora non si era ben convinti quale approccio di fabbricazione scegliere o

quale topologia scegliere per il nostro dispositivo, il dubbio era tra l'*Out-of-plane* (con movimento del braccetto in verticale) e l'*In-plane* (con movimento orizzontale). Infine è stata scelta la topologia *In-plane* ed apportando altre piccole modifiche, ad esempio inserendo su tutti i bordi del silicio uno spessore di  $30nm$  di siliciuro di platino (PtSi), ho realizzato il layout corretto di un inverter, come si può osservare nella figura 4.3. In questo disegno compaiono

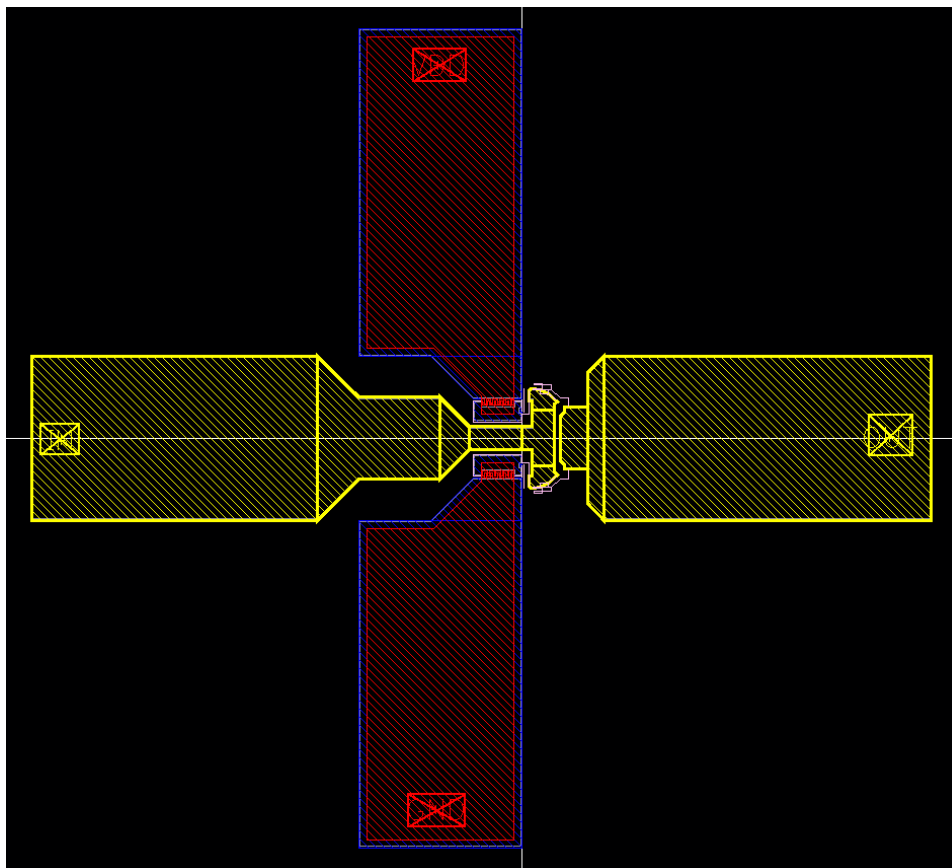


Figura 4.3: Layout dell'inverter.

sei differenti layer ma ad una prima analisi se ne notano soltanto quattro:

- il platino (Pt) di colore giallo;
- il silicio (Si) di colore blu;
- il siliciuro di platino (PtSi) di colore rosa;
- l'alluminio (Al) di colore rosso.

Gli altri due sono stati inseriti in maniera furba e non si vedono in questo disegno perchè il loro unico scopo è quello di poter descrivere correttamen-

#### 4.1. Estrazione dei parassiti da layout

te la sezione trasversale anomala di questo dispositivo rispetto agli abituali MOS, come vedremo a breve. Ai quattro lati della figura si possono visualizzare i relativi pin dell'inverter: l'alimentazione e la massa sui contatti di alluminio (in alto e in basso rispettivamente), mentre l'ingresso e l'uscita sul platino (a sinistra e a destra). Se facciamo uno zoom sulla parte centrale del disegno avremo il cuore del dispositivo.

Dalla figura 4.4 si può notare facilmente un unico elettrodo di gate (ingresso

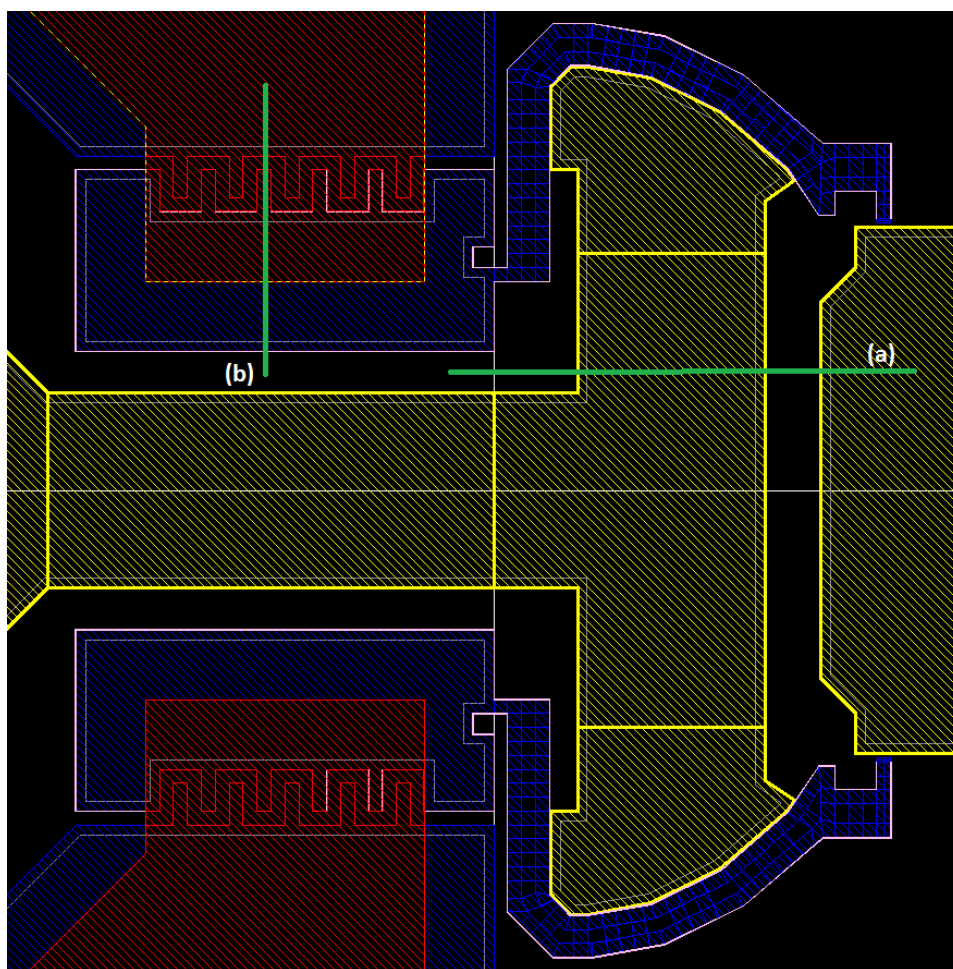


Figura 4.4: Cuore dell'inverter.

dell'inverter) in platino che si divide verso l'alto e verso il basso seguendo la curvatura dei due braccetti di source (Vdd e massa) in silicio con le pareti ricoperte di siliciuro di platino. Non è ben visibile ma va ricordato che i braccetti sono costantemente distanziati dall'elettrodo di gate da  $100nm$  di aria. Sulla destra invece si possono notare le due punte dei braccetti distaccate di  $70nm$  dall'elettrodo di drain in platino (uscita dell'inverter). Perciò



in questa rappresentazione statica del dispositivo entrambi gli interruttori risultano aperti.

Un'altra particolarità da evidenziare è la metallizzazione del source. Il segnale è trasmesso grazie ad un conduttore di alluminio che, partendo dal pin, procede prima longitudinalmente e poi normalmente al piano del dispositivo, arrivando a contattare la parte conduttiva del braccetto (Siliciuro di platino). Al fine di trasmettere meglio il segnale è stata introdotta una struttura a serpentina che massimizza la superficie di contatto tra alluminio e siliciuro di platino. Ora invece, per considerare la sezione trasversale, consideriamo soltanto l'interruttore superiore ed immaginiamo di tagliare in profondità il disegno in due sezioni differenti: (a) orizzontalmente, dove si divide l'elettrodo di gate; (b) verticalmente, nella regione di source dove il layer rosso si sovrappone a quelli blu e rosa. Questi tagli sono indicati anche sulla figura 4.4 con delle rette verdi, mentre le relative cross section sono rappresentate nella figura 4.5, in cui sono riportate anche le altezze di tutti i conduttori e tutti i dielettrici (negli spazi bianchi è sottinteso che ci sia aria).

Nella figura in alto (a) si può notare come il processo di etching, effettuato

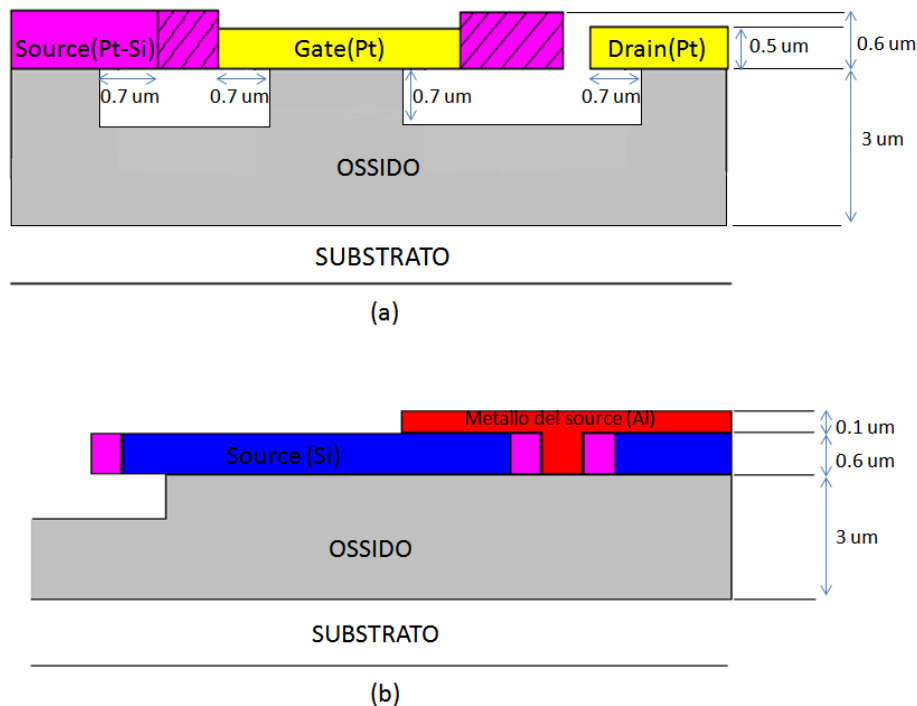


Figura 4.5: Cross section:(a) rappresentazione dei 3 elettrodi;(b) rappresentazione della metallizzazione del source.

durante la realizzazione fisica del dispositivo, scava l'ossido sia in direzione verticale che in direzione orizzontale lasciando così il braccetto fluotante in aria e quindi libero di muoversi, gli altri elettrodi invece hanno la parte centrale ben sorretta dall'ossido e i bordi sospesi in aria per  $0.7\mu m$ . Il braccetto di source inizia a sinistra ed è rappresentato dalla regione rosa con le griglie per rappresentare la curvatura di esso, che passa dietro all'elettrodo di gate e ritorna fuori alla sua destra, terminando vicino all'elettrodo di drain (interruttore aperto e quindi non si toccano). La figura in basso (b) invece, serve a mostrare come l'alluminio viene messo in contatto con l'elettrodo di source.

Proprio questa forma particolare dell'alluminio che non ha una altezza uniforme (in alcuni punti è infatti più alta), ha creato inizialmente alcuni problemi nella realizzazione dell'ITF poichè bisognava trovare una soluzione per descrivere correttamente la cross section in modo tale che Star-RCXT capisse la reale disposizione dei materiali. Il problema è stato risolto introducendo un nuovo layer sottostante al rosso ma soltanto in corrispondenza delle serpentine. Questo layer sarà sempre in alluminio ma sarà associato ad un livello differente ed avrà un'altezza diversa rispetto a quello superiore (nel disegno del layout non si nota la differenza perchè sono sovrapposti ed entrambi rossi). Per capire meglio il ragionamento, bisogna guardare la figura 4.6, dove il layer rosso è stato spezzato in due parti: quella superiore di altezza  $0.1\mu m$  e quella inferiore che parte dall'ossido, ha un'altezza di  $0.6\mu m$  ed è complanare ai layer rosa e blu.

Un problema simile si presenta con l'ossido perchè anche in questo caso siamo di fronte ad un materiale che non ha altezza costante ma varia a seconda dei profili del silicio e del platino nel layout. A causa del processo di etching l'altezza dell'ossido può essere di  $2.3\mu m$  dove è stato scavato e di  $3\mu m$  nelle zone protette dagli elettrodi. Attenzione però, in realtà anche al di sotto di tutti i bordi degli elettrodi l'ossido sarà scavato orizzontalmente di  $0.7\mu m$  e cioè bisogna tenerne conto per una corretta descrizione della sezione trasversale da passare al flusso d'estrazione. A differenza del problema precedente ora si tratta di un materiale dielettrico e quindi non si può risolvere la situazione spezzando l'ossido in due parti e situarlo su livelli diversi come è stato fatto per l'alluminio.

Analizzando tutti i comandi di Star-RCXT per descrivere la sezione trasversale via software la soluzione migliore è stata quella di definire un conduttore fittizio, che successivamente verrà fatto ignorare dal flusso d'estrazione per il calcolo delle capacità e resistenze parassite, il quale serve soltanto a definire le regioni in cui l'ossido deve essere alto  $3\mu m$  (come vedremo in maggior dettaglio nella prossima sezione). A questo punto non resta che disegnare

questo layer *dummy* in maniera semplice, ovvero seguendo i profili di silicio (blu) e platino (giallo) ma facendo attenzione di rientrare di  $0.7\mu\text{m}$  rispetto ad ogni loro bordo. Osservando attentamente la figura 4.4 si possono notare le linee che delimitano questo layer al di sotto delle grandi regioni blu o gialle. Ovviamente sotto al braccetto non ci sarà perchè deve essere sospeso in aria per essere libero di muoversi, ciò è possibile grazie ai buchi presenti lungo tutto il cantilever che permettono, in fase di etching, di rimuovere l'ossido sottostante.

### 4.1.3 Scrittura dell'ITF e modifica del file per il controllo LVS

Arrivati a questo punto abbiamo tutte le informazioni necessarie per procedere con la scrittura del file ITF, ma prima vediamo un pò di regole e comandi da rispettare per una corretta realizzazione.

Per scrivere manualmente un file di base, bisogna attenersi ai seguenti punti:

- 1 Dichiarazione della tecnologia

*TECHNOLOGY* =< *process\_name* >

E' una dichiarazione obbligatoria e deve precedere tutte le altre. Gli si assegna il nome < *process\_name* > e quando successivamente, si lancerà l'eseguibile *grdgenxo*, il file d'uscita si chiamerà " < *process\_name* > .*nextgrd*".

- 2 Un dielettrico di background può essere specificato dopo l'istruzione *TECHNOLOGY*, sebbene non sia necessario. Questo dielettrico riempie la sezione trasversale globalmente, ovunque ci siano spazi vuoti. Il valore predefinito per la costante dielettrica del layer di background, se esso non viene definito, è 1.0, ovvero l'aria.

*BACKGROUND\_ER* =< *float* >

Questa costante dielettrica si estende fino ad altezza infinita, quindi sostituisce efficacemente l'aria come mezzo operativo per il chip.

- 3 Ora bisogna definire alcune informazioni e caratteristiche di tutti i materiali *CONDUCTOR*, *DIELECTRIC* e *VIA*:

- Spessore(inteso come altezza) di ciascun conduttore e dielettrico;
- Larghezza minima e spaziatura di ogni conduttore;
- *Sheet Resistance* (resistività divisa per lo spessore) di ogni conduttore;

#### 4.1. Estrazione dei parassiti da layout

---

- Permittività elettrica di ogni dielettrico;
- *Sheet Resistance* di ogni via;
- Informazioni sulla connettività di ogni via.

4 Dopo aver definito questi requisiti di base per l'ITF, è possibile aggiungere ulteriori definizioni per modellizzare processi particolari.

Per la nostra struttura utilizzeremo soltanto *MEASURED\_FROM* e *TW\_T* per descrivere correttamente l'ossido sottostante agli elettrodi. La dichiarazione *MEASURED\_FROM* offre la possibilità di personalizzare il modello per tenere conto di alcune caratteristiche processuali come ad esempio la presenza di dielettrici e conduttori conformi. Quando *MEASURED\_FROM* viene utilizzato per la definizione di uno strato dielettrico, può riferirsi ad un dielettrico inferiore o può avere il valore *TOP\_OF\_CHIP*. La parola chiave *TOP\_OF\_CHIP* facilita la creazione di dielettrici conformi. Esso crea il piano di fondo dagli strati già presenti sotto il nuovo livello e imita la topologia della base esistente (applicando uno spessore uniforme).

La dichiarazione *TW\_T* invece ci permette di definire due dielettrici complanari, come succede nel nostro caso con l'aria e l'ossido. Esso definisce lo spessore del dielettrico da inserire in maniera conforme alla superficie superiore di un conduttore. Si può usare anche la dichiarazione *SW\_T* per definire lo spessore di dielettrico da inserire in maniera conforme alle superfici laterali di un conduttore (ma nel nostro caso non la useremo).

5 Infine si possono aggiungere altre dichiarazioni di carattere generale in mezzo tra la dichiarazione della *TECHNOLOGY* e la definizione dei livelli, come ad esempio la *GLOBAL\_TEMPERATURE*, che specifica il valore nominale della temperatura globale di tutti i layer.

A questo punto per una più facile realizzazione del file ITF, raggruppiamo tutti i materiali in due tabelle, una per i conduttori e una per i dielettrici, contenenti le principali caratteristiche e informazioni dei layer che utilizziamo nel nostro caso.

#### 4.1. Estrazione dei parassiti da layout

<i>Layer</i>	<i>Materiale</i>	<i>Sheetresistance[Ohm]</i>	<i>Spessore[<math>\mu</math>m]</i>
<i>ALUCAP_FINAL</i>	Conduttore	ininfluente	ininfluente
<i>ME6_FINAL</i>	Alluminio	0.275	0.1
<i>ME5_FINAL</i>	Alluminio	0.046	0.6
<i>ME4_FINAL</i>	Pt-Si	1	0.6
<i>ME3_FINAL</i>	SOI	220000	0.6
<i>ME2_FINAL</i>	Platino	0.21	0.5
<i>ME1_FINAL</i>	Conduttore	ininfluente	0.001

I nomi dei conduttori utilizzati devono coincidere con quelli presenti nella tecnologia di partenza (CMOS a 90nm), perciò per semplicità sono state scelte tutte e sei le metal e *ALUCAP\_FINAL*. Quest'ultimo è in realtà un conduttore inutilizzato, che viene inserito nell' ITF perchè Star-RCXT richiede almeno tre conduttori non complanari per la creazione del file .nxtgrd. Inoltre si richiede la definizione di almeno una VIA tra due piani conduttori e dato che nella nostra struttura non compare alcuna VIA, si utilizzerà questo conduttore e la *ME1\_FINAL* come estremi del collegamento. *ME1\_FINAL* è invece il layer fittizio di cui abbiamo già parlato, che si disegna solo ed esclusivamente per la realizzazione dell'ossido conforme ad esso.

<i>Layer</i>	<i>Materiale</i>	<i>Permittivita'</i>	<i>Spessore[<math>\mu</math>m]</i>
<i>AIR</i>	Aria	1	Background
<i>CONFORMAL_SiO2</i>	$SiO_2$	3.9	2.3 o 3
<i>Base_Dielectric</i>	$SiO_2$	3.9	0.001

*Base\_Dielectric* definisce il primo strato di ossido di silicio (sopra al substrato) in cui si collocherà *ME1\_FINAL*. Subito al di sopra viene definito *CONFORMAL\_SiO2* che ha uno spessore variabile: come si intuisce dal suo nome, esso è conforme a *ME1\_FINAL*, perciò dove quest'ultimo conduttore è presente il dielettrico sarà alto  $3\mu$ m, mentre altrove sarà alto  $2.3\mu$ m. L'aria ricopre tutti gli altri spazi in cui non compaiono l'ossido di silicio o i conduttori. La figura 4.6 mostra come vengono suddivisi tutti i layer presenti nel codice del file ITF, che è inserito nell' Appendice A.

Per quanto riguarda le modifiche del file per il controllo LVS invece, si è dovuto modificare soltanto alcune righe di codice riguardanti le connessioni tra tutti i conduttori. E' stato definito il collegamento tra *ALUCAP\_FINAL* e *ME1\_FINAL* attraverso la *VI1\_FINAL*, mentre per quanto riguarda tutti gli altri conduttori, che non presentano nessuna VIA ma si collegano per contatto tra di loro, si è dovuto considerare tutte le possibili coppie che si toccano tra loro e definirle connesse, senza specificare alcuna VIA:

#### 4.1. Estrazione dei parassiti da layout

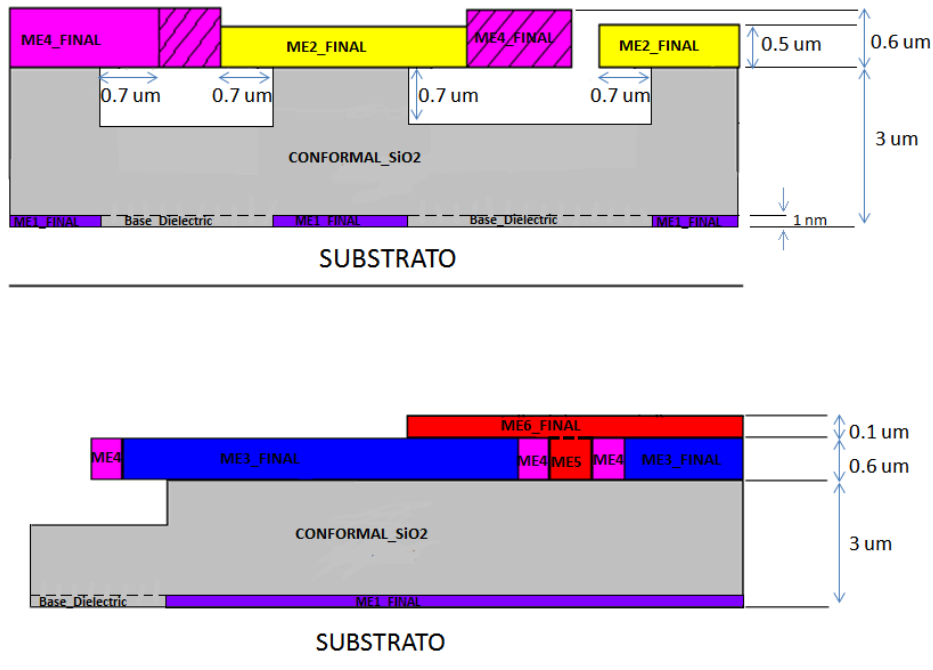


Figura 4.6: Sezione trasversale descritta nel file ITF.

- CONNECT ALUCAP\_FINAL ME1\_FINAL BY VI1\_FINAL
- CONNECT ME3\_FINAL ME2\_FINAL
- CONNECT ME4\_FINAL ME2\_FINAL
- CONNECT ME4\_FINAL ME3\_FINAL
- CONNECT ME5\_FINAL ME3\_FINAL
- CONNECT ME5\_FINAL ME4\_FINAL
- CONNECT ME6\_FINAL ME3\_FINAL
- CONNECT ME6\_FINAL ME4\_FINAL
- CONNECT ME6\_FINAL ME5\_FINAL

Dal momento che per il nostro lavoro si è partiti da una tecnologia già esistente, che sarà formata da tanti altri conduttori e collegamenti di VIA, è stato infine necessario modificare il *layer map file* di Calibre per farlo riconoscere a Star-RCXT. Nell'ITF infatti sono stati definiti come conduttori le

sei metal (che compaiono anche nel layout) ed *ALUCAP\_FINAL* (che non compare mai nel layout), mentre come via soltanto la *VI1\_FINAL* (che non compare mai nel layout).

Nel *layer map file* perciò, tutti i conduttori della tecnologia CMOS a 90nm non presenti nell'ITF, sono stati mappati sul layer *ALUCAP\_FINAL*, perchè esso non viene mai utilizzato nel disegno. Stesso discorso per quanto riguarda tutti i collegamenti di VIA che sono stati mappati sulla nostra *VI1\_FINAL*, anch'essa inutilizzata.

Infine ho specificato a Star-RCXT di ignorare il layer *ME1\_FINAL* nel calcolo delle capacità di accoppiamento, perchè come sappiamo questo conduttore non esiste nella realtà, ma è stato introdotto solo per una corretta descrizione dell'ossido nella sezione trasversale.

#### 4.1.4 Esecuzione del flusso d'estrazione

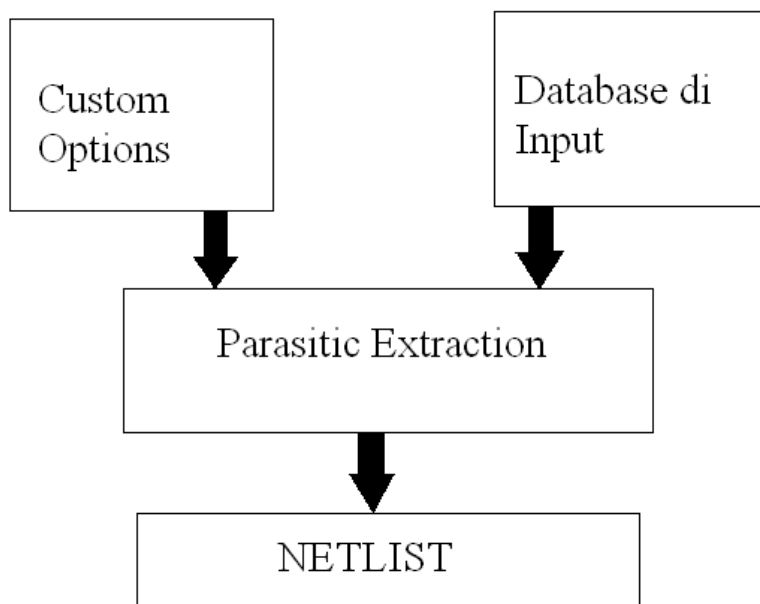


Figura 4.7: Schema a blocchi semplificato del flusso d'estrazione.

Ora sono disponibili tutti i file necessari per lanciare correttamente l'intero flusso d'estrazione. In figura 4.7 è mostrato uno schema semplificato: il Database di Input contiene tutti i file analizzati nella sezione precedente

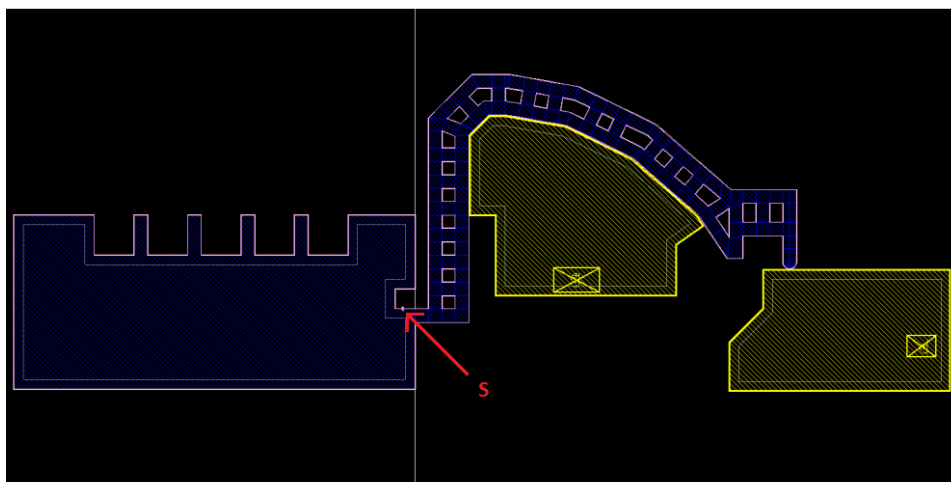


Figura 4.8: Layout del singolo dispositivo in ingresso al flusso d'estrazione.

(incluso anche il layout da analizzare), ci sono inoltre una serie di opzioni da specificare in base alle esigenze di calcolo; tutte queste informazioni vengono passate a Star-RCXT, che si occupa dell'estrazione dei parassiti e produce in uscita una netlist che contiene tutti i risultati richiesti.

Nel nostro caso, come file di layout in ingresso è stato utilizzato il disegno del singolo interruttore NEM che possiamo osservare in figura 4.8. Questa decisione è stata presa in funzione del fatto che il nostro primo obiettivo è quello di modellizzare il singolo dispositivo, calcolando tutti i parassiti in gioco. Da questa figura si possono ben vedere i due pin di gate e di drain, mentre quello di source è molto più piccolo e situato all'inizio del braccetto, più precisamente sul bordo formato da silicio di platino (indicato dalla freccia rossa). E' stata scelta questa posizione del pin per riuscire a suddividere più facilmente il percorso resistivo del braccetto mobile rispetto a quello dell'elettrodo fisso.

Nel layout è stato anche inserito un diodo, appartenente alla tecnologia CMOS a 90nm, per fare in modo che il PLSKit riconosca la tecnologia e possa generare un corretto flusso, selezionando tutti i file d'interesse. Il diodo è stato posizionato molto distante dal nostro dispositivo per evitare accoppiamenti capacitivi. Le opzioni più importanti da impostare sono: la metodologia d'estrazione e il formato della netlist d'uscita. Per quanto riguarda la metodologia d'estrazione ci sono varie scelte:

- R, suddivide le net in sottonodi e calcola le resistenze parassite distribuite tra i vari sottonodi in cui trova un percorso resistivo;
- C, calcola le capacità d'accoppiamento concentrate tra le net e il sub-



strato;

- Cc, aggiunge al caso precedente anche le capacità concentrate tra net e net;
- RC, calcola le resistenze e le capacità (solo tra net e substarto) distribuite;
- RCc, calcola le resistenze e tutte le capacità distribuite.

Nell'interruttore NEM che si sta considerando, i valori principali da calcolare sono i percorsi resistivi di tutti gli elettrodi e tutte le capacità d'accoppiamento concentrate, perciò per semplicità si eseguiranno due flussi d'estrazione con metodologie differenti: R per la valutazione delle resistenze e Cc per la valutazione delle capacità.

Per quanto concerne il formato d'uscita della netlist è stato selezionato il DSPF. Esso contiene tre parti:

- *Header section*, che fornisce informazioni sul contenuto del file;
- *Parasitic section*, che descrive gli effettivi valori dei parassiti delle net;
- *Instance section*, che descrive la reale topologia del layout.

Queste tre parti sono mostrate nella netlist in figura 4.9.

### Calcolo delle capacità

Come già accennato in precedenza, Star-RCXT fornisce un flusso integrato con Raphael-NXT, un *field solver* tridimensionale per l'estrazione dei parassiti, che fornisce valori delle capacità di accoppiamento molto accurati. Raphael NXT risolve l'equazione di Laplace utilizzando il metodo *floating random-walk*. Questo metodo risolve problemi, dovuti a forme particolari del layout, che vanno oltre la portata dei soliti *field solver*, tenendo conto di tutti gli effetti 3D, definiti dalle informazioni geometriche, senza compromettere la precisione del processo. Può gestire particolari effetti del processo, come la presenza di dielettrici conformi, forme trapezoidali nella sezione trasversale dei conduttori, e tenere conto di particolari processi litografici. Questo strumento è inoltre in grado di estrarre metalli fluotanti senza introdurre nodi extra nella netlist d'uscita.

Perciò nel nostro caso, per un calcolo più accurato delle capacità parassite, verrà utilizzato questo eccellente *field solver* selezionandolo nelle opzioni (figura 4.7) da passare in ingresso a Star-RCXT, insieme alla scelta della metodologia d'estrazione di tipo Cc. Il flusso d'estrazione produrrà quindi in

#### 4.1. Estrazione dei parassiti da layout

```
*|DSPF 1.3
*|DESIGN cell_inverter_HK_30_squa_tip
*|DATE "Thu Apr 5 11:17:45 2012"
*|VENDOR "Synopsys"
*|PROGRAM "StarRC"
*|VERSION "F-2011.12-SP1"
*|DIVIDER /
*|DELIMITER :
**FORMAT ONLY
*
** COMMENTS
** OPERATING_TEMPERATURE 25
** GLOBAL_TEMPERATURE 25
SUBCKT cell_inverter_HK_30_squa_tip g d s
*|GROUND_NET 0
*|NET g 0.00460927PF
Cg1 g 0 7.64014e-17
*|NET d 0.00189213PF
C2 d g 2.01507e-17
Cg3 d 0 5.94706e-17
*|NET s 0.00829212PF
C4 s d 1.31924e-16
C5 s g 3.04273e-15
Cg6 s 0 6.02881e-16
*|NET 6 0.00196612PF
*|NET 10 10.1853PF
C7 10 6 1.96612e-15
C8 10 s 4.51458e-15
C9 10 d 1.68058e-15
C10 10 g 1.46999e-15
Cg11 10 0 1.01757e-11
*
* Instance Section
*
XD0 10 6 DNSVT AREA=0.060025 PJ=0.98
ENDS
```

Header section

Parasitic section

Instance section

Figura 4.9: Netlist d'uscita contenente i valori di tutte le capacità d'accoppiamento.

uscita la netlist mostrata in figura 4.9. In questa netlist sono presenti tutti i valori delle capacità d'accoppiamento presenti nel nostro layout e sono state cerchiare in rosso quelle di nostro interesse. Sono state inoltre cerchiare in verde le net di riferimento per ogni accoppiamento capacitivo. In fondo alla netlist, nella *Instance section*, viene istanziato il diodo in tecnologia CMOS a 90nm che è stato posizionato, per motivi già spiegati in precedenza, lontano dal disegno del nostro interruttore. Gli elettrodi di riferimento del nostro diodo sono la net6 e la net10, questa ultima net gioca un ruolo di fondamentale importanza nel calcolo delle capacità, come verrà spiegato a breve. Per maggiore chiarezza, nella seguente tabella vengono riportati i valori delle capacità che entrano in gioco nel nostro modello:

Sigla nel DSPF	Valore	Terminali di riferimento	Sigla nel modello
C2	0.02 fF	Gate-Drain	Cgd
C4	0.13 fF	Drain-Source	Cds_0
C5	3 fF	Gate-Source	Cgs_0
C8	4.5 fF	Source-Substrato	Csb
C9	1.68 fF	Drain-Substrato	Cdb
C10	1.47 fF	Gate-Substrato	Cgb

Bisogna sottolineare una cosa molto importante, ovvero che in realtà il *field solver* ha considerato come substrato del layout una net del diodo, che è stato inserito solo ed esclusivamente per far riconoscere il design kit della tecnologia al flusso d'estrazione. E' questo il motivo per cui nella netlist abbiamo considerato come valori utili le capacità d'accoppiamento tra i tre terminali dell'interruttore NEM (gate, source e drain) rispetto alla net10, che rappresenta appunto il substrato. Tutto ciò si può notare dall'immagine in figura 4.10, prodotta anch'essa come output dell'estrazione, la quale riproduce tutte le net del layout descritte nella netlist d'uscita. Il substrato è infatti rappresentato dal layer azzurro (net10) che ricopre tutta la superficie inferiore del mio disegno.

Bisogna puntualizzare il fatto che, alcune di queste capacità d'accoppiamento, rientrano direttamente nelle equazioni del modello VerilogA poiché giocano un ruolo fondamentale nel calcolo delle correnti parassite che scorrono tra i tre terminali dell'interruttore. Queste capacità sono la Cds\_0 e la Cgs\_0, che saranno dunque definite all'interno del codice VerilogA e non compariranno nello schematico; viceversa tutte le altre capacità non subentrano in alcun modo nel file VerilogA e saranno inserite nel modello completo del dispositivo attraverso lo schematico.

### Calcolo delle resistenze

Per quanto riguarda la valutazione delle resistenze invece, è stata impostata la metodologia d'estrazione di tipo R e non ci sarà bisogno di Raphael-NXT, che entra in gioco solo per il calcolo delle capacità. La metodologia R permette a Star-RCXT di suddividere ogni net in più sottonodi, per un calcolo più accurato delle resistenze.

In questo caso la netlist in uscita sarà strutturata come quella in figura 4.9, ma sarà molto più lunga e dettagliata visto che il layout che stiamo considerando è formato da geometrie curve ed abbastanza particolari, che perciò determineranno una lista di sottonodi e dei relativi valori di resistenza che occuperanno tantissime righe di codice. Perciò riprodurla sul testo della tesi risulta molto scomodo e a mio parere inutile.

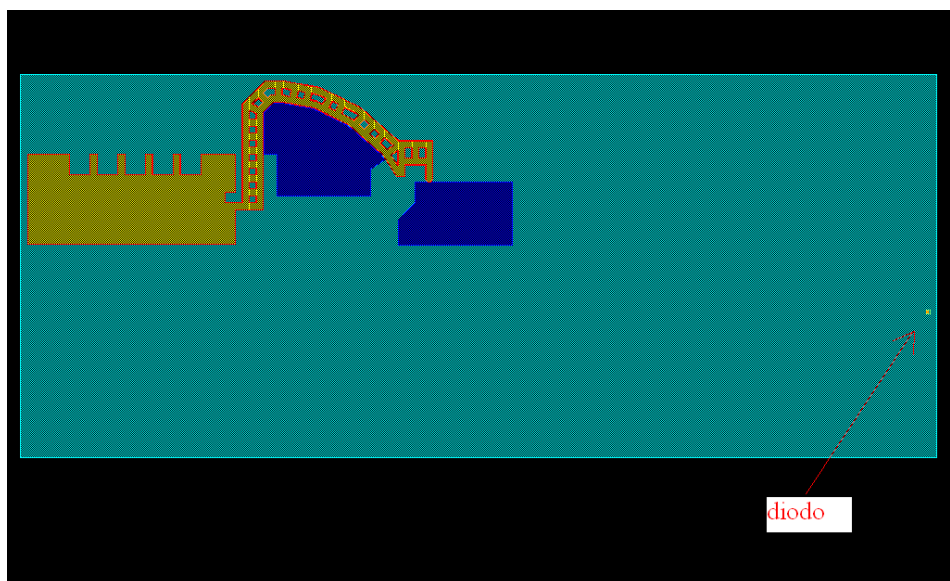


Figura 4.10: Layout d'uscita al flusso d'estrazione che rappresenta tutte le net considerate per il calcolo degli accoppiamenti capacitivi.

A questo punto diventa fondamentale l'utilizzato del simulatore della Synopsys, HSI, che utilizzando la netlist in formato DSPF, permette di eseguire particolari analisi, utili nel valutare rapidamente gli effetti parassiti di reti formate da molti sottonodi, come succede nel nostro caso.

Più specificamente, il simulatore calcola le resistenze tra tutte le possibili coppie di sottonodi presenti nel DSPF ed associati alla net estratta. Tutti i risultati in uscita dal simulatore sono organizzati in diversi file, dei quali i più importanti sono il file ASCII e il file GDS. Il file ASCII è di tipo testuale, contenente un elenco ordinato dei percorsi resistivi, tra la posizione del pin (come punto universale di partenza) e tutti i sottonodi, in ordine decrescente, ovvero dal sottonodo con il percorso più resistivo al sottonodo con il percorso meno resistivo. In altre parole, grazie a questa simulazione è possibile valutare il percorso resistivo tra il pin di un terminale e qualsiasi sottonodo associato ad esso, visualizzando facilmente il valore effettivo della sua resistenza[26].

E' inoltre disponibile un semplice comando di Star-RCXT che permette di forzare la creazione di un sottonodo ad un terminale, che altrimenti non sarebbe stato generato, inserendo semplicemente le coordinate del layout riferite al punto d'interesse, e specificando quale è il layer da prendere in considerazione[23].

Il file GDS è invece un disegno e rappresenta visivamente la caratterizza-

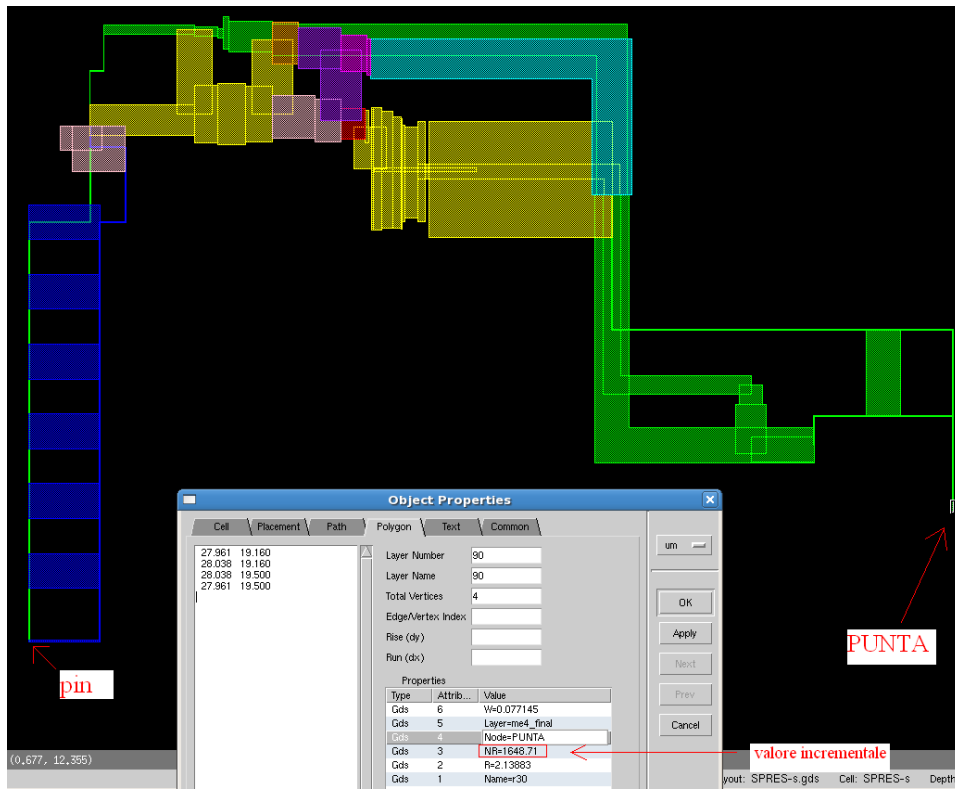


Figura 4.11: Rappresentazione di tutti i contributi resistivi parassiti del braccetto di source.

zione a parametri distribuiti della net. Ad ogni sottonodo sono associati i valori elettrici (resistenza) e geometrici (lunghezza e larghezza), e dunque ognuno di essi è rappresentato visivamente da un rettangolo. Le dimensioni dei rettangoli, e quindi anche il posizionamento dei sottonodi, dipendono fortemente dalla geometria della net da estrarre: i raggi di curvatura e la presenza di discontinuità incrementano notevolmente il numero di sottonodi.

Considerando quanto appena detto, credo sia giusto mostrare il caso più particolare del nostro dispositivo, ovvero come viene rappresentato graficamente, dopo l'estrazione, il terminale di source, che è senza dubbio quello che ha la geometria più complessa. Esso infatti comprende: il braccetto curvo che compie quasi una semicirconferenza, i buchi che esso presenta al suo interno, e la presenza di due materiali conduttivi (SOI e siliciuro di platino) con differenti proprietà resistive costantemente connessi per contatto diretto. Uno degli obiettivi principali di questa estrazione è quello di riuscire a suddividere i contributi resistivi parassiti del source in due componenti: da una parte il contributo associato alla parte fissa dell' elettrodo, quella ancorata

all'ossido; mentre dall'altra parte il contributo associato al braccetto mobile, caratterizzato dalla sua traiettoria arcuata. E' quindi importante ricordare che il pin del source è stato appositamente disegnato in corrispondenza dell'inizio del braccetto mobile per poter calcolare con la massima precisione il valore della resistenza parassita presente tra il pin e la punta del cantilever. E' qui che entra in gioco il comando di Star-RCXT che ci permette di forzare un sottonodo proprio in corrispondenza della punta del braccetto. Questo sottonodo è stato chiamato PUNTA.

A questo punto non resta che lanciare la simulazione con HSPICE ed osservare la visualizzazione grafica in uscita, mostrata in figura 4.11, che rappresenta l'elettrodo di source suddiviso in tantissimi sottonodi rappresentati come rettangolini di diverso colore. Ogni colore rappresenta un range di valori per la resistenza incrementale, ovvero tra il sottonodo associato ed il pin di partenza. Nel nostro caso il colore che possiede valori di resistenze minore è il verde. Tutti i rettangolini verdi perciò rappresentano quei sottonodi situati sui bordi del source, poichè formati da silicio di platino e quindi a più bassa resistenza. Selezionando un qualsiasi rettangolo (sottonodo) è possibile visualizzare nell' *Object Properties* alcune informazioni molto interessanti relative ad esso:

- il nome del layer a cui appartiene il sottonodo;
- il nome del sottonodo selezionato;
- la singola resistenza del rettangolino in considerazione;
- il valore incrementale della resistenza associata al sottonodo (relativa al pin).

Per il calcolo del valore incrementale della resistenza il simulatore considera tutti i percorsi resistivi (formati dalla successione e intrecci di svariati rettangoli) presenti dal pin fino al rettangolo che si vuole considerare ed esegue internamente un calcolo di tutte le resistenze serie/parallelo, fornendo un valore resistivo molto accurato.

Partendo dal pin del source (in basso a sinistra) si diramano molteplici percorsi di rettangoli (in parte anche sovrapposti) per arrivare fino alla terminazione del braccetto. In questo caso, ciò che a noi interessa è calcolare il valore di resistenza parassita del braccetto mobile, è sufficiente quindi, selezionare il sottonodo PUNTA (come mostrato in figura 4.11) e visualizzare il valore incrementale della resistenza ad esso associata. Nella figura 4.11 si può notare l' *Object Properties* relativo alla terminazione del cantilever, dove questo valore viene evidenziato in rosso (NR=1648.71). Oltre

a questo valore si possono visualizzare il singolo valore resistivo del sottonodo ( $R=2.13883$ ), il nome del sottonodo (Node=PUNTA) e il layer a cui esso appartiene (Layer=me4\_final), che come ci aspettavamo corrisponde al siliciuro di platino. Facendo ancora attenzione alla figura si può notare che, partendo dal pin, è sempre presente un percorso di rettangolini verdi, è possibile dunque arrivare fino alla punta passando su di essi, senza nessuna discontinuità. Essendo questo percorso nettamente il più conduttivo di tutti (poichè rispecchia il bordo in Pt-Si del layout), ed in parallelo a tutti gli altri, è interessante dimostrare che si può ottenere circa lo stesso valore incrementale calcolato dal simulatore, semplicemente sommando il contributo di tutti i rettangoli verdi. Ovviamente il calcolo del simulatore sarà più preciso, perchè calcola anche il parallelo con tutti gli altri percorsi, e molto più veloce che eseguire il calcolo a mano. Sfruttando quindi la netlist in uscita dall'estrazione e il simulatore HSPICE, è possibile, in maniera analoga a quanto mostrato per il braccetto del source, calcolare il valore delle resistenze parassite presenti nella parte fissa del source e negli altri due elettrodi di gate e di drain. Di seguito vengono rappresentate in una tabella tutte le resistenze di nostro interesse per la creazione del modello elettromeccanico completo dell' interruttore NEM:

Sigla nel modello	Valore	Terminale di riferimento
Rbeam	1.65 $K\Omega$	cantilever del Source
Rs	200 $\Omega$	parte fissa del Source
Rg	250 $m\Omega$	elettrodo di Gate
Rd	370 $m\Omega$	elettrodo di Drain

Come è stato detto precedentemente per i valori delle capacità d'accoppiamento  $C_{ds\_0}$  e  $C_{gs\_0}$ , anche Rbeam rientra direttamente nelle equazioni del modello VerilogA, poichè gioca un ruolo determinante nel calcolo della corrente di 'canale' presente tra source e drain non appena l'interruttore risulterà chiuso. Rbeam sarà dunque inserita direttamente nel codice VerilogA mentre tutte le altre saranno inserite, esternamente attraverso lo schematico.

## 4.2 Modello comportamentale dell'interruttore NEM

In questa sezione saranno introdotti e spiegati i migliori linguaggi di descrizione hardware che si trovano sul mercato, le loro differenze e le principali motivazioni che hanno determinato la scelta del VerilogA. Successivamente sarà spiegato più in dettaglio il codice che è stato realizzato dai collaboratori dell'IBM, per la descrizione comportamentale del nostro dispositivo elettromeccanico. Infine, unendo i valori dei parassiti calcolati nel paragrafo

precedente con il modello comportamentale, si realizzerà il modello completo da poter utilizzare per le simulazioni circuitali.

### 4.2.1 I linguaggi HDL

I linguaggi descrittivi HDL (Hardware Description Language) nascono negli anni 80 sotto forma di documentazione di progetti hardware complessi. L'esigenza era essenzialmente quella di utilizzare una metodologia standard per descrivere il comportamento dei sistemi elettronici. Questi linguaggi sono molto simili a linguaggi software, ma l'obiettivo è completamente diverso: un HDL descrive comunque un sistema fisico, non un algoritmo. Se inizialmente questi processi erano sfruttati al solo scopo di documentazione, ben presto essi sono stati utilizzati per la simulazione al fine di verificare il corretto funzionamento del sistema. Ciò ha reso i linguaggi HDL vera parte attiva del processo di progettazione.

Nel corso degli anni, l'aumento, della complessità dei sistemi, permessa anche dal progredire incessante della tecnologia, ha reso necessario lo sviluppo di uno strumento in grado di descrivere sottosistemi ad alto livello di astrazione. E' così possibile semplificare il carico computazionale degli algoritmi di simulazione. Possiamo dire che, più alto è il livello di astrazione implementato da un blocco HDL, maggiore è la velocizzazione del processo di simulazione dell'intero progetto.

I campi di utilizzo degli HDL possono essere classificati, secondo la loro finalità, nelle seguenti categorie:

- descrizione di sistemi al fine di effettuare la sintesi;;
- descrizione di sistemi al fine di descriverne il comportamento;;
- documentazione di sistemi;
- descrizione di testbench.

La descrizione al fine della sintesi deve essere una descrizione, solitamente a livello RTL (Register Transfer Level), di blocchi del progetto. Questo utilizzo lo si ha, ad esempio, nella programmazione di FPGA, dove, grazie a dei codici comportamentali, il sistema viene sintetizzato per uno o più scopi.

La descrizione comportamentale di blocchi logici è effettuata dopo la realizzazione RTL di un blocco, per descrivere il comportamento di un modulo già sintetizzato e implementato con una certa tecnologia. Questo utilizzo è quello proprio della simulazione: vengono creati costrutti HDL, per blocchi RTL del progetto già realizzato, al fine di testarlo.



La documentazione di sistema, come detto prima, è stato il primo utilizzo dei linguaggi HDL. Questa può essere descrittiva di un qualsiasi livello di astrazione.

La descrizione del testbench, ovvero del banco di prova, è una descrizione comportamentale degli stimoli esterni del sistema. Questo approccio permette di descrivere i segnali in ingresso e di controllare quelli in uscita per verificare se corrispondono a quelli attesi, semplificando notevolmente la fase di collaudo[27].

I linguaggi HDL attualmente più utilizzati sono il VHDL (VHSIC, Very High Speed Integrated Circuits HDL), la cui sintassi richiama quella del Pascal e soprattutto dell'ADA, e il Verilog, il quale deve la sua fortuna al fatto che è più simile al C e inoltre è più semplice rispetto al VHDL.

## VHDL

VHDL è il risultato del progetto di ricerca VHSIC del Dipartimento della Difesa (DoD) degli Stati Uniti d'America iniziato negli anni '80. Visto lo sviluppo della tecnologia VLSI, ci si rese conto che serviva un linguaggio ad alto livello che riuscisse a sintetizzare costrutti anche complessi. Nato con scopi militari nel 1987 venne definito lo standard (IEEE-1076-1987) aggiornato poi nel 1993 (IEEE-1076-1993). Osservando un codice VHDL si notano molte somiglianze con il Pascal e soprattutto l'ADA: molte parole chiave sono le stesse, in particolare quelle usate per i cicli e i costrutti condizionati. La potenza del VHDL sta in costrutti di poche righe che descrivono circuiti di decine di migliaia di gate, consentendo al progettista di concentrarsi sul comportamento del sistema e non sui dettagli di implementazione. Questo comporta, però, una profonda conoscenza del linguaggio, poiché, se il codice di un determinato blocco, anche se formalmente corretto, è scritto in maniera ridondante, la sintesi potrebbe non essere efficiente poiché è soltanto il sintetizzatore che decide l'implementazione a livello di gate. La differenza sostanziale rispetto ai comuni linguaggi di programmazione è che le istruzioni vengono eseguite non in successione ma in parallelo, richiedendo un approccio mentale al linguaggio totalmente diverso da quello tradizionale.

La descrizione di un sistema VHDL è composta da due sezioni: la descrizione dell'entity e dell'architecture. La prima definisce l'analogo dell'interfaccia del Verilog, descrivendo ingressi e uscite dell'elemento. La sintesi dell'entity determina solo una scatola vuota il cui contenuto è indicato dall'architecture dove è possibile definire ulteriori segnali utili per la descrizione del sistema senza che essi vengano interfacciati con l'esterno. Parte principale dell'ar-

chitecture è il body dove è contenuto il codice vero e proprio necessario alla descrizione del sistema. Il body è delineato dalle parole chiave begin e end. Come nel Verilog, è possibile scrivere codice VHDL seguendo approcci di tipo data-flow e di tipo strutturale, visto che anche in questo caso sono presenti primitive in grado di descrivere le maggiori operazioni logiche.

Nel 1999 è stato approvato uno standard IEEE(1076.1-1999) che definisce un insieme di estensioni del VHDL per il dominio misto analogico-digitale; il linguaggio che ne è risultato è noto con la sigla VHDL-AMS. Essendo un'estensione del VHDL originario, esso contiene parole chiave e costrutti aggiuntivi, dedicati alla modellizzazione di sistemi fisici. Bisogna però sottolineare una limitazione, ovvero che il VHDL-AMS non è un 'VHDL analogico', ma bensì un vero e proprio linguaggio per la descrizione di sistemi a segnali misti[27].

### **Verilog**

Il Verilog è un linguaggio di descrizione hardware che permette l'implementazione di sistemi digitali in un ampio spettro di livelli di astrazione: da quello logico a quello architetturale. Esso include, inoltre, costrutti gerarchici che permettono al progettista di controllare facilmente la complessità del sistema.

Il Verilog è stato originariamente sviluppato tra il 1984 e il 1985 da Phil Moorby alla Gateway Design Automation. Nel 1986 la stessa società realizzò anche il primo simulatore Verilog (VerilogXL). Questa data segna un punto di svolta per il Verilog poiché molti progettisti iniziarono a usarlo, apprezzandone la sua capacità di sintetizzare costrutti ad alti livelli di astrazione. Nel 1989 la Cadence Design System acquistò la Gateway e quindi anche tutti i diritti sul Verilog, diventandone di fatto la proprietaria. Nessun'altra società poteva implementare simulatori Verilog. Questo causò uno sviluppo di nuovi linguaggi HDL che potessero rimpiazzarlo sostituendolo come standard: nacque il VHDL. Nel 1990 Cadence accorgendosi che il Verilog rischiava di essere superato a causa della sua natura proprietaria, concesse la documentazione per farlo diventare uno standard. Ciò avvenne nel 1995 con la pubblicazione del documento IEEE 1364-1995.

L'elemento base per la descrizione di un blocco in Verilog è il modulo. Quest'ultimo rappresenta un costrutto logico preso in uno dei suoi possibili livelli di astrazione. Le informazioni base contenute nel modulo sono: un'interfaccia, dove vengono dichiarati gli ingressi e le uscite; e il corpo, dove è sintetizzata la concreta descrizione funzionale del modulo stesso[27].

Per come è concepito, il Verilog viene spesso considerato più semplice e più

vicino al hardware di quanto non lo sia il VHDL; infatti può essere utilizzato anche per modellizzare circuiti logici a livello di transistor o interruttori (come nel nostro caso), cosa che risulta particolarmente difficile con il VHDL. E' questa una motivazione del fatto che per il nostro lavoro ci siamo orientati verso il Verilog piuttosto che il VHDL[28].

Un'altra motivazione, ancora più importante, riguarda l'estensione del Verilog per il dominio analogico e quello misto (analogico e digitale). Questo linguaggio di descrizione hardware prende il nome di Verilog-AMS ed include delle estensioni analogiche e *mixed-signal* per poter definire e implementare il comportamento di sistemi misti. Questo linguaggio, a differenza del VHDL-AMS, possiede al suo interno, un vero e proprio sottosistema tempo continuo, chiamato Verilog-A. Dunque la possibilità di effettuare tramite Verilog-A una simulazione puramente analogica è la motivazione principale che ci porta a sviluppare il modello comportamentale del nostro interruttore NEM attraverso questo linguaggio, a differenza del VHDL-AMS che avrebbe richiesto di passare tramite una simulazione mista.

Inoltre Verilog-A è supportato da tutti i simulatori analogici in commercio, mentre VHDL-AMS non lo è.

#### 4.2.2 Modello VerilogA

Un progetto VerilogA consiste in una gerarchia di moduli, ognuno definito da un set di ingressi, uscite e porte bidirezionali di varie tipologie, dette 'discipline' (real, electrical, kinematic, thermal, magnetic,...). A ciascun modulo creato si può associare un simbolo da schematico; come tale fornisce la possibilità all'utente di configurare le proprietà del componente stesso, definite all'interno del codice come 'parameter'[29].

Il tipico listato VerilogA consiste in:

- Inclusione dei file necessari alla compilazione del codice;
- Dichiarazione di 'nature' addizionali o rettifica delle impostazioni di default delle nature già esistenti. Le 'nature' sono un insieme di attributi che descrivono le unità di misura (metro, grammo, Newton, ...), la tolleranza assoluta per la convergenza e il nome di ogni funzione di accesso alle discipline (es. *Voltage* è una natura della disciplina *electrical*, *Force* è una natura della disciplina *kinematic*);
- Definizione del modulo attraverso le sue porte di ingresso e/o uscita e quindi relativi variabili e parametri;

#### 4.2. Modello comportamentale dell'interruttore NEM

---

- Blocco di *analog begin/end* nel quale sono contenute le istruzioni sequenziali che descrivono il modello.

Il file VerilogA che è stato creato per descrivere il comportamento dell'interruttore NEM si chiama *veriloga.va* ed è riportato nell'appendice B. Ora vediamo le parti principali in cui è suddiviso.

Inizialmente vengono inclusi due file: *constants.vams*, dove sono definite le costanti fisiche fondamentali; *discipline.vams*, che contiene le definizioni di tutte le grandezze fisiche in gioco.

Le uniche nature che vengono utilizzate in questo codice sono: Voltage e Current per la disciplina *electrical*; Position per la disciplina *kinematic*. Esse sono così definite:

- nature voltage;  
units = V;  
access = V;  
abstol = 1p;  
endnature
- nature current;  
units = A;  
access = I;  
idt\_nature = charge;  
abstol = 1p;  
endnature
- nature position;  
units = m;  
access = Pos;  
ddt\_nature = velocity;  
abstol = 1p;  
endnature

dove *units* indica l'unità di misura, *access* indica il codice da scrivere per richiamare quella determinata nature, *idt\_nature* e *ddt\_nature* indicano rispettivamente l'integrale e la derivata della nature in considerazione, *abstol* determina la tolleranza, ovvero specifica il massimo valore trascurabile per segnali associati alla nature.

A questo punto viene definito il modulo che si chiama *CANTILEVER MEMS*. Le porte bidirezionali che lo definiscono sono le seguenti:

- *d*, *g* e *s*, sono i terminali di drain, gate e source. Sono degli input per potergli applicare un segnale dall'esterno e degli output per poter avere

## 4.2. Modello comportamentale dell'interruttore NEM

la possibilità di misurare la tensione ai loro capi. Sono di tipo *electrical*, perciò le due nature a loro associate sono Voltage 'V' e Current 'I';

- *disp* e *vel*, indicano lo spostamento del braccetto mobile rispetto alla posizione di equilibrio e la velocità di esso. Sono dunque di output per poter monitorare il movimento meccanico. Per semplicità sono stati definiti come *electrical* anche se ciò non è vero, ad ogni modo le loro porte verranno lasciate fluttanti o collegate a resistenze unitarie e sarà possibile accedere con la natura Voltage per poter visualizzare il loro valore;
- *Cgs* e *Cds*, sono gli accoppiamenti capacitivi rispettivamente tra gate e source, e tra drain e source. Sono degli output per poter monitorare il loro valore dinamicamente, poichè dipendono dallo spostamento del braccetto. Esse vengono calcolate a partire dai loro rispettivi valori statici, ovvero quando l'interruttore è a riposo, che corrispondono a  $C_{gs0}$ ,  $C_{ds0}$ , moltiplicati per un termine che varia proporzionalmente allo spostamento del cantilever. Anche queste porte per semplicità sono state definite come *electrical* e verranno lasciate fluttanti, sarà possibile accedere con la natura Voltage per poter visualizzare il loro valore.

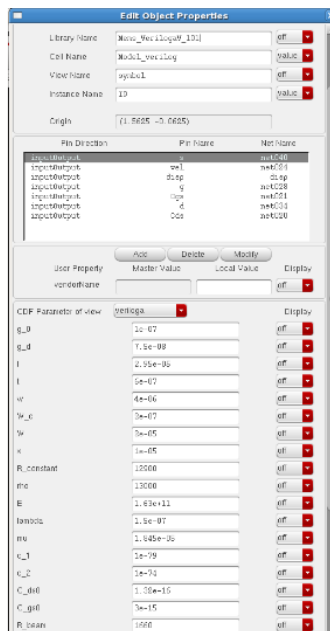


Figura 4.12: Finestra EditObjectProperties del modulo MEMSMAN.

#### 4.2. Modello comportamentale dell'interruttore NEM

---

Sono state inoltre definite due grandezze  $z$  e *velocity* di tipo *kinematic*, le cui funzioni di accesso sono *Pos* (posizione) per il potenziale e *F* (force) per la corrente (nel nostro modello useremo soltanto *Pos*). Esse verranno utilizzate nelle equazioni riguardanti il bilancio delle forze. In seguito il loro valore sarà riassegnato rispettivamente a *disp* e *vel*.

I parametri che l'utente può definire tramite un'interfaccia grafica (figura 4.12), direttamente da schematico, sono variegati, di seguito sono elencati solo quelli considerati di particolare importanza:

- $g_0$ , gap tra gate e braccetto a riposo (interruttore aperto);
- $g_d$ , gap tra drain e punta del braccetto a riposo (movimento massimo del braccetto);
- $l$ , lunghezza del braccetto;
- $t$ , altezza del braccetto;
- $w$ , larghezza del braccetto;
- $W_c$ , larghezza di contatto tra braccetto e drain ad interruttore chiuso;
- $\rho$ , densità di massa [ $kg/m^3$ ];
- $C_{ds0}$ , accoppiamento capacitivo parassita tra drain e source a riposo (estratto dal layout);
- $C_{gs0}$ , accoppiamento capacitivo parassita tra gate e source a riposo (estratto dal layout);
- $R_{beam}$ , resistenza del braccetto (estratta dal layout);
- *roughness – factor*, fattore di rugosità;
- $k_{stiff}$  e  $k_c$ , rigidità delle due molle.

Per ciascuna di queste variabili è stato definito un valore di default corrispondente alla struttura che abbiamo analizzato nella sezione precedente (l'interruttore NEM con lunghezza del braccetto di  $29,5\mu m$ ) e un range di valori ammissibili.

Come si può notare, sono presenti nel modello i parametri  $C_{ds0}$ ,  $C_{gs0}$  e  $R_{beam}$ , che rappresentano solo una piccola parte di tutti i parassiti presenti nell'interruttore. Il valore a loro assegnato è stato estratto dal layout ed inserito nel codice verilogA poiché, come già spiegato nel paragrafo 4.1.4, sono parametri che rientrano direttamente nel modello comportamentale per

il calcolo delle equazioni che governano il dispositivo, e non si può in alcun modo inserirle esternamente al modello, ovvero da schematico come succede per tutte le altre resistenze e capacità parassite.

Conclusa la prima parte di definizione delle variabili e dei parametri, si è passati alla fase di descrizione comportamentale dell'interruttore NEM, caratterizzata dal blocco *analog begin/end*. Per prima cosa, vengono calcolati alcuni valori di interesse come la tensione di pull-in e pull-out.

Poi vengono definite tutte le forze in gioco: elettrostatica; elastica; di accelerazione; di adesione e di smorzamento. Ognuna di esse entrerà in gioco attraverso stimoli o situazioni differenti, ad esempio la forza elettrostatica sarà presente soltanto se è presente una differenza di potenziale tra la porta di gate e quella di source, mentre la forza di adesione entra in gioco solamente quando l'interruttore è chiuso. Viene descritta l'equazione del bilancio di forze, che una volta risolta dal simulatore, consente di ottenere il valore  $Pos(z)$ , il quale indica l'effettivo spostamento del braccetto dalla sua posizione originale. Attraverso questo valore il modello è in grado di calcolare con precisione la variazione delle capacità  $C_{ds}$  e  $C_{gs}$  e quindi le correnti da esse generate che scorrono tra drain e source e tra gate e source rispettivamente, le quali risultano dominanti in fase di chiusura/apertura dell'interruttore. Quando invece lo spostamento eguaglia il valore  $g_d$ , significa che l'interrut-

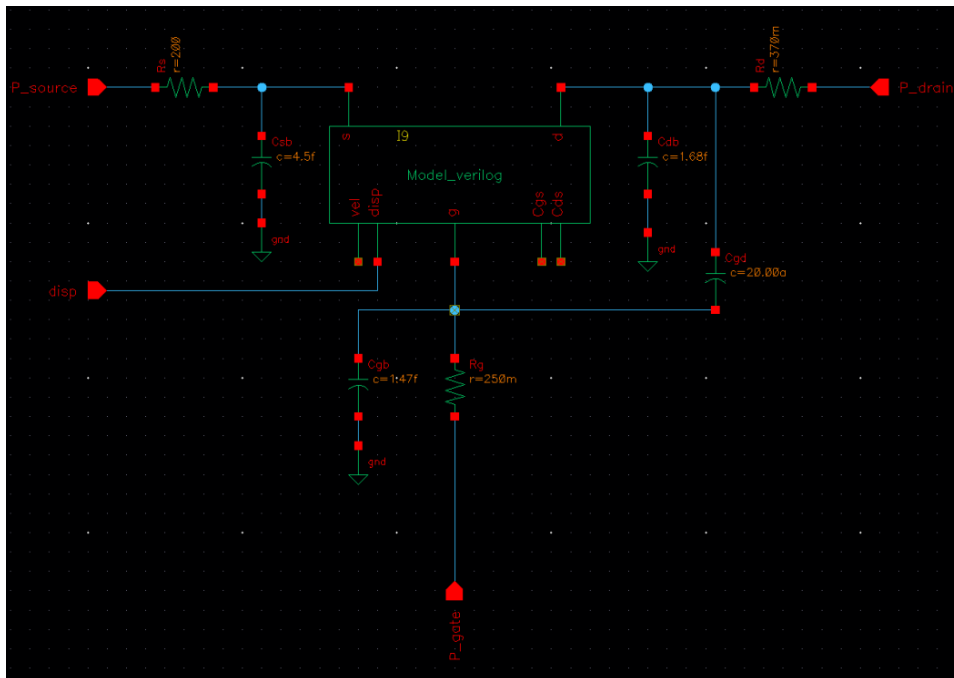


Figura 4.13: Schematico del modello completo di un interruttore NEM.

tore è completamente chiuso e da questo momento in avanti, la corrente dominante di 'canale' tra source e drain è determinata dalla differenza di potenziale tra source e drain divisa per il valore della  $R_{beam}$ . Ovviamente il valore  $Pos(z)$  non può superare  $g_d$  perché significherebbe che è penetrato dentro il contatto di drain, ma può assumere valori negativi dato che in fase di apertura non è bloccato da nulla e quindi si riasserterà al valore originario, inevitabilmente, dopo alcune oscillazioni.

A questo punto per la creazione del modello completo non resta che integrare il modello Verilog-A con i restanti valori parassiti calcolati nella sezione precedente. In Figura 4.13 è mostrato lo schematico in cui viene utilizzato il modulo *CANTILEVER\_MEMS* e tutti gli altri elementi elettrici parassiti che caratterizzano il dispositivo. Si possono notare tutte le capacità di accoppiamento con il substrato che hanno un morsetto sulla porta relativa all'elettrodo a cui si riferiscono e l'altro verso massa, la capacità d'accoppiamento  $C_{gd}$  posizionata tra la porta di gate e quella di drain e le tre resistenze relative ai tre elettrodi che partono dalle tre porte definite nel modulo verilog-A e terminano sui pin che rappresenteranno le tre porte del nostro dispositivo reale ( $P_{source}$ ,  $P_{gate}$  e  $P_{drain}$ ).

Nel prossimo capitolo verrà istanziato questo modello per effettuare alcuni tipi di simulazioni. I risultati ottenuti e le forme d'onda in uscita saranno confrontati con quelli attesi e con alcuni risultati sperimentali già disponibili.



## Capitolo 5

# Risultati sperimentali e simulazioni

*“Terence: Tu lo reggi il whisky?”*

*Bud: Beh, i primi due galloni sì, al terzo divento nostalgico e ci può scappare la lite... E tu lo reggi?”*

*Terence: Eh, che domande, io sono stato allattato a whisky!”*

I due superpiedi quasi piatti

Per valutare l’accuratezza del modello simulativo dell’interruttore NEM creato nel capitolo 4, sono state fornite alcune immagini contenenti risultati sperimentali relativi al reale dispositivo NEM di lunghezza  $29.5\mu m$ , analogo a quello disegnato nel layout di figura 4.8 e utilizzato per il calcolo dei parassiti. Partendo da questi valori lo scopo è quello di sviluppare molteplici simulazioni riguardanti sia il singolo interruttore (analisi di tipo DC e di tipo transitorio da confrontare con i risultati sperimentali forniti) sia un inverter costituito da due interruttori.

In questo capitolo perciò vengono prima mostrati e spiegati i risultati sperimentali non ottenuti personalmente ma forniti da collaboratori del progetto NEMIAC, in seguito vengono sviluppate queste simulazioni nel dettaglio ed analizzati i risultati simulativi ottenuti.

### 5.1 Documentazione fornita

In figura 5.1 è mostrata un immagine dell’interruttore NEM di lunghezza  $29.5\mu m$  fisicamente realizzato e testato. Questa grandezza, che definisce il dispositivo, indica solamente la lunghezza orizzontale del braccetto mobile e non le sue dimensioni totali.

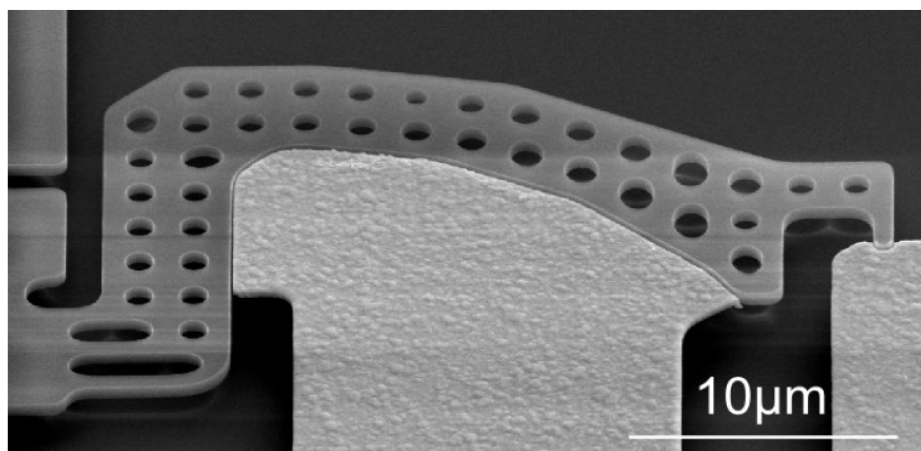


Figura 5.1: Immagine SEM di un interruttore NEM lungo  $29.5\mu\text{m}$ [4].

La fotografia è ottenuta attraverso un microscopio elettronico a scansione, comunemente indicato con l'acronimo SEM (*Scanning Electron Microscope*). Il microscopio non sfrutta la luce come sorgente di radiazioni ma un fascio di elettroni che colpiscono il campione. Dal campione colpito, vengono emesse numerose particelle fra le quali gli elettroni secondari. Questi elettroni vengono rilevati da uno speciale rivelatore e convertiti in impulsi elettrici. Il fascio non è fisso ma viene fatto scandire: viene cioè fatto passare sul campione in una zona rettangolare, riga per riga, in sequenza. Il segnale degli elettroni secondari viene mandato ad uno schermo (un monitor) dove viene eseguita una scansione analogica. Il risultato è un'immagine in bianco e nero che ha caratteristiche simili a quelle di una normale immagine fotografica. Per questa ragione le immagini SEM sono immediatamente intelligibili ed intuitive da comprendere[30].

Si possono notare l'elettrodo di drain sulla destra, quello di gate centrale, e il source che inizia a sinistra con la parte ancorata al substrato e prosegue con il braccetto sospeso per aria che gira attorno all'elettrodo di gate e termina con una punta in prossimità dell'elettrodo di drain. L'interruttore in figura è in posizione di riposo, ovvero aperto e il cantilever è costantemente distanziato da un gap d'aria di  $100\text{nm}$  dal gate, mentre la punta è divisa dal drain da  $70\text{nm}$  d'aria (appena percettibile visivamente dall'immagine in figura 5.1). Confrontando questa fotografia reale del dispositivo con il layout in figura 4.8, utilizzato per il calcolo dei parassiti, si può concludere che il disegno realizzato tramite software è molto simile alla realtà.

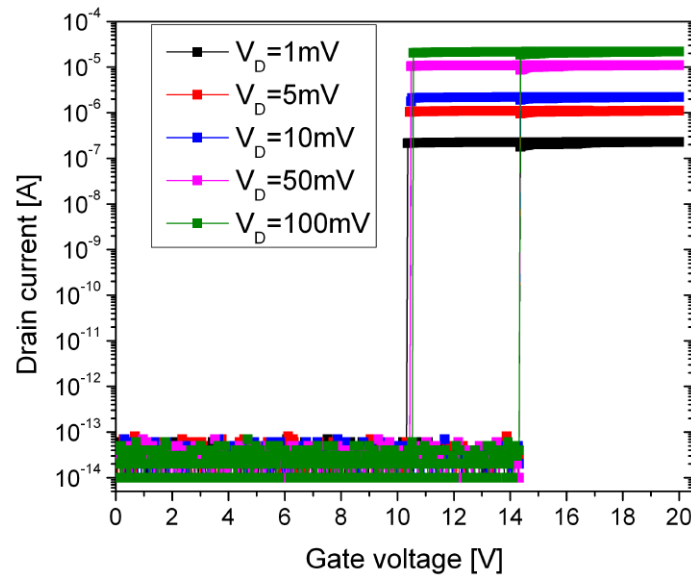


Figura 5.2: Caratteristica statica I-V reale di un interruttore a cantilever curvo di lunghezza  $29.5\mu\text{m}$ [4].

Sono stati svolti dei test sperimentali su questo singolo interruttore ed i risultati sono mostrati nella figura 5.2 e nella figura 5.3.

In figura 5.2 si può osservare la caratteristica statica I-V dell'interruttore: sull'asse delle ascisse è rappresentata la tensione di gate in scala lineare, che viene fatta variare da 0 a 20 Volt; mentre sull'asse delle ordinate è rappresentata la corrente di drain in scala logaritmica. La curva viene rappresentata per diversi valori di tensione forzata sul drain, ognuno caratterizzato da un proprio colore, come spiegato nella didascalia in alto a sinistra. In tutto ciò il source viene considerato collegato a massa (o ad una bassa resistenza).

Le principali osservazioni che si possono fare sono a riguardo del comportamento ad isteresi del dispositivo, e a riguardo della corrente di drain nello stato di on e in quello di off. Il dispositivo si aziona quando viene applicata una differenza di potenziale tra gate e source pari o maggiore della tensione di *pull-in* che vale circa 14,3 Volt e si riapre solamente quando questa differenza di potenziale scende al di sotto della tensione di *pull-out* di circa 10 Volt.

Per quanto riguarda la corrente di drain nello stato di on, prendiamo in considerazione solamente la curva rossa in cui il drain è forzato ad una tensione di  $5\text{mV}$  e la corrente che ne corrisponde è nell'intorno del  $1\mu\text{A}$ . Dividendo la tensione di drain per la sua corrente si può ottenere la resistenza ohmica

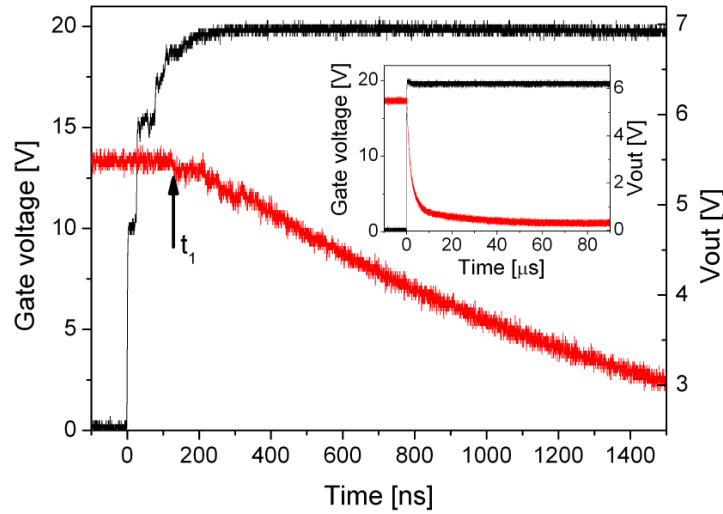


Figura 5.3: Transitorio di scarica dell'interruttore con drain precaricato a 5 Volt:  $t_1 = 130\text{ns}$  indica il tempo necessario per la chiusura meccanica dello switch [4].

dell' interruttore nello stato di on:

$$R_{on} = \frac{V_D}{I_D} = 5K\Omega \quad (5.1)$$

I  $5K\Omega$  corrispondono alla somma della resistenza di contatto tra la punta del braccetto e l'elettrodo di drain con la resistenza dello strato lungo e stretto di PtSi che ricopre tutte le superfici laterali del source[4]. Questo valore di  $R_{on}$  risulta costante per tutte le curve statiche rappresentate in figura 5.2, ossia per qualsiasi tensione venga forzata al drain poichè la corrente che scorre aumenta dello stesso fattore.

Riguardo alla corrente di drain nello stato di off non si possono fare importanti considerazioni oltre al fatto che essa risulta molto piccola e quella che compare in figura 5.2 rappresenta in realtà la corrente di rumore prodotta dalla strumentazione utilizzata per eseguire le misure.

In figura 5.3 invece sono mostrate le forme d'onda delle tensioni di gate e di drain inerenti al transitorio di scarica del nodo di drain. Il source è collegato alla massa e la scarica avviene attraverso la chiusura dell'interruttore, attivata dalla tensione di gate che viene fatta commutare da 0 a 20 Volt quasi istantaneamente. Il drain è precaricato a 5 Volt ed è collegato ad un carico capacitivo molto grande (dell'ordine del nano Farad) per non farlo scaricare per niente durante il movimento meccanico del braccetto, che come sappiamo determina una corrente parassita attribuibile all'accoppiamento capacitivo tra source e drain. In questo modo il nodo di drain rimane costante fino all'effettiva chiusura meccanica dell'interruttore e dopo segue

l'andamento classico di una scarica con costante di tempo  $\tau = RC$ . L'istante  $t_1$ , mostrato in figura 5.3, rappresenta l'istante in cui il nodo di drain comincia a scaricarsi; il suo valore di  $130ns$  indica dunque l'effettivo tempo che trascorre per il completo movimento meccanico di chiusura dell'interruttore, ovvero dalla sua posizione di riposo (aperto), alla posizione in cui la punta del cantilever tocca l'elettrodo di drain.

## 5.2 Simulazione in DC

La figura 5.4 mostra lo schematico completo rappresentato in Cadence per effettuare un'analisi in DC del singolo interruttore. Per prima cosa bisogna spiegare che il riquadro giallo racchiude quello che è il modello completo dell'interruttore NEM che abbiamo modellizzato nel capitolo 4. Per creare l'istanza di questo modello, da poter richiamare in altre simulazioni senza dover ogni volta ricostruire tutto lo schematico, è stato preso in considerazione il riquadro giallo e definito un nuovo scatolotto denominato *REAL\_NEMS*. Esso dunque, racchiude in sé il modello completo dell'interruttore e presenta solamente quattro porte che corrispondono ai quattro pin che escono fuori dal riquadro giallo: *P\_source*, *P\_gate*, *P\_drain* e *disp*. Le prime tre rappresentano i nuovi terminali del dispositivo, mentre *disp* è collegata direttamente alla porta d'uscita del modello verilog che indica lo spostamento del cantilever rispetto alla sua posizione originale.

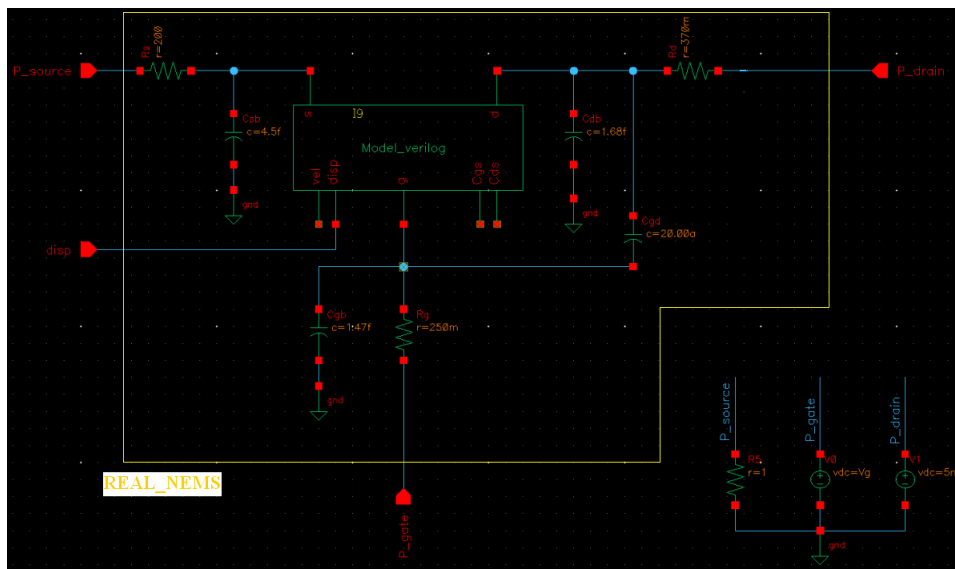


Figura 5.4: Schematico in Cadence per l'analisi in DC dell'interruttore NEM.

Nelle prossime simulazioni, analizzate nei paragrafi successivi, verrà implementata direttamente l'istanza *REAL\_NEMS*, rendendo così molto più veloce la realizzazione di schematici e semplificando parecchio i disegni circuitali.

Tornando allo schematico di figura 5.4 si possono notare i generatori e i componenti collegati ai pin dell'interruttore:

- al gate un generatore di tensione in DC, parametrizzato per farlo variare in un range di valori di nostro interesse;
- al drain un generatore di tensione in DC del valore di 5mV;
- al source una resistenza di 1 $\Omega$ ;
- disp è lasciato flottante.

Questi valori sono analoghi a quelli utilizzati sperimentalmente per ottenere i risultati in figura 5.2.

L'ambiente Cadence permette di scegliere il simulatore da utilizzare e nel nostro caso è stato scelto il simulatore SPECTRE perchè ha un'opzione particolare per le analisi in DC, che si chiama *Hysteresis Sweep*, la quale permette facilmente di mettere in evidenza il comportamento ad isteresi qualora fosse presente nel funzionamento del dispositivo. Sempre attraverso le opzioni del simulatore si decide di far variare il valore del generatore in DC, collegato al gate, da -20 Volt a +20 Volt per mettere in evidenza il comportamento simmetrico. Infine sono state selezionate le uscite di cui si vuole visualizzare il loro andamento rispetto alla variazione della tensione di attuazione del dispositivo (tensione di gate). Queste grandezze da monitorare, rappresentate in figura 5.5, sono la corrente che scorre tra drain e source (in alto) e lo spostamento del braccetto mobile (in basso).

Nell'asse delle ascisse, in comune per le due curve, è rappresentata la tensione di gate nel range di variazione da noi impostato nelle opzioni. L'impostazione *Hysteresis Sweep* specifica al simulatore di fare un'analisi in DC per tutti i valori del parametro che si desidera far variare, sia nel verso positivo che in quello negativo, ovvero in un caso partendo dal valore minimo ( $Vg = -20Volt$ ) crescendo fino al valore massimo ( $Vg = +20Volt$ ) mentre nell'altro caso partendo dal valore più alto ( $Vg = +20Volt$ ) e scendendo fino al valore minimo ( $Vg = -20Volt$ ), e disegnando i due andamenti così ottenuti sullo stesso grafico.

Una prima osservazione da fare sulle forme d'onda d'uscita è che sono simmetriche rispetto al valore  $Vg = 0$ , questo indica che il comportamento del nostro interruttore in funzione della differenza di potenziale tra il morsetto

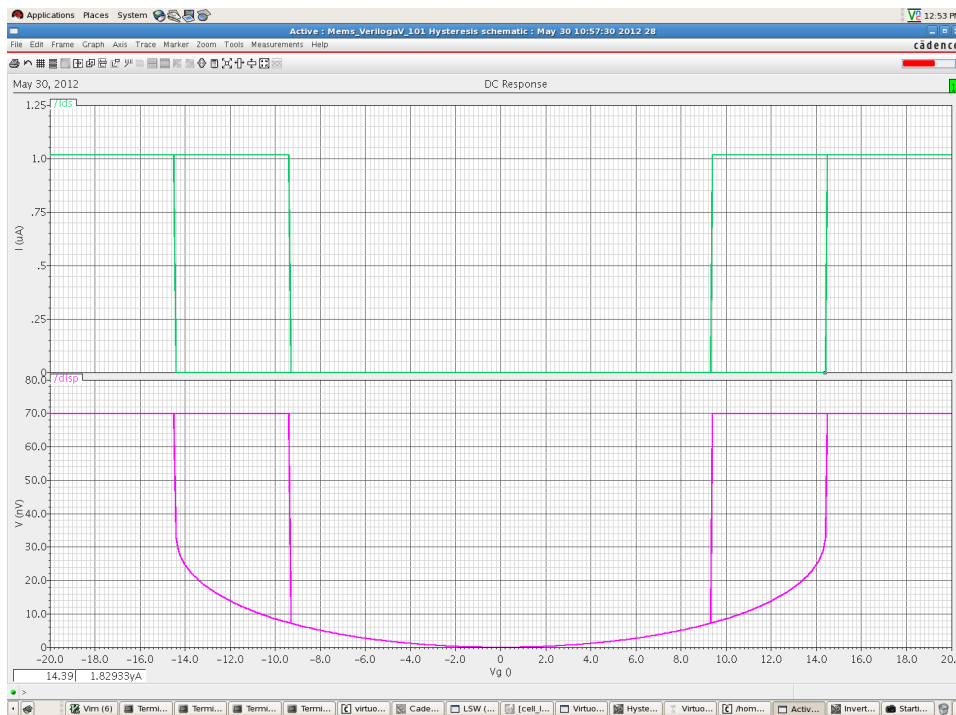


Figura 5.5: Forme d'onda in uscita all'analisi in DC dell'interruttore NEM.

di gate e quello di source è identico sia per polarità positive che per polarità negative associate all'elettrodo di attuazione. Questo risultato è facilmente spiegabile fisicamente poichè, una qualsiasi differenza di potenziale (sia positiva che negativa) tra due morsetti implica una forza elettrostatica di attrazione, nel nostro caso l'elettrodo di attuazione è ancorato al substrato perciò, indipendentemente dal segno della differenza di potenziale tra gate e source, sarà il braccetto mobile che verrà attirato verso il gate, effettuando la chiusura dell'interruttore.

Per semplicità, ora concentriamoci solamente sui valori di  $V_g$  da 0 Volt a 20 Volt: l'andamento più esterno rappresenta il passaggio dello switch da aperto a chiuso, viceversa quello più interno rappresenta il passaggio da chiuso ad aperto. A questo punto è facile visualizzare dai grafici tutti i valori di nostro interesse: la tensione di *pull-in*, la tensione di *pull-out*, il valore della corrente di drain nello stato di on, lo spostamento critico del braccetto dopo il quale l'interruttore si chiude bruscamente.

Nella tabella seguente vengono elencati questi valori e confrontati con i corrispondenti valori calcolati sperimentalmente:

### 5.3. Transitorio di scarica

Grandezza misurata	Valore sperimentale	Valore simulato	Errore %
$V_{pull-in}$	14.3 V	14.4 V	0.7%
$V_{pull-out}$	10 V	9.4 V	6%
$I_{ds_{on}}$	1 $\mu$ A	1.017 $\mu$ A	1.7%
$disp_{critico}$	$g_0/3 = 33.\bar{3}$ nm	33 nm	1%

Osservando l'ultima colonna, in cui sono indicati gli errori percentuali di queste grandezze simulate rispetto al loro valore reale, si possono fare considerazioni a riguardo della precisione del modello: sono tutti valori piccoli ad eccezione di quello relativo alla tensione di *pull-out* che si discosta del 6%. Questo valore non è del tutto trascurabile e andrebbe migliorato modificando alcune equazioni nel codice Verilog-A. La cosa più importante è che anche in questo caso la resistenza nello stato di on ( $V_d/I_{ds_{on}}$ ) risulta di circa  $5K\Omega$  poichè la tensione di drain è forzata a  $5mV$  mentre la corrente è circa  $1\mu A$ . Come già accennato in precedenza  $R_{on}$  è modellizzata come la somma della resistenza del braccetto,  $R_{beam}$  (valore estratto dal layout), e della resistenza di contatto calcolata attraverso espressioni matematiche inserite nel modello Verilog-A. Si può quindi concludere che la resistenza di contatto, che in genere rappresenta una delle problematiche più ostiche da affrontare, in questo caso specifico è stata descritta correttamente.

In definitiva quindi, confrontando la curva della corrente in figura 5.5 con la curva in rosso nella figura 5.2 (entrambe hanno la tensione di drain forzata a  $5mV$ ), si può affermare che il modello rispecchia molto fedelmente le prestazioni in DC del dispositivo reale.

### 5.3 Transitorio di scarica

In questo paragrafo viene analizzato il transitorio di scarica di un interruttore NEM con il drain precaricato, che si scarica verso il source (collegato a massa) attraverso la chiusura del braccetto (pilotato dalla tensione di gate) che mette in contatto questi due terminali creando il 'canale'. Al drain viene collegata una capacità di carico,  $C_{load}$ , e vengono eseguite due simulazioni per rappresentare i due casi limite: la prima con valore di  $C_{load}$  molto alto, dell'ordine del nano Farad, per confrontarla con i risultati sperimentali mostrati in figura 5.3; la seconda con  $C_{load}$  molto piccolo, dell'ordine del femto Farad, per visualizzare tutti gli effetti parassiti delle capacità e resistenze inserite nel modello.

Per entrambe le simulazioni lo schematico è lo stesso ed è rappresentato in figura 5.6: è stato implementato il dispositivo *REAL\_NEMS*, che al suo interno contiene il modello comportamentale e tutti i parametri parassiti. Lo



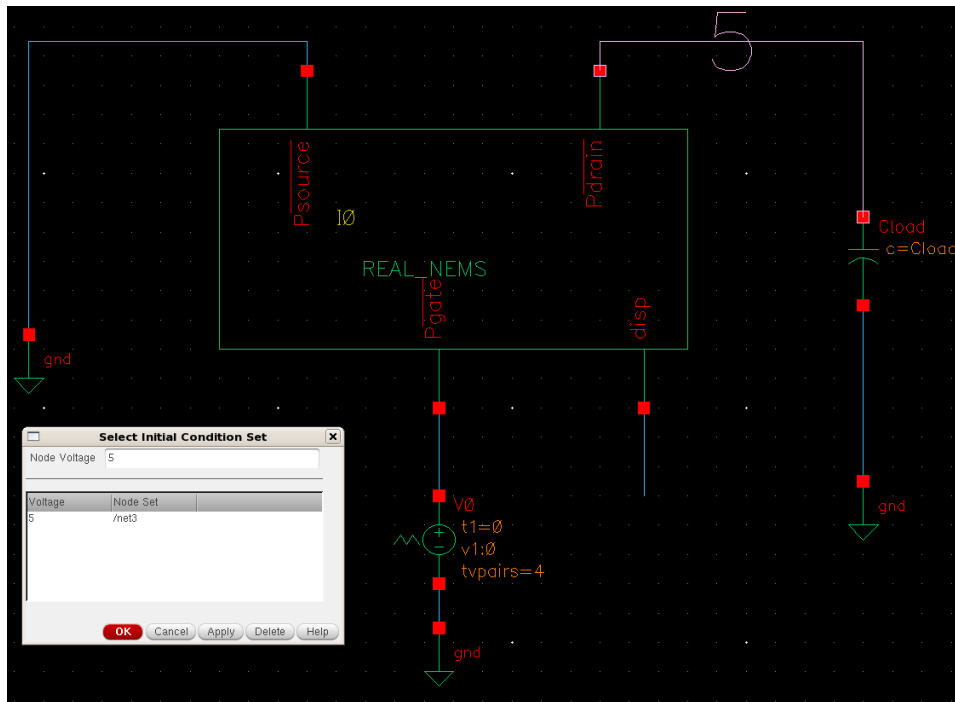


Figura 5.6: Schematico dell'analisi in transitorio della scarica del drain.

schematico risulta così molto semplice e istantaneo da realizzare, presenta infatti un singolo dispositivo con quattro porte:

- alla  $\overline{Pgate}$  è collegato un generatore di tensione a gradino, che commuta da 0 Volt a 20 Volt in 10 ns;
- alla  $\overline{Pdrain}$  è collegata la capacità  $Cload$  con valore parametrizzato per assegnargli due valori differenti: prima  $1nF$  e poi  $1fF$ ;
- alla  $\overline{Psource}$  è collegata la massa;
- $disp$  è lasciato flottante.

Attraverso le impostazioni di simulazione si possono forzare le condizioni iniziali, proprio come è mostrato nel riquadro *Select Initial Condition Set* dove il nodo di drain viene precaricato a 5 Volt.

Analizziamo per primo il caso in cui  $Cload = 1nF$  le cui forme d'onda sono mostrate in figura 5.7. In alto è rappresentato, in nero, il gradino di tensione che viene passato in ingresso al gate, mentre sotto, in rosso, è rappresentata la tensione al nodo di drain. Nel momento in cui la tensione passa da 0 a 20 Volt inizia la chiusura meccanica dell'interruttore. In questa fase sono presenti correnti parassite dovute all'accoppiamento capacitivo tra source e

### 5.3. Transitorio di scarica

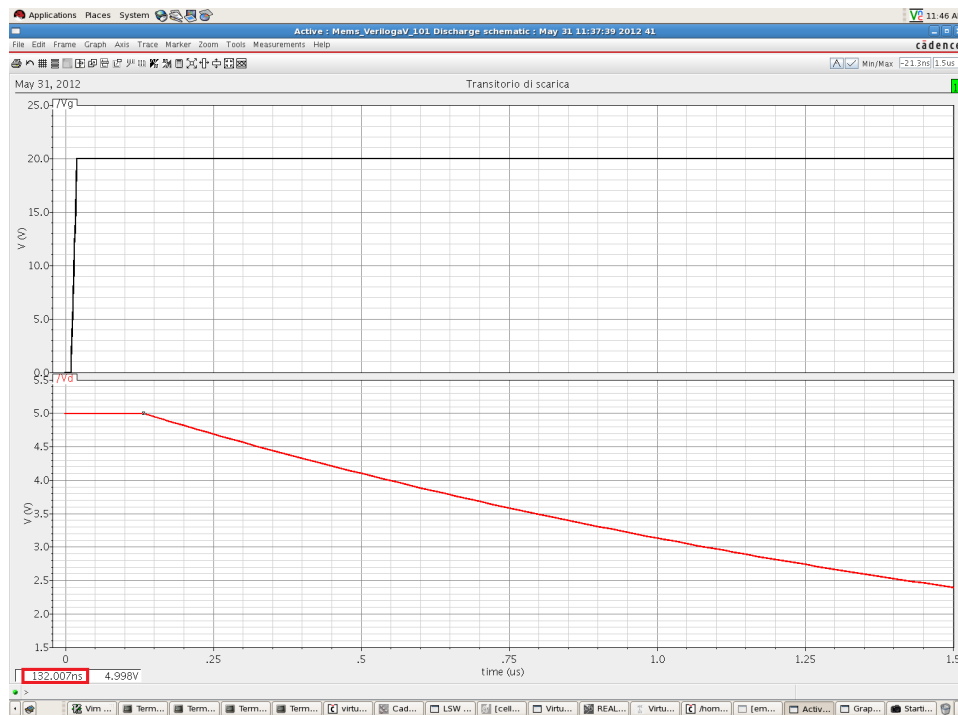


Figura 5.7: Scarica del drain con carico enorme,  $Cload = 1nF$ .

drain ma, dato che  $Cload$  è molto grande, risultano trascurabili ed il nodo di drain rimane costantemente a 5 Volt. Non appena il movimento meccanico è concluso e quindi il source e il drain si toccano fisicamente allora comincia una scarica del nodo d'uscita con costante di tempo  $\tau = R_{on} \times Cload$ .

In figura 5.7, nella parte in basso a sinistra, è stato cerchiato in rosso l'istante di tempo in cui il nodo di drain inizia a scaricarsi, che coincide esattamente con il ritardo meccanico del nostro dispositivo: in questo esempio impiega 120ns per chiudersi, 130ns dai quali vanno sottratti i 10ns necessari affinché  $Vg$  raggiunga la tensione di soglia.. E' fondamentale la conoscenza di questo tempo perchè, come è già stato detto nel capitolo 2, è quello che contribuisce maggiormente al ritardo totale nelle tecnologie che sfruttano questo tipo di dispositivi.

Confrontando i risultati della simulazione con i valori ottenuti sperimentalmente, mostrati in figura 5.3, si può affermare che, rumore a parte, le curve sono pressochè identiche ed il tempo meccanico di chiusura si discosta, nei due casi, solamente di qualche nano secondo, errore del tutto trascurabile.

Ora invece osserviamo i risultati della simulazione in cui  $Cload = 1fF$ , mostrati in figura 5.8. A sinistra, partendo dall'alto, sono rappresentate: la tensione di gate; la tensione di drain; lo spostamento meccanico del braccet-

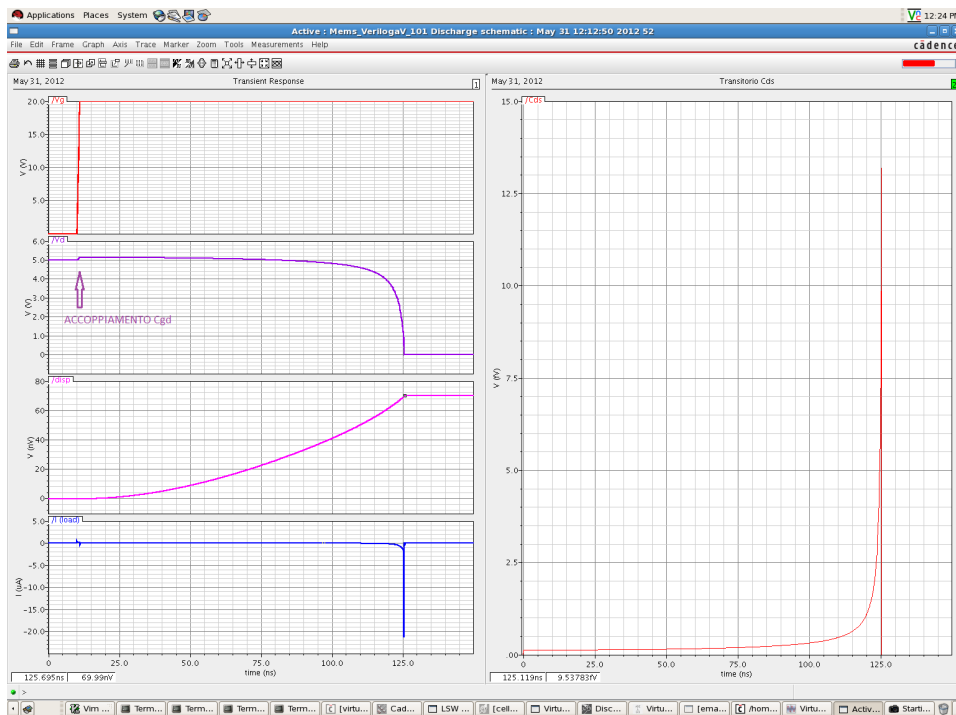


Figura 5.8: Scarica del drain con carico piccolo,  $C_{load} = 1fF$ .

to rispetto alla sua posizione originale; la corrente che scorre nella capacità di carico. A destra invece è rappresentato l'andamento della capacità d'accoppiamento parassita tra source e drain che, come si può notare, varia proporzionalmente allo spostamento del cantilever.

Il gradino di tensione in ingresso al gate è lo stesso di prima, mentre la tensione d'uscita, ovvero quella di drain, ora varia in modo completamente differente perchè  $C_{load}$  è molto piccola e qualsiasi corrente parassita non è più trascurabile, ma bensì determina il comportamento dell'interruttore. In questo caso ci sono due accoppiamenti principali da tenere in considerazione: tra drain e gate, tra drain e source.

Il primo determina un leggero aumento di 0.14 Volt del nodo d'uscita appena la tensione di gate varia repentinamente da 0 a 20 Volt (indicato in figura con la scritta accoppiamento Cgd). Approssimando tutte le resistenze in gioco a dei cortocircuiti visti i loro valori inferiori all'  $1\Omega$ , questo comportamento è dovuto al fatto che dal nodo di gate in cui viene applicata  $V_g$ , è presente un percorso capacitivo verso massa formato dalla serie delle capacità  $C_{gd}$  e  $(C_{db} + C_{load})$  (che risultano in parallelo verso massa). Il nodo intermedio è quello d'uscita, perciò per calcolare questo contributo di accoppiamento

### 5.3. Transitorio di scarica

---

basta eseguire una semplice partizione capacitiva:

$$\Delta V_d = V_g \frac{C_{gd}}{C_{gd} + C_{db} + C_{load}} = 20V \frac{0.02fF}{0.02fF + 1.68fF + 1fF} \cong 0.14V \quad (5.2)$$

Il secondo accoppiamento invece, determina una corrente capacitiva che è sufficiente a scaricare completamente il drain durante la chiusura meccanica. Infatti osservando attentamente lo spostamento del braccetto (curva fucsia), quando questo giunge a 70nm, la tensione di drain (curva viola) risulta pari a zero, ovvero l'uscita si è completamente scaricata. E' un comportamento radicalmente opposto a quello con  $C_{load}$  enorme, in cui invece il nodo d'uscita inizia a scaricarsi solamente quando l'interruttore è meccanicamente chiuso.

Per capire meglio questa corrente di scarica basta considerare le leggi elettriche che governano questo condensatore. La carica elettrica ai suoi capi vale:

$$Q = C_{ds}V_{ds} \quad (5.3)$$

mentre la corrente che scorre nella capacità non è altro che la derivata rispetto al tempo della carica elettrica. Ma dato che in questo caso il valore del condensatore non è costante, ma bensì dipende dallo spostamento del braccetto, anche lui varierà rispetto al tempo risultando dominante nel calcolo della corrente:

$$I_{ds} = \frac{dQ}{dt} = \frac{d(C_{ds}V_{ds})}{dt} = \frac{dC_{ds}}{dt}V_{ds} + C_{ds}\frac{dV_{ds}}{dt} \quad (5.4)$$

La curva di destra in figura 5.8 mostra appunto come varia rapidamente la capacità  $C_{ds}$  rispetto al tempo (rappresentato sull'asse delle ascisse), soprattutto in prossimità dell'effettiva chiusura meccanica dell'interruttore. Appena la chiusura è avvenuta la  $C_{ds}$  si riassume ad un valore costante molto basso. Il nodo d'uscita è collegato ad una capacità e dunque la tensione ai suoi capi varierà secondo l'equazione:

$$\Delta V_d = \int \frac{I_{ds}}{C_{load}} dt \quad (5.5)$$

dove  $I_{ds}$ , come abbiamo appena visto, varia rispetto al tempo mentre  $C_{load}$  è costante. Se il carico in uscita è piccolo, questa corrente, presente soltanto durante il transitorio di chiusura meccanica, può determinare la scarica parziale del nodo d'uscita, o addirittura totale come accade nel nostro caso. Nella prima simulazione eseguita invece,  $C_{load}$  era estremamente grande e dunque il nodo d'uscita non risentiva minimamente di questa corrente di scarica.

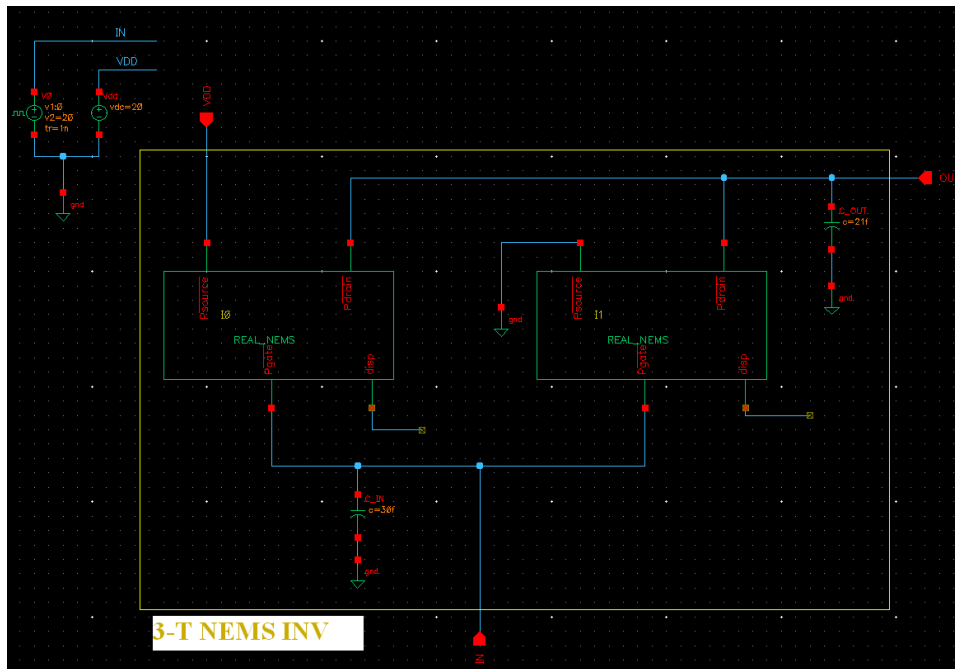


Figura 5.9: Schematico di un inverter formato da interruttori NEM.

## 5.4 Simulazione Inverter

Infine, è stata eseguita una simulazione dell'inverter per controllare se la risposta in transitorio del dispositivo esegue efficacemente l'inversione del segnale in ingresso, e per controllare il movimento dei due cantilever sia in fase di chiusura che in fase di apertura.

Lo schematico dell'inverter mostrato in figura 5.9 è stato realizzato in una configurazione analoga a quella CMOS, ovvero formato da due interruttori che hanno il loro gate e il loro drain in comune (nodi di IN e di OUT rispettivamente), mentre i due source, uno è collegato all'alimentazione (VDD) e l'altro a massa (gnd). I valori delle capacità  $C_{IN}$  e  $C_{OUT}$  sono state estratte dal layout dell'inverter, presentato nel paragrafo 4.1.2 in figura 4.3, tramite il flusso di Star-RCXT. Questi valori indicano rispettivamente l'accoppiamento capacitivo tra la net IN e il substrato, e tra la net OUT e il substrato. Ai risultati ottenuti dall'estrazione bisogna fare attenzione a sottrarre due  $C_{gb}$  dalla  $C_{IN}$  e due  $C_{db}$  dalla  $C_{OUT}$  poichè esse sono già incluse nei due interruttori rappresentati nello schematico dalle scatole *REAL\_NEMS*.

In questo schematico è stata cerchiata in giallo la parte utilizzata per creare l'istanza dell'inverter, chiamato 3 – T NEMS INV. L'obiettivo futuro è

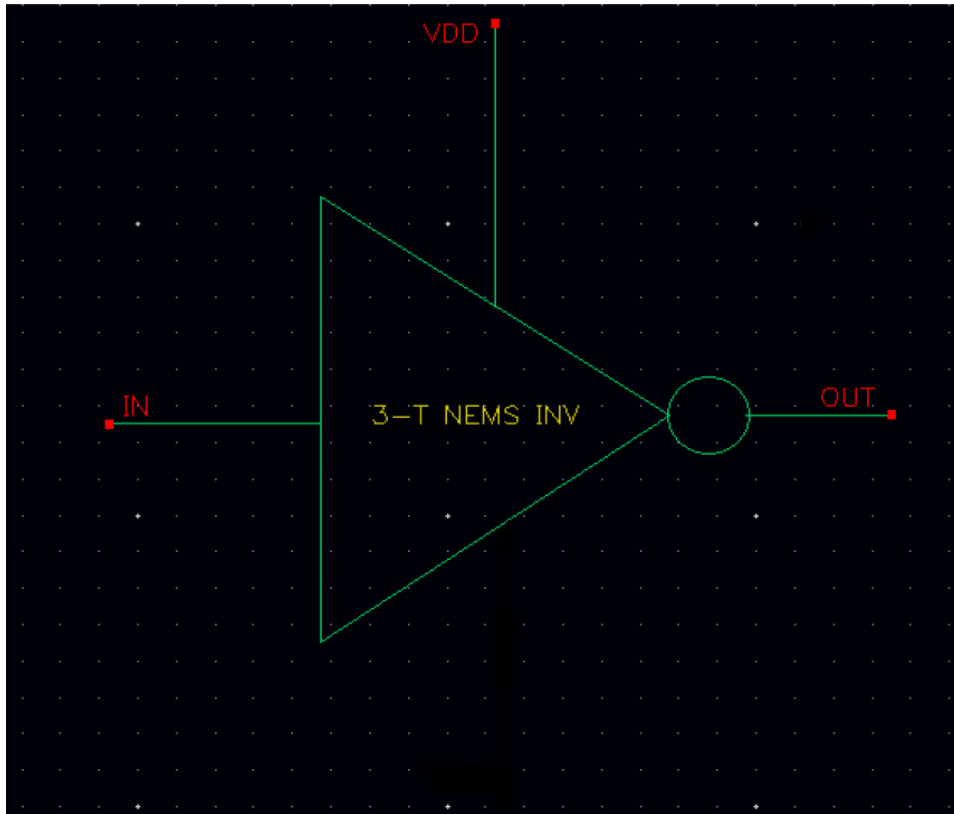


Figura 5.10: Simbolo di un inverter in tecnologia NEM.

infatti quello di modellizzare le principali porte logiche realizzate in tecnologia NEM e creare una libreria che le contenga tutte per poterle richiamare con estrema facilità in schematici più complessi inserendo solamente il loro simbolo. Il simbolo per l'inverter che è stato appena creato è mostrato in figura 5.10. Esso presenta soltanto tre porte: IN, OUT e VDD (l'alimentazione negativa è la massa perciò non compare).

Ora si torni a osservare la figura 5.9 e focalizziamo l'attenzione su quali elementi circuitali sono stati collegati a queste tre porte per eseguire le analisi di nostro interesse. Al nodo d'ingresso dell'inverter, IN, è stato collegato un generatore di tensione ad onda quadra con le seguenti caratteristiche:

- commuta tra due valori di tensione: 0 Volt e 20 Volt;
- ha periodo di  $5\mu s$  e *duty-cycle* del 50%.
- $T_{rise}$  e  $T_{fall}$  valgono  $1ns$ .

Al nodo di alimentazione, VDD, è stato collegato un generatore di tensione in DC del valore di 20 Volt. Al nodo d'uscita invece non è stata inserita

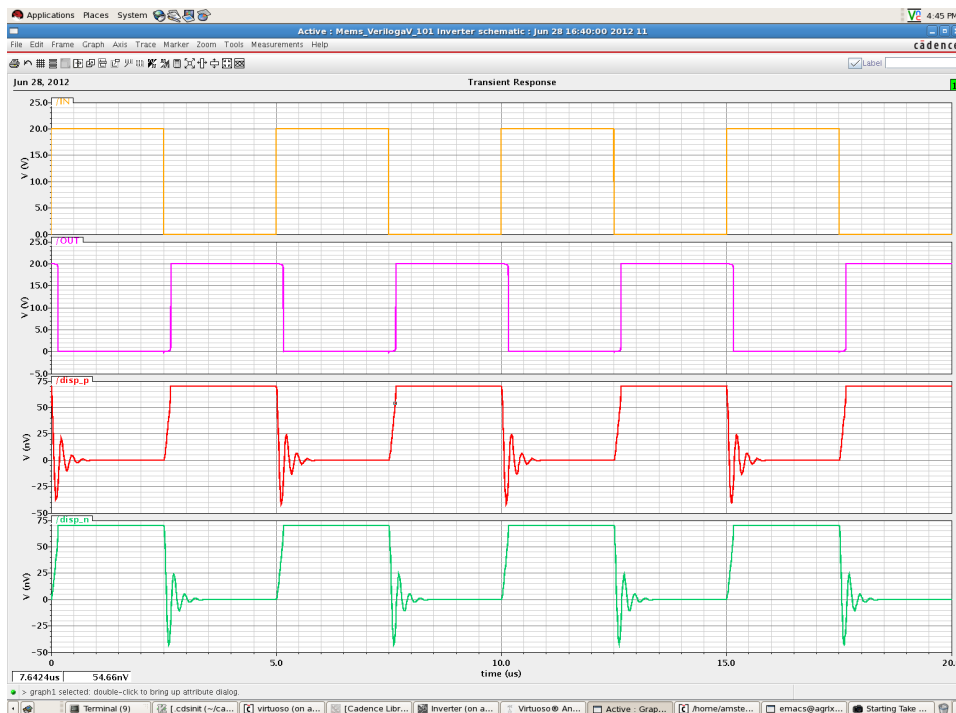


Figura 5.11: Forme d'onda in uscita dall'inverter NEM: le tensioni d'ingresso e d'uscita, lo spostamento dei braccetti dei due interruttori.

nessuna capacità o resistenza, ma è già presente internamente all'inverter la capacità parassita  $C_{OUT}$  che funge da carico capacitivo.

E' stata quindi eseguita un'analisi in transitorio tra l'istante 0 e  $20\mu s$ , le cui principali forme d'onda prodotte in uscita dal simulatore sono riportate in figura 5.11.

Partendo dall'alto sono rappresentate: in arancione la tensione del generatore in ingresso, in fucsia la tensione al nodo d'uscita, in verde e in rosso lo spostamento del braccetto dei due interruttori.

La tensione d'uscita riproduce bene la tensione del generatore in ingresso invertita e dunque l'inverter svolge correttamente la sua funzione. Le commutazioni sono ripide, e quindi il dispositivo soddisfa uno dei requisiti fondamentali per una buona porta logica, si può però notare un ritardo del segnale d'uscita rispetto al segnale in ingresso. Questo ritardo è uguale sia per il fronte di salita che per quello di discesa, ed è determinato quasi esclusivamente dal ritardo meccanico di chiusura di uno dei due interruttori.

Per quanto riguarda gli spostamenti invece, notiamo che anche in questo caso sono correttamente in controfase: quando uno si chiude l'altro si apre. La fase di apertura è simulata correttamente poichè presenta una serie di

oscillazioni smorzate, necessarie al braccetto per sistemarsi nella sua posizione di equilibrio, mentre la fase di chiusura è simulata in maniera troppo estrema perchè lo spostamento si stabilizza subito a  $70nm$ . E' corretto che non venga mai superato questo valore perchè significherebbe che il braccetto sia penetrato all'interno del drain, ma allo stesso tempo non è nemmeno vero che il contatto tra la punta del source e il drain è così diretto. Si assiste infatti ad almeno un rimbalzo in direzione opposta al drain prima di avere una perfetta chiusura dell'interruttore.

In conclusione si può affermare che l'inverter simulato riproduce bene la funzione d'inversione per cui viene utilizzato ma ad essere pignoli resta da sistemare la corretta chiusura degli interruttori. Questa correzione comportamentale può essere effettuata attraverso alcune modifiche nel file verilogA.



## Capitolo 6

# Conclusioni e sviluppi futuri

*“Marty: E adesso Doc, cosa farai?”*

*Dr. Emmett Brown: Il mio unico dispiacere è di non poter visitare il mio periodo storico preferito, il vecchio West. Ma viaggiare nel tempo è troppo pericoloso. E' meglio che mi dedichi a studiare l'altro grande mistero dell'universo... le donne!”*

Ritorno al futuro, parte II

Il lavoro di tesi, svolto presso l'azienda STMicroelectronics e collocato all'interno di un grande progetto europeo chiamato NEMIAC, ha riguardato la modellizzazione di interruttori elettromeccanici per applicazioni industriali future.

La prima fase della tesi è stata caratterizzata principalmente dallo studio di tutta la documentazione inerente al progetto NEMIAC: l'ambiente industriale in cui si colloca; i principali vantaggi che vuole apportare alle tecnologie già esistenti; i principali obiettivi che il progetto mira a realizzare ed infine si è focalizzata l'attenzione sulla parte del progetto riguardante questo lavoro di tesi.

La diffusione dei sistemi moderni autonomamente sufficienti ha imposto l'esigenza di sviluppare sistemi elettronici che siano a bassissima dissipazione di potenza, ma ora che i classici transistor a semiconduttore hanno raggiunto il limite massimo in termini di risparmio energetico è necessario intraprendere lo studio di altri dispositivi, come ad esempio l'interruttore elettromeccanico. Il progetto prevede anche di realizzare questi interruttori in maniera tale da poterli integrare con i processi CMOS per la realizzazione di sistemi che sfruttino i vantaggi di entrambe le tecnologie. Questi interruttori infatti, ideali per la realizzazione di logiche digitali, garantiscono prestazioni energetiche dinamiche paragonabili a quelle dei CMOS, ma soprattutto garantiscono una

---

dissipazione di energia statica praticamente nulla.

Lo scopo di questa tesi è stato quello di collaborare per creare un modello elettromeccanico di un dispositivo NEM che sia il più verosimile possibile, da poter permettere facilmente la progettazione di complessi sistemi elettromeccanici via software, come accade già per i CMOS.

E' stato inizialmente descritto il dispositivo fisico: i suoi terminali ed i materiali che lo costituiscono. Successivamente è stato effettuato uno studio sul dispositivo a parametri concentrati per rappresentare tutte le forze elettriche e meccaniche che governano la chiusura e l'apertura dell'interruttore. E' stato effettuato uno studio accurato sulle zone di contatto perchè giocano un ruolo fondamentale nel comportamento dell'interruttore.

Il cuore del lavoro è la creazione del modello simulativo dell'interruttore NEM che è stata suddivisa in due fasi.

Nella prima parte è stato realizzato un layout dell'interruttore che rispecchiasse le sue dimensioni reali e che presentasse tutti i materiali che lo compongono, per riuscire ad estrarre da questo disegno tutti i parametri parassiti che presenta il dispositivo. Data la particolare forma del dispositivo e la presenza di molteplici materiali, sia conduttori che dielettrici, sullo stesso piano, è stato creato un ambiente ad hoc al fine di poter lavorare sul dispositivo e caratterizzarlo. Per fare ciò è stato indispensabile basarsi su una tecnologia già esistente, realizzata internamente all' STMicroelectronics, e quindi ben conosciuta e dotata di tutti i file tecnologici necessari per il flusso d'estrazione. Sono stati modificati tre file della tecnologia già esistente: ITF, LVS e *layer map file*. Nell' ITF è stata descritta la sezione trasversale del nostro nuovo dispositivo. Nell' LVS sono state descritte le connessioni tra i vari materiali conduttori. Nel *layer map file* sono stati invece indicati quali fossero i materiali conduttori della tecnologia di partenza da considerare e quali da ignorare.

A questo punto è stato possibile eseguire correttamente il flusso d'estrazione che ha fornito in uscita i valori dei parametri parassiti del layout di partenza. Nella seconda parte è stato fornito il modello comportamentale del dispositivo, descritto in linguaggio VerilogA e realizzato principalmente dai collaboratori dell'IBM. Dopo aver controllato e perfezionato l'effettivo funzionamento del modello si è potuti procedere con la realizzazione del completo modello simulativo e la successiva fase di test.

L'effettiva creazione del reale modello elettromeccanico dell'interruttore si è realizzata integrando in Cadence il modello comportamentale con i valori delle capacità e delle resistenze collocate correttamente: solo alcune inevitabilmente all'interno del codice VerilogA mentre tutte le altre direttamente nello schematico, collegate ai terminali del dispositivo base.

---

Il comportamento simulativo del modello realizzato è stato testato confrontando i risultati di alcune simulazioni con risultati sperimentali precedentemente forniti. Per la precisione sono state svolte tre tipi di simulazioni: una simulazione in DC del singolo interruttore per verificare il comportamento ad isteresi del dispositivo; una simulazione in transitorio per determinare l'andamento di scarica del nodo d'uscita e gli effetti dei parassiti rispetto al funzionamento ideale; una simulazione in transitorio di un inverter realizzato in maniera analoga a quella CMOS, per valutare se eseguisse correttamente la sua funzione d'inversione del segnale d'ingresso e per controllare la chiusura e l'apertura dei due interruttori.

Il lavoro di questa tesi e gli obiettivi prefissati sono stati correttamente portati a termine con risultati del tutto soddisfacenti. Si è visto dalle simulazioni che l'accuratezza del modello realizzato è ottima, i risultati non si discostano mai oltre il 6% rispetto a quelli attesi.

Per quanto riguarda il modello comportamentale è stato dimostrato nel capitolo 5 che è già abbastanza accurato e le poche migliorie da effettuare riguardano il calcolo della tensione di *pull-out* e il movimento del braccetto in fase di chiusura, poichè non è simulato correttamente il rimbalzo contro il drain. Quindi un possibile miglioramento può essere ottenuto perfezionando il codice VerilogA.

Come già detto in precedenza però, questo lavoro è inserito all'interno di un grosso progetto europeo, chiamato Progetto NEMIAC e della durata di 36 mesi. Dunque i capitoli descritti in questa tesi, rappresentano solo una parte di quelli che sono gli obiettivi finali del progetto. Come spiegato nel capitolo 2, le sezioni di lavoro del progetto sono suddivise in *Work Package* e quello relativo alla mia tesi è il WP5. Vediamo perciò di seguito tutte le piccole migliorie da effettuare al modello realizzato fino ad oggi, analizziamo i futuri sviluppi di questa tecnologia ed elenchiamo gli obiettivi dei prossimi mesi prefissati nella tabella di marcia inerente alla WP5.

Nel capitolo 5 sono state effettuate simulazioni che riguardano solamente interruttori NEM a  $29.5\mu m$  ma per verificare in maniera precisa l'accuratezza del modello realizzato sarebbe necessario ricevere anche valori sperimentali riguardanti almeno altri due interruttori NEM di dimensioni scalate, differenti tra loro. A quel punto bisognerebbe variare solamente i parametri geometrici nel modello comportamentale e vedere se i risultati delle simulazioni risultano simili a quelli reali. L'obiettivo è infatti quello di realizzare un modello universale, che vada bene per qualsiasi tecnologia di interruttori NEM e che sia facilmente adattabile ad esse, modificando soltanto le grandezze geometriche e i valori dei parassiti.

Inoltre bisognerà realizzare un modello simulativo del dispositivo NEM a

---

quattro terminali, introdotto nel paragrafo 3.3, eseguendo gli stessi passaggi svolti e spiegati in questa tesi

L'obiettivo finale è quello di creare una piattaforma software per lo sviluppo e la caratterizzazione di topologie circuitali complesse basate dispositivi NEM, eliminando il problema di doversi per forza attaccare ad un'altra tecnologia CMOS. Per cui il prossimo passo consiste nel creare un design kit partendo da zero, che contenga tutti i file tecnologici necessari e che sia completamente autonomo, in maniera tale da poter essere perfettamente utilizzato anche esternamente all'azienda STMicroelectronics.

## Appendice A

# File ITF (Interconnect Technology Format)

*TECHNOLOGY = NEMS*

*GLOBAL\_TEMPERATURE = 25*

*DIELECTRIC AIR3 {THICKNESS = 2 ER = 1}*

*\*\*Conduttore inutilizzato nel layout. Serve a definire una via, anch'essa inutilizzata ma necessaria per il flusso d'estrazione\*\**

*CONDUCTOR ALUCAP\_FINAL {THICKNESS = 1.440 WMIN = 3.000 SMIN = 3.000 RPSQ = 0.020}*

*DIELECTRIC AIR2 {THICKNESS = 1 ER = 1}*

*CONDUCTOR ME6\_FINAL {THICKNESS = 0.1 WMIN = 0.02 SMIN = 0.060 RPSQ = 0.275}*

*DIELECTRIC AIR1 {THICKNESS = 0.60 ER = 1 rbrace*

*\*\*Al: rosso su layout. Lo divido in due conduttori: uno che scende nel buco ed e' questo e l'altro che e' ME6\_FINAL\*\**

*CONDUCTOR ME5\_FINAL {THICKNESS = 0.6 WMIN = 0.02 SMIN = 0.060 RPSQ = 0.046}*

*\*\*PtSi: rosa\*\**

*CONDUCTOR ME4\_FINAL {THICKNESS = 0.6 WMIN = 0.02*

---

*SMIN = 0.060 RPSQ = 1}*

*\*\*SOI : blu. E' molto piu' resistivo del PtSi\*\**

*CONDUCTOR ME3\_FINAL {THICKNESS = 0.6 WMIN = 0.02  
SMIN = 0.060 RPSQ = 220000}*

*\*\*Pt : giallo su disegno\*\**

*CONDUCTOR ME2\_FINAL {THICKNESS = 0.5 WMIN = 0.5  
SMIN = 0.060 RPSQ = 0.21}*

*DIELECTRIC AIR {THICKNESS = 2.999 MEASURED\_FROM =  
Base\_Dielectric ER = 1}*

*DIELECTRIC CONFORMAL\_SiO2 {THICKNESS = 2.299  
MEASURED\_FROM = TOP\_OF\_CHIP TW\_T = 2.999 ER = 3.9}*

*\*\*Conduttore dummy disegnato su layout per poter descrivere SiO2 conforme\*\**

*CONDUCTOR ME1\_FINAL {THICKNESS = 0.001 WMIN = 2  
SMIN = 0.060 RPSQ = 1000}*

*DIELECTRIC Base\_Dielectric {THICKNESS = 0.001 ER = 3.9}*

*VIA V11\_FINAL {FROM = ME1\_FINAL TO = ALUCAP\_FINAL  
AREA = 0.1296 RPV = 1.5}*



---

out disp;  
electrical disp;  
out vel;  
electrical vel;  
out Cgs;  
electrical Cgs;  
out Cds;  
electrical Cds;

kinematic z, velocity;

// Dimensions

parameter real g\_0 = 100e-9 from (0:inf);  
parameter real g\_d = 75e-9 from (0:inf);  
parameter real l = 29.5e-6 from (0:inf);  
parameter real t = 600e-9 from (0:inf);  
parameter real w = 4e-6 from (0:inf);  
parameter real W\_c = 0.2e-6 from (0:inf);  
parameter real W = 20e-6 from (0:inf);  
parameter real x = 10e-6 from (0:inf);  
parameter real R\_constant = 12.9e3 from [0:inf];  
// Material parameters: beam (gold)  
parameter real rho = 1.3e4 from (0:inf);  
parameter real E = 163e9 from (0:inf);  
// Material parameters: gas (air):  
parameter real lambda = 1.5e-7 from [0:inf];  
parameter real mu = 1.845e-5 from (0:inf);  
// van der Waals and nuclear force coefficients  
parameter real c\_1 = 10e-80 from [0:inf];  
parameter real c\_2 = 10e-75 from [0:inf];

parameter real C\_ds0 = 132e-18; //Extracted from layout  
parameter real C\_gs0 = 3e-15; //Extracted from layout  
parameter real R\_beam = 1660; //Extracted from layout  
parameter real gain = 1.0;  
parameter real roughness\_factor = 0.001;  
parameter real k\_stiff = 1.0e+3;  
parameter real imax = 1;  
parameter real g\_b = 100.0e-9 from (0:inf);  
// Electrical parameters



---

```

parameter real R_gap = 1.0E15 from [0:inf);
parameter real GF = 1.0E20 from [0:inf);
parameter real GFE = 1.0 from [0:inf);
parameter real g_f = 0.99 from [0:inf);
// Contact Force Parameters
parameter real k_c = 1.0e+3;
parameter real dg_c = 0.0;
parameter real delta_z = 1.0e-10;
parameter real ag = 1.0e-04;

(* no_rigid_switch_branch *) analog begin
@ ( initial_step ) begin
A=l*t;
m=0.4*rho*1*t*w;
k_old=E*pow(w,3)*t/(4*pow(l,3));
V_H=sqrt(2*k_old*(g_d)*pow((g_0-g_d),2)/('P_EPS0*A));
V_P=sqrt(8*k_old*pow(g_0,3)/(27*A*'P_EPS0));
f_m_0=sqrt(k_old/m)/(2*'M_PI);
Q_m=(sqrt(E*rho)*pow(t,2)*pow(g_0,3))/(mu*pow(w*1,2));
V_S=V_P;
t_s_max=27*pow(V_P,2)/(4*2*'M_PI*f_m_0*Q_m*pow(V_S,2));
t_s_min=3.67*V_P/(V_S*sqrt(k_old/m));
C_u='P_EPS0*W_c*w/g_0;
IIP3=10*log(2*k_old*pow(g_0,2)/('M_PI*10e9*pow(C_u*50,2)))+30;
feature_size = (g_0-0.1471e-9)/0.2206;
A_c = feature_size*feature_size/8;
channel_no=A_c*roughness_factor*1.0e18*5;
R_c=R_constant/channel_no;
channel_no=A_c*roughness_factor*1.0e18*5;
E_c= channel_no*1e-9*0.2e-9;
k_old=E*pow(w,3)*t/(4*pow(l,3));
k_1=channel_no*1e-9/g_d*gain;
cap_pi = 'P_EPS0*A/g_0;
b=3e-7;
smooth_g = ag * g_0;
g_c = g_d;
g_c2 = g_c + dg_c;
g_cb = - g_b;
end

```

---

```

z_pos = Pos(z);
z_eff = 'MNXA(Pos(z), g_cb, g_c2, smooth_g);
z_c = 'MAXA(('MAXA(Pos(z), g_c2, smooth_g) - g_c2), 0.0, smooth_g);
z_cb = 'MINA(('MINA(Pos(z), g_cb, smooth_g) - g_cb), 0.0, smooth_g);
c_f = 'MNXA(((Pos(z) - g_f * g_c) / delta_z), 0.0, 1.0, 1.0E-9);
cb_f = 'MNXA((( - (Pos(z) - g_f * g_cb)) / delta_z), 0.0, 1.0, 1.0E-9);
nc_f = 1.0 - c_f;

//////////
//// Forces ////
//////////

// a) contact force (adhesion forces)
F_c = + channel_no * 1e-9 * c_f;
// b) electrical forces
F_e = + 'P_EPS0 * A * 'POW2(V(g,s)) / (2.0 * 'POW2(g_0 - z_eff));
// c) stiff contact spring force to limit the displacement of the beam
F_stiff = - k_stiff * z_c * c_f;
F_stiff_b = - k_stiff * z_cb * cb_f;
// d) spring force
F_s = - k_1 * z_eff;

F_all = F_c + F_e + F_stiff + F_stiff_b + F_s;

if (analysis(tran)) Tran = 1.0;
else Tran = 0.0;

Pos(velocity) <+ ddt(z_eff) * Tran;
Pos(z) : ddt(Pos(velocity)) == (- b * Pos(velocity) * Tran + F_all) / m;

// Contact conductivity
R_c_max = R_gap * g_c / A_c;
G_c = c_f / R_c;
G_all = 1.0 / (1.0 / (G_c + (1.0 / R_c_max)) + R_beam);
Ids = V(d,s) * G_all;
I(d,s) <+ Ids;
C_ds = C_ds0 * g_c / (g_c - z_eff) * nc_f;

```

---

```
I(d,s) <+ ddt(C_ds * V(d,s));
C_gs = C_gs0 * g_0 / (g_0 - z_eff);
I(g,s) <+ ddt(C_gs * V(g,s));

begin
V(displ) <+ z_eff; // to probe the displacement
V(vel) <+ Pos(velocity); // to probe the velocity
V(Cgs) <+ C_gs;
V(Cds) <+ C_ds;
end
end

endmodule
```

---

# Bibliografia

- [1] ITRS Roadmap. *www.itrs.net*.
- [2] Michel Despont. Nano-Electro-Mechanical Integration And Computation. January 2011.
- [3] F. Chen et al. Integrated circuit design with NEM relays. *Proc. IEEE International Conference on Computer-Aided Design (ICCAD)*, 2008.
- [4] D. Grogg, U. Drechsler, A. Knoll, Y. Pu, C. Hagleitner, M. Despont. Curved cantilever design for a robust and scalable microelectromechanical switch. *Progetto NEMIAC*.
- [5] Y. Pu. Modeling and analyzing the energy of nano-electro-mechanical-switch-based digital circuits. *Progetto NEMIAC*.
- [6] L.E. Larson, R.H. Hackett, R.F. Lohr. Microactuators for GaAs-based microwave integrated circuits. *Proc. IEEE Transducers*, pages 743–746, 1991.
- [7] J. Yao. RF MEMS from a device perspective. *J. Micromechanics and Microengineering*, 10:R3–R9, 2000.
- [8] C.T.-C. Nguyen, L.P.B. Katehi, G.M. Rebeiz. Micromachined devices for wireless communications. *Proceedings of the IEEE*, 86(8):1756–1768, 1998.
- [9] H.A.C. Tilmans. MEMS components for wireless communications. *Proc. Eurosensors XVI*, pages 1–34, 2002.
- [10] M. Sakata, Y. Komura, T. Seki, K. Kobayashi, K. Sano, S. Horiike. - Micromachined relay which utilizes single crystal silicon electrostatic actuator. *Proc. IEEE MEMS*, pages 21–24, 1999.
- [11] Y. Zhou, S. Thekkel, S. Bhunia. Low power FPGA design using hybrid CMOS-NEMS approach. *Proc. ISLPED*, pages 14–19, 2007.

## BIBLIOGRAFIA

---

- [12] M.M. Hussain, et al. Ultra Low Power Sub-100nm Laterally Actuated Nano-ElectroMechanical (NEM) Switch in an Industry Standard Process Flow for Logic and Memory Applications. *Proc. NATO Advanced Research Workshop on Advanced Materials and Technologies for Micro/Nano Devices*, 2009.
- [13] V.Pott et al. Mechanical Computing Redux: Relays for Integrated Circuit Applications. *Proceedings of the IEEE*, 98(12):2076–2094, December 2010.
- [14] B.H. Calhoun et al. Modeling and sizing for minimum energy operation in subthreshold circuits. *IEEE J. Solid-State Circuits*, 40(9):1778–1786, September 2005.
- [15] A.J. Bhavnagarwala et al. A minimum total power methodology for projecting limits in CMOS GSI. *IEEE Trans. VLSI*, 8(3):235–251, June 2000.
- [16] K. Akarvardar et al. Design Considerations for Complementary Nanoelectromechanical Logic Gates. *Proc. IEEE International Electron Devices Meeting (IEDM)*, pages 299–302, 2007.
- [17] S. Fujita, K. Nomura, K. Abe, T. H. Lee. 3-D Nanoarchitectures With Carbon Nanotube Mechanical Switches for Future On-Chip Network Beyond CMOS Architecture. *IEEE Trans. Circuits and Systems I*, 54(11):2472–2479, 2007.
- [18] S. D. Senturia. *Microsystem Design*. Kluwer Academic, 2001.
- [19] A. Schirmeisen, G. Cross, A. Stalder, P. Grutter, U. Durig. Metallic adhesion and tunnelling at the atomic scale. *New Journal of Physics*, 2(1):29, 2000.
- [20] A. Stalder, U. Durig. Study of plastic flow in ultrasmall au contacts. *Journal of Vacuum Science Technology B: Microelectronics and Nanometer Structures*, 14(2):1259–1263, 1996.
- [21] H. Kam, T.-J. K. Liu, V. Stojanovic, D. Markovic, and E. Alon. Design, optimization, and scaling of mem relays for ultra-low-power digital logic. *IEEE Transactions on Electron Devices*, 58(1):236–250, 2011.
- [22] F. Chen, M. Spencer, R. Nathanael, C. Wang, H. Fariborzi, A. Gupta, H. Kam, V. Pott, J. Jeon, T.-J. K. Liu, D. Markovic, V. Stojanovic, and E. Alon. Demonstration of integrated mico-electro-mechanical (mem)

- switch circuits for vlsi applications. *IEEE International Solid-State Circuits Conference*, pages 150–151, 2010.
- [23] Synopsys. Star-rcxt datasheet. <http://www.synopsys.com>, 2009.
- [24] Baird, HS and Cho, YE. An artwork design verification system. *Proceedings of the 12th Design Automation Conference. IEEE Press*, pages 414–420, 1975.
- [25] Fabio Somenzi and Andreas Kuehlmann. Equivalence checking. *Electronic Design Automation For Integrated Circuits Handbook*, 2(4), 2005.
- [26] Synopsys. Hsim datasheet. <http://www.synopsys.com>, 2009.
- [27] Zerilli Luca. Realizzazione di un protocollo di test di un circuito integrato per scintigrafia medica. *Tesi presso Universita' degli Studi Roma Tre*, 2004.
- [28] Marioli Michael Simone. Soft-processor ip per fpga. *Tesi presso Universita' degli Studi di Padova*, 2010.
- [29] Mazzola Roberta. Magnetometri mems: Sviluppo del setup sperimentale e caratterizzazione di prototipi innovativi. *Tesi presso Politecnico di Milano*, 2011.
- [30] Wikipedia. Microscopio elettronico a scansione. [http://it.wikipedia.org/wiki/Microscopio\\_elettronico\\_a\\_scansione](http://it.wikipedia.org/wiki/Microscopio_elettronico_a_scansione).

*BIBLIOGRAFIA*

---



# Ringraziamenti

Ringrazio .....

