

POLITECNICO DI MILANO

Facoltà di Ingegneria dell'Informazione

Corso di Laurea Specialistica in Ingegneria Elettronica



**PROGETTO E REALIZZAZIONE
DELL' UNITÁ DI CONTROLLO PER UN
SISTEMA DI ACQUISIZIONE TCSPC A 32 CANALI**

Relatore:

Prof. Ivan Rech

Correlatori:

Ing. Sebastiano Antonioli

Ing. Andrea Cuccato

Tesi di Laurea di:

Nicolò Antonante matr. 750691

Anno Accademico 2011/2012

Indice

1	Introduzione	10
2	Time Correlated Single Photon Counting	12
2.1	La tecnica TCSPC	12
2.2	Sistema di Acquisizione	14
2.3	Tecniche Avanzate	18
2.4	Applicazioni	20
2.4.1	Analisi delle Curve di Fluorescenza	20
2.4.2	Fluorescence Correlation Spectroscopy (FCS)	21
2.4.3	Fluorescence Lifetime Imaging Microscopy (FLIM)	23
2.5	Stato dell'Arte	24
3	Sistema di Acquisizione Completo	27
3.1	Detection Head	28
3.2	La Scheda 8x1	31
3.3	La Connection Board	35
4	La Control Unit	38
4.1	FPGA	44
4.1.1	Descrizione Interna	44
4.1.2	Organizzazione I/O	46
4.1.3	GTP	47
4.1.4	Trasmettitore	48
4.1.5	Ricevitore	53
4.1.6	Condivisione del Clock	53

4.1.7	Caratteristiche Spartan-6 LX150T	55
4.1.8	Programmazione dell'FPGA	57
4.1.9	Memoria Flash	60
4.2	Microcontrollore	61
4.2.1	Segnali di posizionamento spaziale (xyz)	63
4.3	FT-USB	63
4.4	HUB-USB	66
4.5	Gestione delle alimentazioni	68
4.5.1	Convertitori DC/DC d'ingresso	71
4.5.2	Regolatore Buck per SSD	72
4.5.3	Power Manager	73
4.5.4	Convertitore DC/DC a due uscite	75
4.6	Sensore di temperatura	76
4.7	Clock Manager	77
4.8	Switch SATA	80
5	Protocolli di Comunicazione	83
5.1	Il protocollo AURORA	83
5.1.1	Inizializzazione del canale	85
5.1.2	Invio e Ricezione	87
5.2	Il protocollo SATA	90
5.2.1	Architettura e Connessioni	90
5.2.2	Inizializzazione del Canale	91
6	Programmazione dell'FPGA	93
6.1	Struttura del codice VHDL	93
6.2	Implementazione del Protocollo AURORA	95
6.2.1	Generazione dei clock	96
6.2.2	Clock Compensation	97
6.2.3	FIFO (First-In-First-Out)	97
6.2.4	Macchina a stati finiti per l'invio di dati	98

7	Layout della PCB	101
7.1	Dimensioni	101
7.2	Layer stack	103
7.3	Piste differenziali	103
8	Conclusioni	107
	Bibliografia	109

Elenco delle figure

2.1	Schematizzazione del sistema di acquisizione TCSPC	14
2.2	Catena di misura per sistema TCSPC	15
2.3	Catena di acquisizione che utilizza TAC-ADC	16
2.4	Utilizzo del reversed START-STOP: in alto si prende come riferimento il segnale di STOP successivo alla rivelazione, in basso si ritarda il segnale che ha dato origine al fotone	17
2.5	Esempio di architettura avanzata per misure TCSPC multi-canale.	19
2.6	Emissione di fluorescenza di una molecola eccitata	21
2.7	Esempio di setup per misure di FCS	22
2.8	Esempio di FLIM.	23
2.9	Sistemi multicanali per misure TCSPC. A sinistra il modulo di Becker&Hickl, a destra la HydraHarp400 di PicoQuant.	25
3.1	Schematizzazione del sistema di acquisizione completo.	28
3.2	Schematizzazione della struttura interna della Detection Head.	29
3.3	Immagine della DH.	30
3.4	Scheda di power della DH.	30
3.5	Connettori per il collegamento della DH al resto del sistema.	31
3.6	Schema concettuale di un TAC	32
3.7	Principio di funzionamento del dithering.	33
3.8	Schematizzazione della Scheda 8x1.	34
3.9	Scheda 8x1 finita.	34
3.10	Schematizzazione dei collegamenti realizzati dalla CB.	35

3.11	Lato della CB con il connettore per il cavo flat e con il connettore SMA per il segnale di STOP.	36
3.12	Lato della CB con i connettori per la connessione delle quattro schede 8xq e della CU.	37
4.1	Schema a blocchi della CU. La comunicazione con le schede 8xq può avvenire tramite i GTP o per mezzo degli FT-USB.	39
4.2	La Control Unit completa (fronte).	43
4.3	La Control Unit completa (retro).	43
4.4	Schema concettuale di una Look-Up-Table	45
4.5	Organizzazione delle Slice all'interno di una CLB	46
4.6	Suddivisione dei banchi di I/O nelle FPGA con package LX150	47
4.7	Schema a blocchi di un GTP. Nella parte superiore è rappresentate lo schema del blocco di trasmissione, nella parte inferiore il blocco di ricezione.	48
4.8	Esempio di <i>8B/10B Encoding</i> nel caso di trasmissione di dati a 8 bit (<i>TXDATAWIDTH</i> = 0).	50
4.9	Schema riassuntivo della generazione dei segnali di clock necessari al GTP. GTPCLKOUT[0] va in ingresso a un blocco DCM/PLL in grado di sintetizzare TXUSRCLK e TXUSRCLK2 (Trasmissione a 2-Byte o 4-Byte).	52
4.10	Schema concettuale dei possibili collegamenti per il clock di riferimento dei GTP.	54
4.11	Suddivisione dei pin di I/O per FPGA LX150T con package FGG676.	56
4.12	Schematico della memoria M25P64.	60
4.13	Diagramma a blocchi della famiglia PIC24FJ64GA004.	62
4.14	Rete di filtraggio dei segnali di posizione.	64
4.15	Schematico dei collegamenti tra EEPROM e FT-USB.	65
4.16	Schematico dell'USB2517.	67
4.17	Rappresentazione schematica della distribuzione delle alimentazioni sulla CU.	69
4.18	Rappresentazione schematica dell'utilizzo del ST1S10.	72

4.19	ADP2120 con uscita fissa a 3.3 V e componenti esterni.	73
4.20	Schema a blocchi del LM2982.	75
4.21	Schematico del LM73.	77
4.22	Schema a blocchi dell'Si5338A.	79
4.23	Schema interno del MAX4986CTO+.	81
4.24	Tramite il MAX4986 due Host possono condividere lo stesso drive. Host B rappresenta l'FPGA mentre Host A è la porta e-SATA a cui va connesso il PC.	82
5.1	Blocchi fondamentali del modulo AURORA.	84
5.2	Segnali per l'inizializzazione del canale simplex.	86
5.3	Sequenza di inizializzazione del canale simplex.	87
5.4	Diagramma temporale dei segnali per l'invio e la ricezione di dati su canale AURORA.	88
5.5	Schema della struttura dei cavi e dei connettori per il collegamento tra Host e Device SATA.	91
5.6	Diverse sequenze di segnali OOB.	92
5.7	Sequenza di OOB durante la fase di inizializzazione.	92
6.1	Schema concettuale dei blocchi implementati all'interno del codice VHDL per la programmazione della CU.	94
6.2	Struttura utilizzata per il test della comunicazione tramite protocollo AURORA.	96
6.3	Struttura semplificata di un a FIFO.	99
7.1	Dimensioni della CU.	102
7.2	Control Unit, Connection Board e schede 8x1 assemblati assieme.	103
7.3	Layer Stack della Control Unit.	104
7.4	Piste differenziali tracciate su una delle superfici della scheda.	104
7.5	Piste differenziali tracciate su un layer interno.	105
8.1	Sistema di acquisizione a 32 canali completo.	108

Elenco delle tabelle

2.1	Comparativa tra le principali caratteristiche di due sistemi top di gamma per misurazioni TCSPC multicanale.	25
4.1	Segnali di riferimento per la generazione dei clock necessari al GTP.	52
4.2	Principali caratteristiche dell'FPGA Spartan-6 XC6SLX150T.	55
4.3	Principali caratteristiche dell'FPGA Spartan-6 XC6SLX150T.	55
4.4	Modalità di programmazione per FPGA della famiglia Spartan-6	57
4.5	Pin dedicati alla programmazione JTAG	58
4.6	Pin dedicati alla programmazione SPI	59
4.7	Tensione di alimentazione, massima corrente assorbita e potenza dissipata dei principali componenti presenti sulla Control Unit.	70
4.8	dimensionamento dei componenti connessi al LM2982 per ottenere i desiderati valori di tensione in uscita.	74
7.1	Dimensionamento delle piste differenziali	105

Capitolo 1

Introduzione

In molti campi scientifici sono necessarie misurazioni di fluorescenza per l'analisi approfondita di campioni chimici e biologici. Per questo motivo è in continua crescita la richiesta di strumentazioni in grado di effettuare analisi di segnali luminosi con risoluzione temporale di pochi picosecondi.

Una delle tecniche più utilizzate per queste misurazioni è la Time-Correlated Single Photon Counting (TCSPC). Questa tecnica consiste nella stimolazione periodica di un campione attraverso un impulsatore laser e nella misurazione dei ritardi con cui viene emessa la fluorescenza. Se la potenza dell'impulso è sufficientemente bassa, all'interno di ogni periodo di stimolazione il campione emetterà al più un fotone; si parla quindi di “regime a singolo fotone”. Dopo molti periodi di misurazione, l'analisi dei ritardi di tempo consente di generare un istogramma che rappresenta la forma d'onda del segnale emesso dal campione in esame.

La tecnica TCSPC permette quindi di ricostruire la forma d'onda di segnali luminosi estremamente deboli, non misurabili con tecniche analogiche, ma perde l'informazione relativa all'evoluzione temporale del campione.

Per questo motivo, le più moderne strumentazioni per misure TCSPC permettono la memorizzazione continua delle informazioni relative allo stato del canale e all'istante di arrivo di ogni singolo fotone (Time Tagging), permettendo nuove promettenti applicazioni nello studio della dinamica molecolare e dell'interazione proteica.

Per garantire tempi di analisi più rapidi e per permettere scansioni di campioni in tre dimensioni, è necessario utilizzare sistemi con array di sensori e un'elettronica in grado di gestire più canali contemporaneamente. Questo ha spinto la ricerca verso sistemi TCSPC modulari in grado di permettere la parallelizzazione delle misure e l'utilizzo simultaneo di più canali all'interno di un unico sistema.

All'interno del gruppo di ricerca è in fase di sviluppo un sistema di acquisizione per misure TCSPC a 32 canali in grado di operare in modalità Time Tagging. Questo sistema è costituito dalla Detection Head, che integra al proprio interno un array di fotorivelatori, e dall'Acquisition System, integrante l'elettronica adibita al timing, alla memorizzazione dei dati e alla comunicazione con il PC. Il sistema di acquisizione è basato su un'unità di controllo in grado di gestire quattro moduli TCSPC a 8 canali (Schede 8x1), anch'essi in realizzazione all'interno del laboratorio.

L'obiettivo di questo lavoro di tesi consiste quindi nella progettazione e realizzazione della Control Unit interna all'Acquisition System. Il sistema finale dovrà essere in grado di permettere l'utilizzo sia in modalità "live", ovvero con lo scaricamento real time dei dati delle misure TCSPC tramite connessione USB, sia in modalità "off-line", che prevede la memorizzazione interna dei dati per il successivo riversamento su PC.

L'idea è quindi quella di realizzare una scheda, basata su tecnologia FPGA, in grado di gestire lo stream di dati proveniente dai quattro moduli a 8 canali, etichettarli e memorizzarli su di un Solid State Driver (SSD). L'accesso ai dati memorizzati sarà poi reso possibile mediante una porta e-SATA. Il sistema deve inoltre disporre di un Hub-USB che permetta la comunicazione con le singole Schede 8x1 per il trasferimento real time su PC delle misure effettuate.

Nei seguenti capitoli verrà illustrata la tecnica TCSPC e verranno descritte la struttura e le caratteristiche della scheda realizzata.

Capitolo 2

Time Correlated Single Photon Counting

Le moderne tecniche di analisi molecolare e imaging con laser a scansione necessitano la misurazione di segnali luminosi estremamente deboli, al limite di un singolo fotone. In queste applicazioni, le tecniche di misurazione TCSPC assumono un ruolo fondamentale.

In questo capitolo si descrivono i principi base di questa tecnica e si presentano alcune interessanti applicazioni.

2.1 La tecnica TCSPC

La doppia natura della luce ci permette di considerare i fenomeni di assorbimento ed emissione come effetto di un'onda o come sovrapposizione di impulsi dovuti ad un flusso di particelle discrete, i fotoni. In entrambi i casi la misurazione della luce necessita di un sensore in grado di tradurre in un segnale elettrico gli stimoli luminosi ricevuti. La considerazione fatta permette quindi due diversi approcci al problema della misurazione di segnali luminosi. Il primo considera i segnali di tensione in uscita dal sensore come una forma d'onda analogica e si parla dunque di “analog recording techniques”, il secondo conta invece i singoli impulsi ricevuti e prende il nome di “photon counting”.

La forma d'onda di un segnale luminoso rappresenta l'intensità del segnale stesso in funzione del tempo. Considerando che l'intensità è data dal numero di fotoni ricevuti in un determinato istante, è possibile interpretare la forma d'onda come il numero di fotoni ricevuti in funzione del tempo o, alternativamente, come la distribuzione di probabilità di ricevere un fotone in un certo istante di tempo.

Le misurazioni TCSPC si basano su questo concetto e sull'approccio del photon counting. Stimolando un campione con un impulso laser, questo assorbe i fotoni ricevuti e li riemette con una certa distribuzione temporale che rappresenta la forma d'onda della luminescenza che si desidera misurare. Se si riduce l'intensità e la durata dell'impulso di stimolazione, il campione assorbirà e riemetterà un numero sempre minore di fotoni, al limite uno solo. Il ritardo tra la stimolazione e la rivelazione del fotone riemesso seguirà la distribuzione di probabilità data dalla forma d'onda del segnale. Sfruttando questo concetto, le misurazioni TCSPC si basano su una stimolazione periodica del campione con un impulso laser così debole da generare riemissione con una probabilità inferiore al 5%. Eseguendo un gran numero di misurazioni è possibile costruire un istogramma in cui le ascisse rappresentano gli istanti di tempo quantizzati, mentre le ordinate rappresentano le occorrenze con cui si è rivelato un fotone con quel particolare ritardo temporale. La forma del diagramma risultante rispecchia la forma d'onda del segnale luminoso in esame. [1].

Una schematizzazione del principio di funzionamento della tecnica TCSPC è riportata in Figura 2.1

Si può notare che:

- il segnale in uscita dal rivelatore è costituito da una sequenza di impulsi casuali, che corrispondono alla rivelazione dei singoli fotoni;
- in molti periodi del segnale non vengono rivelati fotoni, mentre gli altri periodi contengono un solo fotone;
- la forma d'onda ricostruita risulta suddivisa in "canali" la cui larghezza rappresenta l'intervallo di quantizzazione temporale dei ritardi.

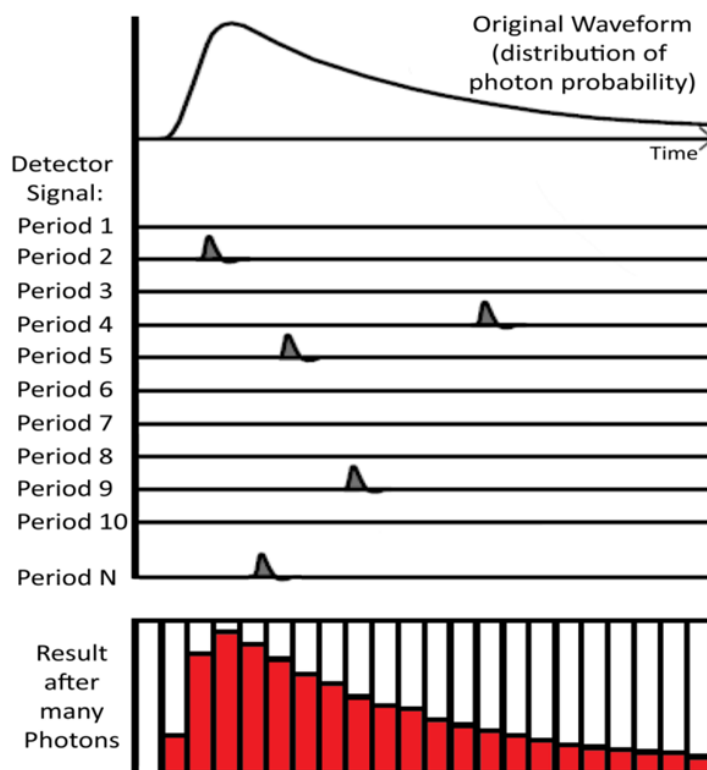


Figura 2.1: Schematizzazione del sistema di acquisizione TCSPC

2.2 Sistema di Acquisizione

In Figura 2.2 è illustrata l'architettura classica di un sistema di TCSPC.

Un impulsatore laser genera gli stimoli luminosi incidenti sul campione in esame. Ogni impulso, con durata nell'ordine delle centinaia di femtosecondi, avvia l'elettronica per la generazione del segnale di START e la catena di acquisizione a valle. I fotoni riemessi dal campione vengono assorbiti da un sensore che deve essere in grado di discriminare l'arrivo di un singolo fotone. I fotorivelatori generalmente impiegati per questo scopo sono i PMT (Photo Multiplier Tube) o gli SPAD (Single Photon Avalanche Diode). L'impulso di corrente generato in seguito alla rivelazione di un fotone avvia l'elettronica adibita alla generazione del segnale di STOP. La differenza temporale tra i segnali di START e STOP viene misurata da un'elettronica dedicata ed

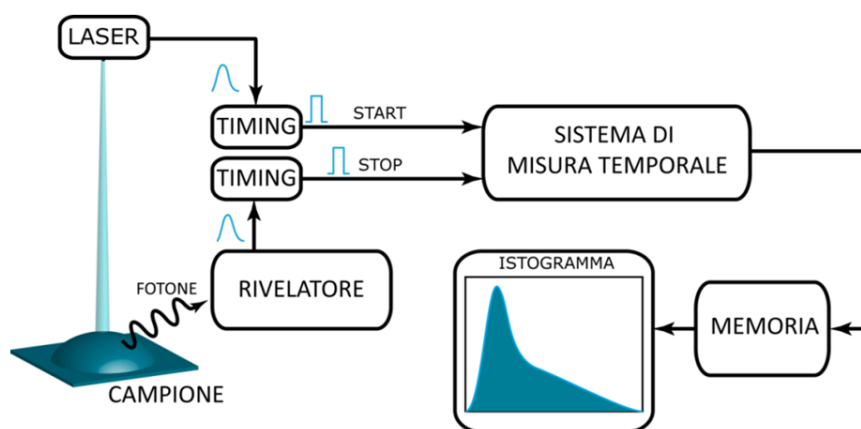


Figura 2.2: Catena di misura per sistema TCSPC

utilizzata per incrementare il contenuto della locazione di memoria che corrisponde al tempo rilevato; in questo modo si registra la distribuzione dei ritardi temporali tra stimolazione del campione e arrivo del fotone emesso sul rivelatore. La precisione del sistema di misurazione temporale diventa quindi un punto cruciale nella realizzazione di un sistema per misure TCSPC. L'elettronica dedicata a questa funzione deve garantire alta risoluzione temporale e bassa DNL (Differential Non-Linearity).

Per la misurazione del ritardo temporale tra due segnali esistono diverse architetture con due fondamentali approcci. Il primo consiste nell'effettuare la misurazione direttamente in digitale mediante un Time to Digital Converter (TDC) in grado di garantire alta integrabilità; il secondo consiste invece nell'acquisizione analogica del ritardo per mezzo di un TAC (Time to Amplitude Converter) e la successiva conversione in digitale ad opera di un ADC [2]. Questa seconda architettura garantisce buone prestazioni in termini di risoluzione temporale e DNL ed è per questo molto utilizzata nell'ambito delle misure TCSPC. Concettualmente il funzionamento del TAC è molto semplice: il segnale di START accende un generatore di corrente costante; la corrente erogata viene integrata su un condensatore facendo salire, con andamento a rampa, la tensione ai suoi capi. Dopo l'arrivo del segnale di STOP il generatore si spegne e il condensatore mantiene ai suoi capi una

tensione proporzionale alla differenza temporale tra START e STOP. Questo valore di tensione viene opportunamente amplificato e convertito in un valore digitale da un ADC (Figura 2.3). Il valore convertito dall'ADC corrisponde all'indirizzo della cella di memoria il cui contenuto andrà incrementato per la costruzione dell'istogramma.

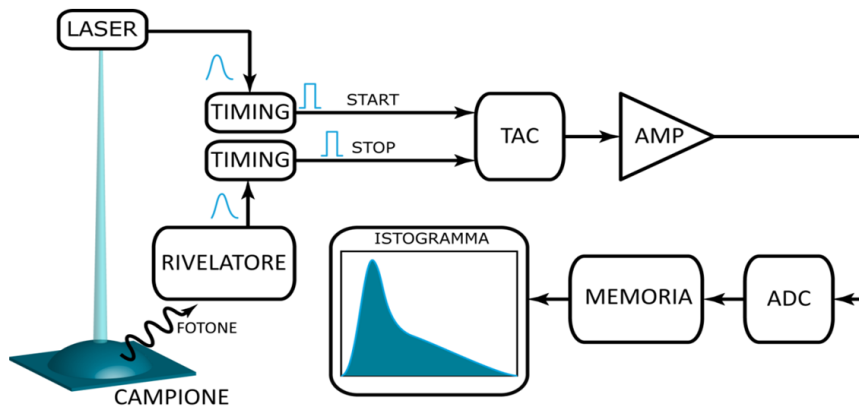


Figura 2.3: Catena di acquisizione che utilizza TAC-ADC

Dato che, come spiegato nel paragrafo 2.1, per misurazioni TCSPC ci si pone nella condizione di avere una percentuale di periodi con emissione inferiore al 5%, a molte stimolazioni del campione non seguirà l'emissione di un fotone. Di conseguenza sono presenti molti periodi del segnale luminoso in cui il TAC riceve un impulso di START, ma non il segnale di STOP. È quindi presente nel sistema un circuito in grado di rilevare questa condizione e resettare il TAC per il successivo periodo. Questa situazione genera, nel caso in cui si usi una frequenza del segnale di START elevata, la mancata rivelazione di alcuni fotoni con una conseguente riduzione dell'efficienza e l'aumento della durata totale della misura. Per questo motivo si ricorre in genere alla configurazione detta "reversed START-STOP, in cui la conversione viene avviata quando si rivela un fotone e fermata al successivo impulso di riferimento della sorgente luminosa; in questo modo la frequenza di lavoro del convertitore risulta pari a quella di rilevamento dei fotoni e non a quella, ben più elevata, dell'impulsatore di stimolazione. Utilizzando questa tecnica,

2. Time Correlated Single Photon Counting

l'istante di arrivo di un fotone è misurato rispetto al segnale luminoso immediatamente successivo, e non rispetto a quello che ha effettivamente generato il fotone. Ne conseguono due problemi: il primo è che l'intervallo di tempo viene misurato rispetto alla fine del periodo, il secondo è che un eventuale jitter sul periodo della sorgente luminosa si somma direttamente alla misura. Per risolvere il primo problema è sufficiente interpretare l'istogramma con l'asse temporale invertito; per il secondo è invece necessario introdurre un opportuno ritardo sul cammino del segnale di riferimento, in modo che l'istante di arrivo del fotone venga misurato rispetto al segnale luminoso che ha originato il fotone stesso. In questo modo i due tempi di START e di STOP saranno affetti dallo stesso jitter rendendolo ininfluenza sulla loro differenza temporale.

Fissato l'istante di arrivo del fotone (START), l'introduzione del ritardo per il riferimento (STOP) permette di avere un tempo di misura che non varia al variare del periodo di ripetizione del riferimento stesso (come rappresentato in Figura 2.4).

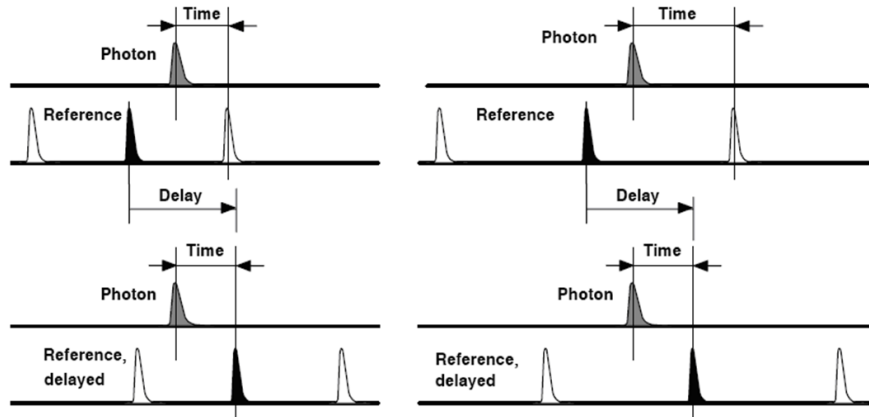


Figura 2.4: Utilizzo del reversed START-STOP: in alto si prende come riferimento il segnale di STOP successivo alla rivelazione, in basso si ritarda il segnale che ha dato origine al fotone

2.3 Tecniche Avanzate

L'architettura descritta nel paragrafo 2.2 è basata sull'utilizzo di un solo sensore e descrive l'utilizzo per misure monodimensionali. La tecnica TCSPC può però essere utilizzata anche in sistemi più complessi, che permettono acquisizioni multidimensionali e che richiedono quindi la memorizzazione di una maggiore quantità di dati [3].

Per questo tipo di misure sono state fino ad ora utilizzate diverse architetture, tra cui:

- **Multi-detector:** vengono utilizzati più rivelatori in parallelo connessi da un router ad un'unica catena di acquisizione di TCSPC; il principio che vi sta alla base è che, benché tutti i rivelatori siano sempre attivi, solo un sensore per periodo può ricevere il fotone di segnale e quindi generare il corrispondente per comandare il TAC. Per memorizzare i dati si suddivide la memoria e si incrementano le celle corrispondenti al rivelatore che si è attivato. Questo metodo è utilizzato per aumentare il rate di conteggi o per misure simultanee multivariabili senza perdite di efficienza (non c'è switching fra i rivelatori, i quali sono sempre attivi). Si utilizza il multi-detector se il segnale è complessivamente debole e si ha effettivamente un fotone per periodo.
- **Multiplexed:** i segnali luminosi provenienti da più sorgenti vengono multiplexati verso una matrice di detector, seguita da una singola catena di acquisizione TCSPC; si attiva un solo rivelatore per periodo. I vari segnali luminosi possono essere caratterizzati da lunghezze d'onda differenti e possono incidere su differenti posizioni del campione da analizzare. A differenza del metodo multi-detector non si ha il problema di rilevare il fotone su due sensori nello stesso periodo; tuttavia se il segnale luminoso è debole l'efficienza risulterà bassa, poiché un fotone che incide su un rivelatore non attivo è perso.
- **Scanning:** il campione da analizzare viene scansionato lungo i due assi per ottenere un'immagine bidimensionale; il circuito di scanning ed il sistema di TCSPC sono sincronizzati ed i bit di routing rappresentano

le due coordinate sul campione. Analogamente è possibile realizzare anche scansioni lungo i tre assi per ottenere immagini tridimensionali.

Per migliorare le prestazioni di queste misure, sono in corso studi per la realizzazione di sistemi di acquisizione che integrino al proprio interno più canali paralleli in grado di permettere misurazioni TCSPC simultanee [3].

I sistemi multicanale utilizzano un array o una matrice di sensori ognuno dei quali è gestito da un'elettronica di timing dedicata (Figura 2.5). La parallelizzazione della catena di acquisizione implica un maggiore utilizzo di risorse e una maggiore complessità architetturale, ma permette l'utilizzo simultaneo di tutti i sensori. Grazie a questa tecnica è possibile effettuare misure TCSPC e scansioni multidimensionali in un tempo che scala con il crescere dei canali.

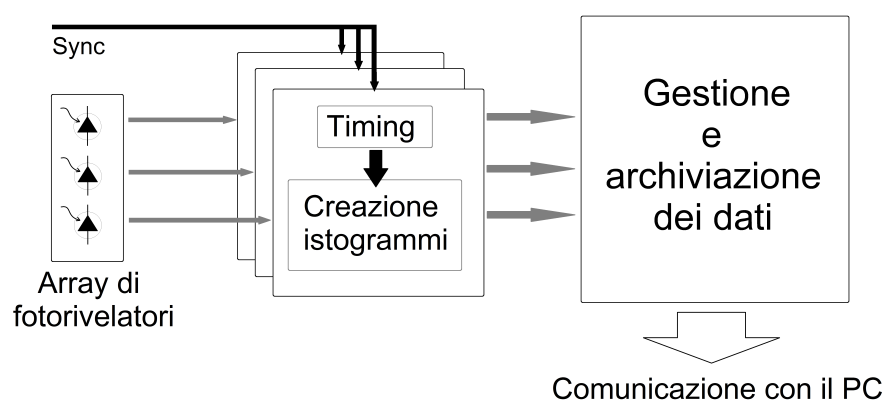


Figura 2.5: Esempio di architettura avanzata per misure TCSPC multicanale.

La tradizionale tecnica TCSPC si basa sulla memorizzazione dei ritardi temporali tra stimolazione e rivelazione del fotone e costruisce un istogramma che non tiene conto della durata dell'esperimento. In questo modo l'informazione relativa all'evoluzione temporale del campione viene persa.

Per questo motivo, i moderni sistemi di TCSPC, oltre a disporre di più canali paralleli, permettono la memorizzazione dell'istante di arrivo dei singoli fotoni, non solo rispetto al segnale di sincronismo ("micro-time"), ma anche rispetto all'inizio dell'esperimento ("macro-time"). Questa modalità

di utilizzo, che prende il nome di Time Tagging, permette di ricostruire l'evoluzione temporale del campione ed apre nuove prospettive di applicazione nello studio della dinamica molecolare e dell'interazione proteica [3].

Il Time Tagging necessita l'archiviazione di tutti gli istanti di arrivo dei fotoni rendendo problematica la gestione e lo storage dei dati, soprattutto in soluzioni "stand alone". Questo tipo di sistemi deve infatti prevedere un supporto di memorizzazione interno con capienza adeguata.

2.4 Applicazioni

In tutte le applicazioni in cui è necessario analizzare segnali luminosi estremamente deboli, come ad esempio la fluorescenza emessa da campioni chimici e biologici, è possibile impiegare le tecniche di TCSCP. Per questo motivo la tecnica descritta trova applicazioni in svariati ambiti scientifici e industriali. Alcuni esempi di applicazioni che necessitano l'analisi di fluorescenze sono la Fluorescence Correlation Spectroscopy (FCS) e la Fluorescence Lifetime Imaging Microscopy (FLIM) [4],[5].

2.4.1 Analisi delle Curve di Fluorescenza

I fenomeni di fluorescenza derivano dall'eccitazione e il conseguente rilassamento di un elettrone di un atomo o di una molecola. In seguito ad uno stimolo termico o ottico, una molecola può assorbire energia e un suo elettrone può passare dal livello di riposo S_0 ad un livello energetico superiore S_1 . Come mostrato in Figura 2.6, possono essere presenti anche altri livelli superiori (S_2, S_3), ma il tempo di rilassamento di questi stati è generalmente estremamente rapido ($< 1 ps$) e gli elettroni tendono a passare al livello S_1 . Questo livello non è stabile e quindi, dopo un certo tempo (nell'ordine della decina di nanosecondi), l'elettrone torna al livello di riposo perdendo l'energia acquisita. Questa può essere ceduta sotto forma di calore (rilassamento non radiativo) o di radiazione elettromagnetica con l'emissione di un fotone. Il tempo di rilassamento dell'elettrone, ovvero il ritardo tra stimolazione e

ritorno a livello di riposo, dipende dalle caratteristiche della molecola e dalle condizioni in cui essa si trova. Analizzando la fluorescenza è quindi possibile ottenere importanti informazioni sul campione.

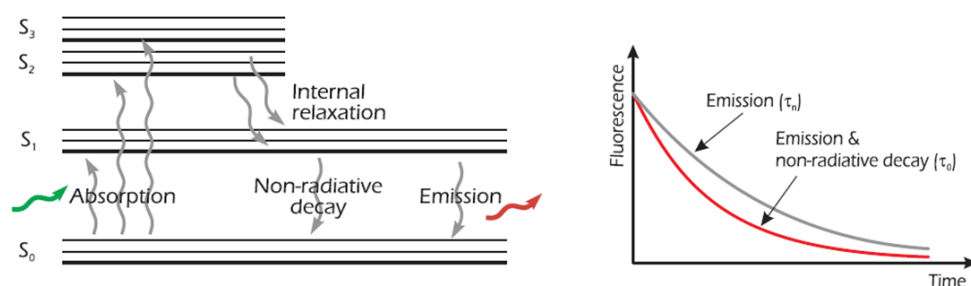


Figura 2.6: Emissione di fluorescenza di una molecola eccitata

I moderni sistemi di TCSPC permettono di ricostruire la forma d'onda della fluorescenza di campioni costituiti da una concentrazione bassissima di molecole, al limite di una sola. Utilizzando inoltre la modalità Time Tagging è possibile effettuare misure prolungate nel tempo ed analizzare le variazioni nella fluorescenza emessa. In questo modo è possibile valutare l'evoluzione temporale del campione [3].

2.4.2 Fluorescence Correlation Spectroscopy (FCS)

In ambito medico e biologico è spesso importante valutare la diffusione e l'interazione molecolare di particolari proteine. Per questi studi viene generalmente utilizzato un marcatore luminoso, attivabile mediante uno stimolo laser, in grado di legarsi alle molecole delle proteine. La tecnica FCS si basa sull'osservazione statica di una piccola regione di spazio (spot) illuminata da una sorgente laser. Le molecole che costituiscono il campione tendono a muoversi casualmente di moto Browniano, passando nella zona illuminata dal laser. Il marcatore contenuto nelle molecole viene stimolato dal laser ed emette una particolare fluorescenza.

Osservando le variazioni dell'intensità e della durata della fluorescenza è possibile ricostruire importanti informazioni sull'interazione tra le molecole

2. Time Correlated Single Photon Counting

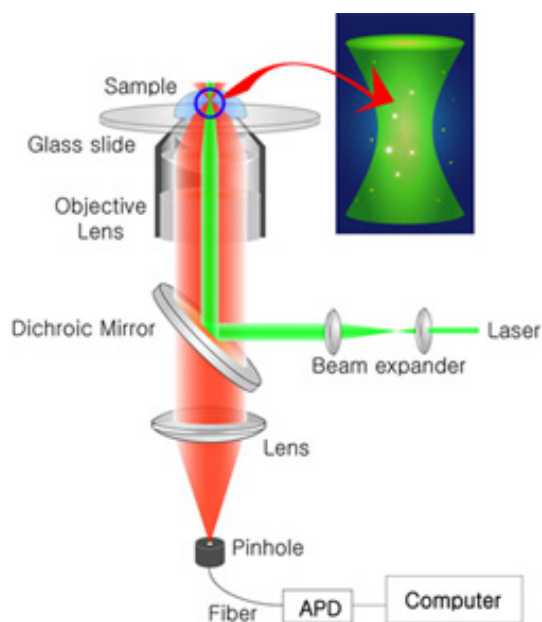


Figura 2.7: Esempio di setup per misre di FCS

che costituiscono il campione. Il tempo medio di transito delle molecole sotto il laser dipende infatti dalla loro dimensione. Se una proteina piccola, a cui era stato applicato il marcatore, si lega ad una proteina più grande, il tempo di transito sotto il laser aumenta e di conseguenza anche la durata della fluorescenza. Oltre alle variazioni nella durata della fluorescenze è importante valutare eventuali variazioni nella sua forma d'onda caratteristica. Queste possono infatti essere dovute a modificazioni nella conformazione delle proteine [4].

Misurando le variazioni nella fluorescenza per un certo periodo di tempo è quindi possibile ricostruire le interazioni avvenute tra le diverse proteine ed eventuali alterazioni della loro conformazione.

Queste tecniche di indagine sono particolarmente importanti in ambito medico e farmaceutico.

2.4.3 Fluorescence Lifetime Imaging Microscopy (FLIM)

Il fenomeno della fluorescenza può avvenire in seguito all'eccitazione di un elettrone ad un livello energetico superiore (paragrafo 2.4.1). Il tempo di permanenza nello stato eccitato dipende dalle costanti di tempo dei processi di rilassamento, che possono consistere nell'emissione di un fotone o in un rilassamento non radiativo. La durata media dello stato di eccitazione della molecola prende il nome di periodo di vita della fluorescenza (fluorescence lifetime). Esso può essere influenzato da interazioni intermolecolari o ambientali, con un aumento del rate del decadimento non radiativo e una conseguente riduzione nella fluorescenza. Questa può essere utilizzata per provare interazioni utili in ambito diagnostico [5].

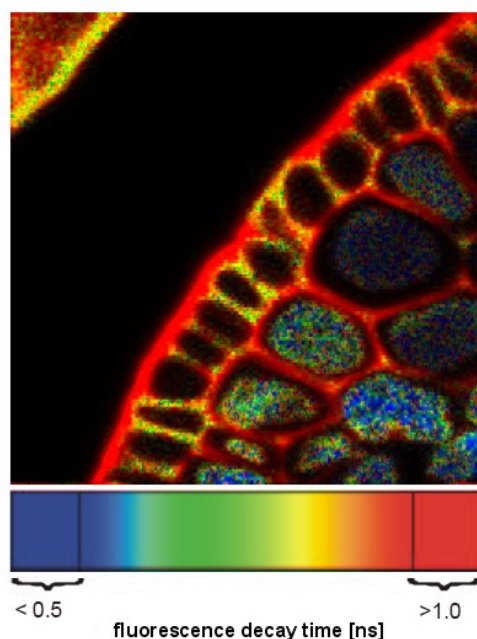


Figura 2.8: Esempio di FLIM.

La tecnica FLIM si basa sull'utilizzo di misurazioni TCSPC spaziali per la costruzione di immagini di tessuti biologici. La scansione del campione permette di effettuare una registrazione spazialmente risolta del tempo di decadimento della fluorescenza. I dati così raccolti per ogni punto ven-

gono convertiti in un valore numerico che identifica il colore di ciascun pixel dell'immagine.

In Figura 2.8 è mostrato un esempio di immagine ricavata con tecniche FLIM.

Dato che l'acquisizione della forma d'onda della fluorescenza in ciascun punto necessita di un gran numero di misure, il tempo di scansione del campione è un fattore limitante.

In questo tipo di applicazioni risulta quindi estremamente utile l'impiego di un sistema TCSPC multicanale, in grado di permettere misurazioni simultanee di più punti del campione e di abbattere quindi i tempi di acquisizione dei dati.

Anche in questo caso, l'utilizzo della modalità Time Tagging permette di tenere traccia dell'evoluzione temporale del campione, consentendo la ricostruzione di immagini sequenziali.

2.5 Stato dell'Arte

Viene ora proposta una panoramica dei sistemi per misure TCSPC attualmente presenti sul mercato, così da poter meglio apprezzare l'apporto innovativo della soluzione realizzata.

I principali produttori di questo tipo di sistemi sono attualmente Becker&Hickl e PicoQuant che propongono soluzioni per misure TCSPC multicanale. L'approccio del primo produttore è quello di affiancare schede single-channel per realizzare sistemi fino a 4 canali, mentre il secondo produttore propone sistemi fino a 8 canali parallelizzando quattro schede dual-channel.

Le specifiche riportate di seguito si riferiscono ai modelli di punta delle due case: la *SPC-154* per Becker&Hickl e la *HydraHarp400* per la PicoQuant [6],[7].

Dalla Tabella 2.1 è possibile notare come la SPC-154 sia migliore in termini di prestazioni, ma metta a disposizione solamente quattro canali. Osservando le dimensioni è chiaro come entrambi i sistemi siano piuttosto ingombranti.

2. Time Correlated Single Photon Counting



Figura 2.9: Sistemi multicanali per misure TCSPC. A sinistra il modulo di Becker&Hickl, a destra la HydraHarp400 di PicoQuant.

Caratteristica	SPC-154	HydraHarp400
N. Canali per scheda	1	2
Numero schede	4	4
Numero totale canali	4	8
Risoluzione (FWHM)	6.5 ps	27 ps
Larghezza di canale	813 fs	1 ps
DNL (picco-picco)	1%	2%
Frequenza di SYNC	150 MHz	150 MHz
Frequenza in modalità Time-Tagging	4 MHz	9 MHz
Dimensioni	240x130x85mm	Comparabili a quelle di un PC mini tower
Connettività	Occupi 4 porte PCI all'interno di un PC	USB 2.0

Tabella 2.1: Comparativa tra le principali caratteristiche di due sistemi top di gamma per misurazioni TCSPC multicanale.

Il sistema presentato in questo lavoro di tesi pone in parallelo quattro Schede 8x1 mettendo così a disposizione un totale di 32 canali. I TAC integrati, sviluppati all'interno del laboratorio, permettono un'estrema riduzione delle dimensioni complessive del sistema mantenendo un elevato livello prestazionale.

Il sistema è predisposto per poter effettuare la memorizzazione dei dati su di un SSD connesso tramite protocollo SATA e interno al sistema stesso. Questo consente l'utilizzo in modalità off-line, ovvero senza la necessità di

avere un PC connesso.

Il tutto è contenuto in un box di alluminio di dimensioni 160x125x30mm, quindi sensibilmente più piccolo delle soluzioni attualmente commercializzate. La comunicazione con il pc è garantita dalla connessione USB 2.0, utile per il downstream dei dati in modalità “live” e per l’invio dei comandi da PC. Il riversamento dei dati memorizzati nell’SSD può essere invece eseguito attraverso la porta e-SATA.

Da quanto esposto in questo capitolo è possibile apprezzare la rilevanza del modulo progettato nello scenario dei sistemi per misure TCSPC.

Capitolo 3

Sistema di Acquisizione Completo

Il sistema di acquisizione completo è suddiviso in un parte di sensoristica, detta Detection Head (DH) e da un Acquisition System (AS) adibito al timing, alla gestione dei dati e alla loro memorizzazione.

La DH è costituita da due schede: la prima integra al proprio interno un array di 32 SPAD (Single Photon Avalche Diode) e l'elettronica necessaria alla lettura dei segnali e allo spegnimento della valanga; la seconda gestisce invece la parte di power e provvede alla generazione e alla distribuzione delle alimentazioni.

L'AS è invece composto dalla Control Unit e da quattro Schede 8x1 collegate tramite una Connection Board studiata per realizzare le connessioni fisiche necessarie al trasporto dei dati all'interno del sistema. All'interno dell'AS troviamo inoltre l'SSD e il sistema di raffreddamento, costituito da due ventole e da un controllore che ne regola la velocità di rotazione.

In Figura 3.1 è schematizzato il sistema di acquisizione suddiviso nelle sue parti principali.

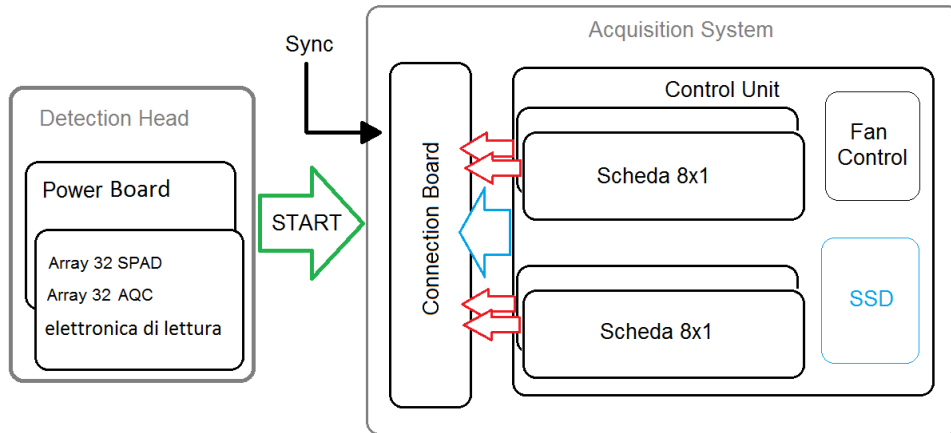


Figura 3.1: Schematizzazione del sistema di acquisizione completo.

3.1 Detection Head

La Detection Head (DH) è la parte del sistema che contiene i fotorivelatori necessari alla rivelazione dei fotoni. La DH è composta al suo interno da due schede: una board di rivelazione contenente una matrice di 32 SPAD, l'elettronica necessaria alla lettura del segnale e gli AQC necessari al rapido spegnimento della valanga innescata negli SPAD; una Power Board dedicata alla generazione delle tensioni di alimentazione necessarie al corretto funzionamento dei componenti montati sulla prima scheda.

La Detection Head ha quindi il compito di rivelare i fotoni emessi dal campione dopo la stimolazione luminosa e generare i segnali di start utili alle misure di timing. Questi segnali vengono condizionati da un array di 32 comparatori e possono essere poi inviati all'AF attraverso un cavo custom di tipo flat. Il cavo utilizzato, realizzato dalla SAMTEC, è costituito da 32 coppie differenziali ad impedenza controllata.

La DH è pensata per potere essere usata anche in maniera indipendente per misure di photon counting, ovvero per il conteggio dei fotoni rivelati da ciascuno SPAD, senza informazioni temporali. Per questo motivo è stata dotata di un'FPGA e di un collegamento USB. Il conteggio dei fotoni può quindi essere effettuato internamente alla DH o esternamente leggendo

i segnali tramite cavo SCSI.

Uno schema concettuale della struttura della DH è riportato in Figura 3.2 [8].

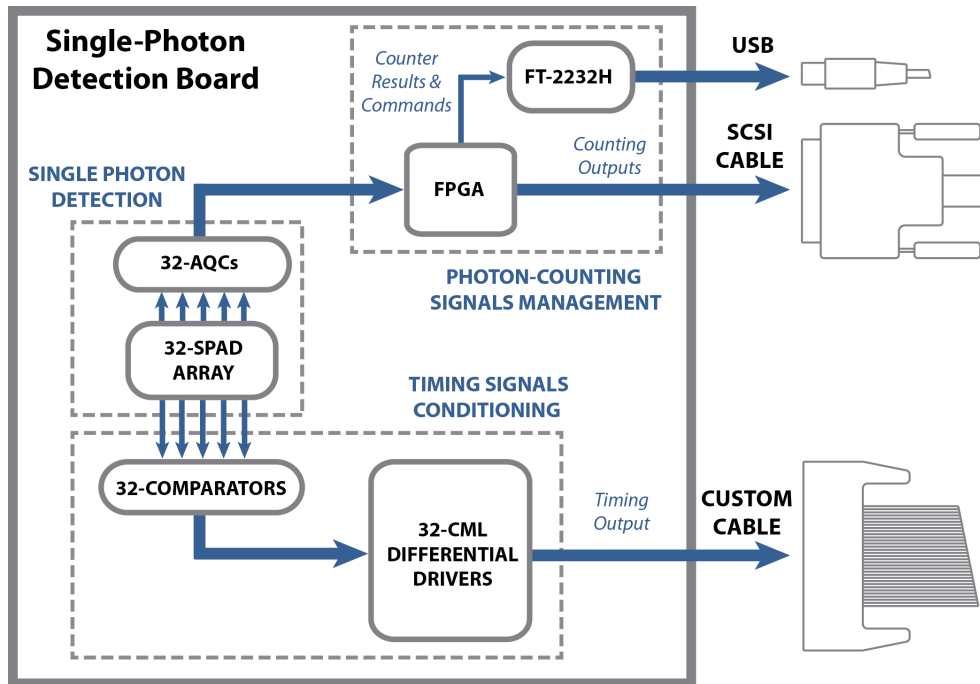


Figura 3.2: Schematizzazione della struttura interna della Detection Head.

I conteggi di buio degli SPAD sono sensibilmente influenzati dalla temperatura. Per questo motivo l'array di SPAD è sigillato all'interno di una camera stagna con atmosfera controllata. Un sensore di temperatura controlla un peltier che permette di mantenere costante la temperatura a -15°C . Per evitare che si possa formare della condensa, la camera stagna è riempita con azoto [8].

Nelle Figure 3.3, 3.4 e 3.5 sono mostrati rispettivamente la DH montata nel suo case di alluminio, la scheda di power e la parte di connettori che permettono il collegamento con il resto del sistema.

3. Sistema di Acquisizione Completo

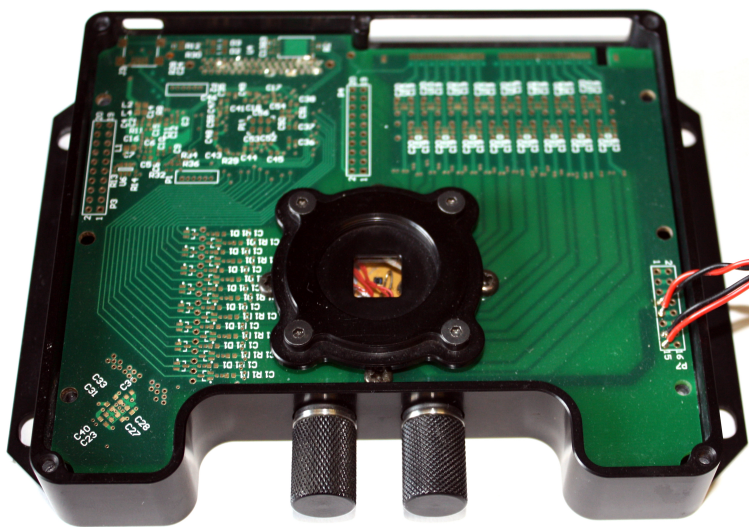


Figura 3.3: Immagine della DH.

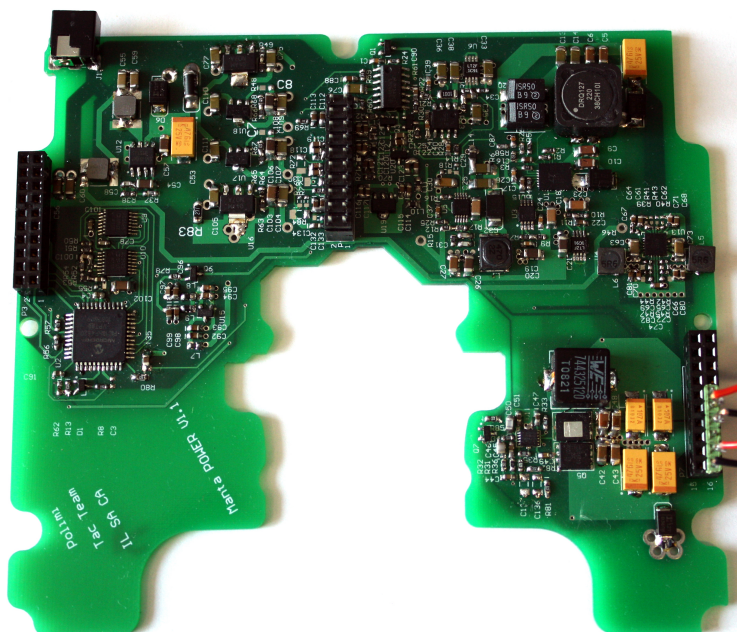


Figura 3.4: Scheda di power della DH.

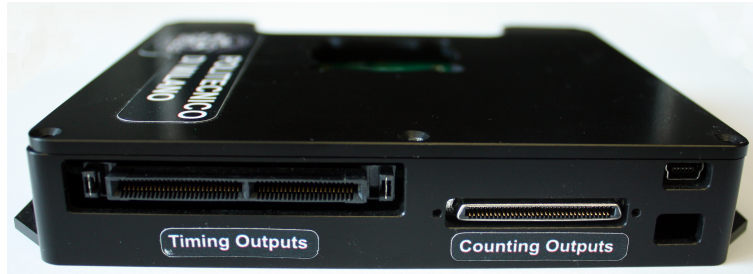


Figura 3.5: Connettori per il collegamento della DH al resto del sistema.

3.2 La Scheda 8x1

I 32 segnali di start provenienti dalla Detection Head vengono smistati dalla Connection Board verso le quattro schede 8x1 che costituiscono i moduli di timing veri e propri. Ogni Scheda 8x1 monta al proprio interno due TAC integrati a 4 canali, un ADC a 8 canali e un'FPGA della famiglia Spartan-6. I dispositivi per la conversione time-to-amplitude, sviluppati all'interno del laboratorio, integrano 4 TAC paralleli e un DAC utile per l'implementazione di tecniche di dithering.

I TAC sono in sostanza degli integratori analogici costituiti da un generatore di corrente e una capacità Figura 3.6.

Il segnale di start accende il generatore che eroga una corrente costante verso il condensatore. Questa fa salire la tensione ai suoi capi con andamento a rampa fino all'arrivo del segnale di stop. A questo punto il generatore si spegne e il condensatore conserva ai suoi capi una tensione proporzionale alla differenza temporale tra istante di start e istante di stop secondo la relazione:

$$V_{out} = V_{iniziale} + \frac{I_{conv}}{C_{conv}} \cdot (t_{STOP} - t_{START})$$

Questo valore di tensione viene convertito in un valore digitale da un ADC e fornito in ingresso all'FPGA. Per rendere questi passaggi meno affetti da disturbi, l'uscita del TAC e dell'ADC sono differenziali.

Per migliorare la DNL (Differential Non-Linearity) dell'ADC viene utilizzata la tecnica del dithering [9]. Questa tecnica consiste nel sommare

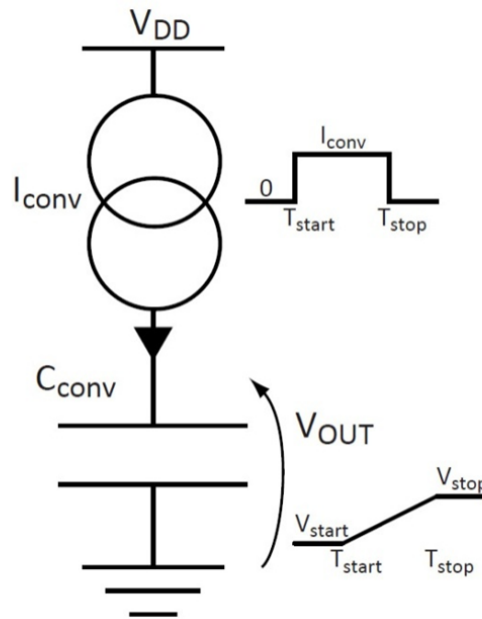


Figura 3.6: Schema concettuale di un TAC

un valore noto prima della conversione dell'ADC e sottrarlo poi dal valore convertito. Per far questo, il DAC integrato è stato realizzato in grado di autogenerare una rampa da sommare ai valori in uscita dal TAC. Ad ogni conversione, l'FPGA invia un segnale di “up” al DAC che incrementa la rampa di uno step. Tenendo il conto del numero di segnali di up inviati, l'FPGA è in grado di sapere quale valore deve sottrarre dalla conversione ricevuta dall'ADC. Poiché gli step in cui è suddivisa la rampa sono affetti da piccole variazioni, una fase di calibrazione del dithering è necessaria. In questa fase il TAC viene tenuto spento e l'FPGA riceve la conversione digitale dei soli valori della rampa. Memorizzando il valore di ogni step in una cella di memoria, l'FPGA è in grado di sottrarre il valore corretto in fase di acquisizione. Una rappresentazione schematica del dithering è riportata in Figura 3.7.

In questo modo conversioni di uno stesso valore vengono effettuate attraverso canali diversi dell'ADC, riducendo così gli effetti di non linearità legati alla diversa dimensione dei canali in cui la dinamica del convertitore è suddivisa.

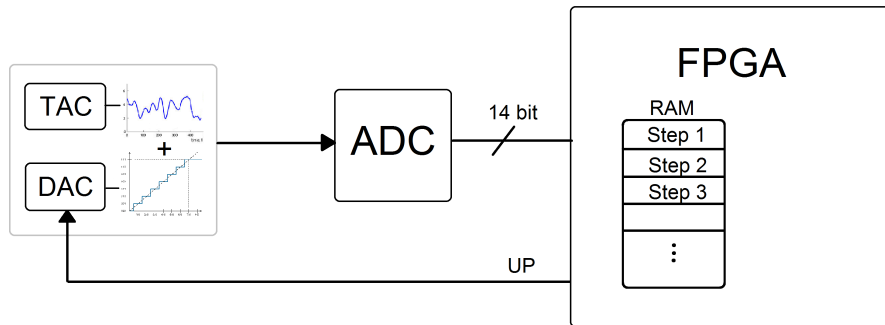


Figura 3.7: Principio di funzionamento del dithering.

Le misure effettuate vengono quindi lette dall'FPGA e inviate alla Control Unit per essere salvate. Per il downstream dei dati viene utilizzato un protocollo di comunicazione seriale denominato AURORA, di cui si parlerà più approfonditamente nei capitoli 4.1 e 5.2.

Ogni Scheda 8x1 è dotata inoltre di un Clock Manager per la generazione dei segnali di clock necessari all'FPGA e ai GTP (Gigabit Transceiver Port, paragrafo 4.1.3), di un microcontrollore per la configurazione dei dispositivi tramite interfaccia I^2C ed SPI e di un FT-USB per la comunicazione USB con il PC. L'alimentazione è gestita dalla scheda stessa che prende in ingresso i 16 V provenienti dalla CU e, tramite convertitori DC/DC di tipo buck e lineari, genera le tensioni necessarie al corretto funzionamento di tutti i dispositivi presenti.

Lo sviluppo dei moduli 8x1 è avvenuto a stretto contatto con la progettazione della Control Unit. Questi moduli sono infatti stati pensati per poter essere utilizzati sia in maniera indipendente, per la realizzazione di sistemi TCSPC a 8 canali, che in maniera congiunta attraverso la CU, per poter realizzare sistemi con un numero sempre maggiore di canali.

In Figura 3.8 è presentato uno schema concettuale della Scheda 8x1, mentre in Figura 3.9 è possibile vedere un'immagine della scheda completa.

3. Sistema di Acquisizione Completo

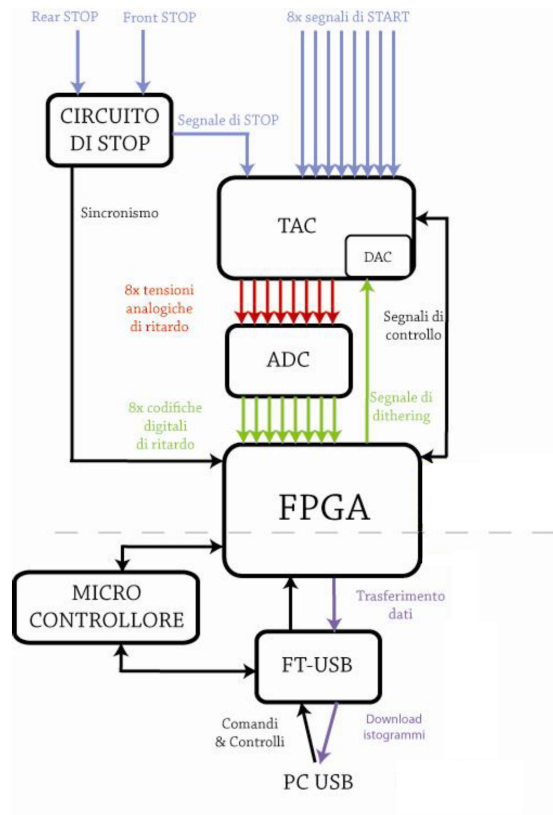


Figura 3.8: Schematizzazione della Scheda 8x1.

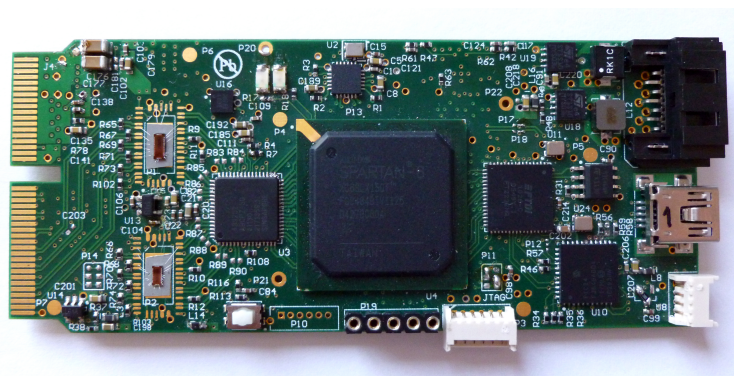


Figura 3.9: Scheda 8x1 finita.

3.3 La Connection Board

Per connettere le varie parti del sistema è stata realizzata una PCB in grado di consentire i collegamenti fisici necessari. Questa scheda, chiamata Connection Board (CB), è stata progettata nel corso del lavoro di tesi unitamente con la CU e permette l'interfacciamento di 4 Schede 8x1, lo smistamento dei segnali di START e di STOP e il trasporto dell'alimentazione alle varie parti del sistema.

Sulla Connection Board sono presenti i seguenti connettori:

- Connettore per flat cable di collegamento con la Detection Head
- 4 connettori per la connessione dei moduli 8x1
- Connettore SMA per la ricezione del segnale di stop
- 2 connettori per la connessione della Control Unit

In Figura 3.10 è riportata una schematizzazione dei collegamenti realizzati dalla CB.

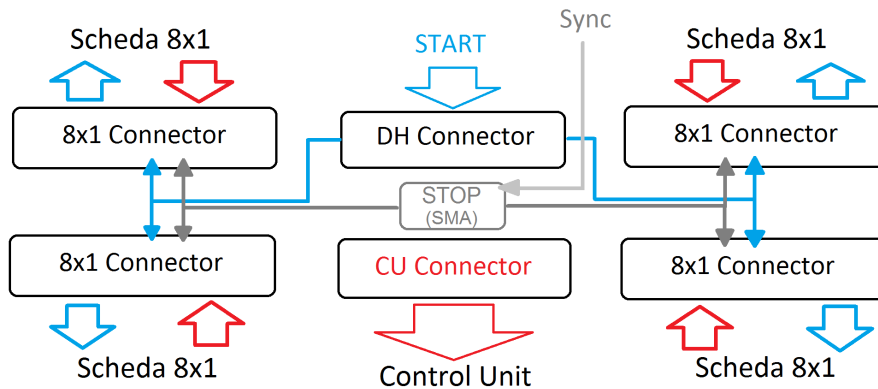


Figura 3.10: Schematizzazione dei collegamenti realizzati dalla CB.

I connettori utilizzati sono tutti prodotti da SAMTEC. In particolare, per il collegamento con il flat cable proveniente dalla DH è stato utilizzato il connettore HSEC8-140-01-L-D-EML a 140 contatti; i connettori per la

connessione delle schede 8x1 sono del tipo HSEC8-140-01-SM-DV-A, mentre il due connettori utilizzati per il collegamento della CU sono del tipo HSEC8-120-01-SM-DV-A a 120 contatti.

Sulla CB sono inoltre presenti dei comparatori che necessitano di due tensioni di alimentazione pari a 2.5 V e 3.3 V. Queste tensioni vengono generate sulla CU da un regolatore fisso e trasmesse alla CB tramite i connettori.

La CB è costituita quasi interamente da collegamenti passivi utili alla trasmissione dei segnali e delle alimentazioni. I 16V di alimentazione necessari alle schede 8x1 vengono infatti trasferiti dalla CU alla CB, la quale li distribuisce poi attraverso i connettori.

Per ogni scheda 8x1, i collegamenti realizzati per la comunicazione e il trasferimento dei dati sono i seguenti:

- Due coppie di piste differenziali per la comunicazione tramite GTP e il downstream di dati provenienti dalle misure
- Una coppia differenziale per la comunicazione USB
- Due coppie differenziali per segnali ausiliari utili alla comunicazione tra l’FPGA delle 8x1 e l’FPGA della CU

I segnali da trattare con particolare attenzione sono quindi trasmessi su 5 coppie differenziali, che per quattro schede 8x1 porta il totale a 20 coppie.

In Figura 3.11 e 3.12 è possibile vedere rispettivamente il fronte e il retro della CB.

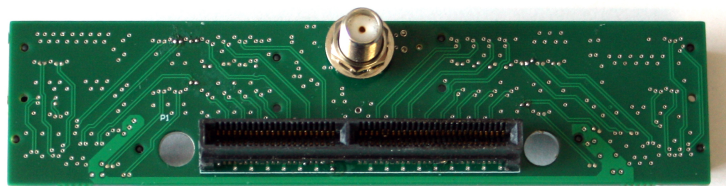


Figura 3.11: Lato della CB con il connettore per il cavo flat e con il connettore SMA per il segnale di STOP.

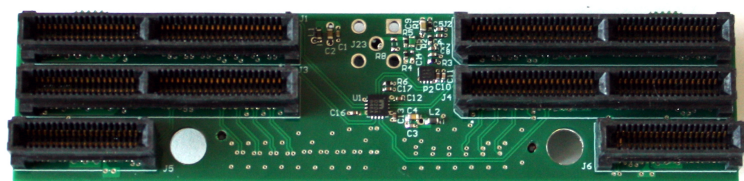


Figura 3.12: Lato della CB con i connettori per la connessione delle quattro schede 8xq e della CU.

Capitolo 4

La Control Unit

Di pari passo con lo sviluppo del modulo 8x1 è stata progettata la Control Unit, pensata per poterne sfruttare la modularità e realizzare sistemi di misurazione TCSPC fino a 32 canali.

Il compito della CU è quindi quello di permettere l'utilizzo parallelo di più schede 8x1 attraverso un'unica interfaccia con l'utente. Il sistema completo deve essere in grado di operare sia in modalità "live", ovvero scaricando in real time i dati delle misure TCSPC tramite collegamento USB, sia in modalità "off-line" ovvero con la memorizzazione interna dei dati acquisiti. La CU è quindi stata dotata di un Hub-USB che consente il collegamento con il PC delle schede 8x1 tramite un unico cavo USB. Questo viene utilizzato per il downstream dei dati in modalità "live" e per l'invio dei comandi di lettura. Per permettere l'operatività in modalità "off-line" la CU è stata predisposta per poter gestire l'archiviazione dei dati mediante protocollo SATA. Il dispositivo di archiviazione che verrà utilizzato nell'Acquisition System è un Solid State Drive (SSD) da 1.8 pollici che, oltre alle dimensioni estremamente ridotte, garantisce alte prestazioni in lettura/scrittura e permette futuri sviluppi del sistema. Per permettere l'accesso ai dati memorizzati, la CU ha al suo interno uno switch che permette di collegare l'SSD alternativamente all'FPGA o ad una porta e-SATA.

Il cuore della CU è un'FPGA della famiglia Spartan-6, in particolare il modello XC6SLX150T, che mette a disposizione i Gigabit Transceiver Port

(GTP) utili per l'implementazione pratica dei protocolli di comunicazione necessari al trasferimento dei dati dalle schede 8x1 e alla scrittura su SSD.

In Figura 4.1 è schematicamente rappresentata la CU.

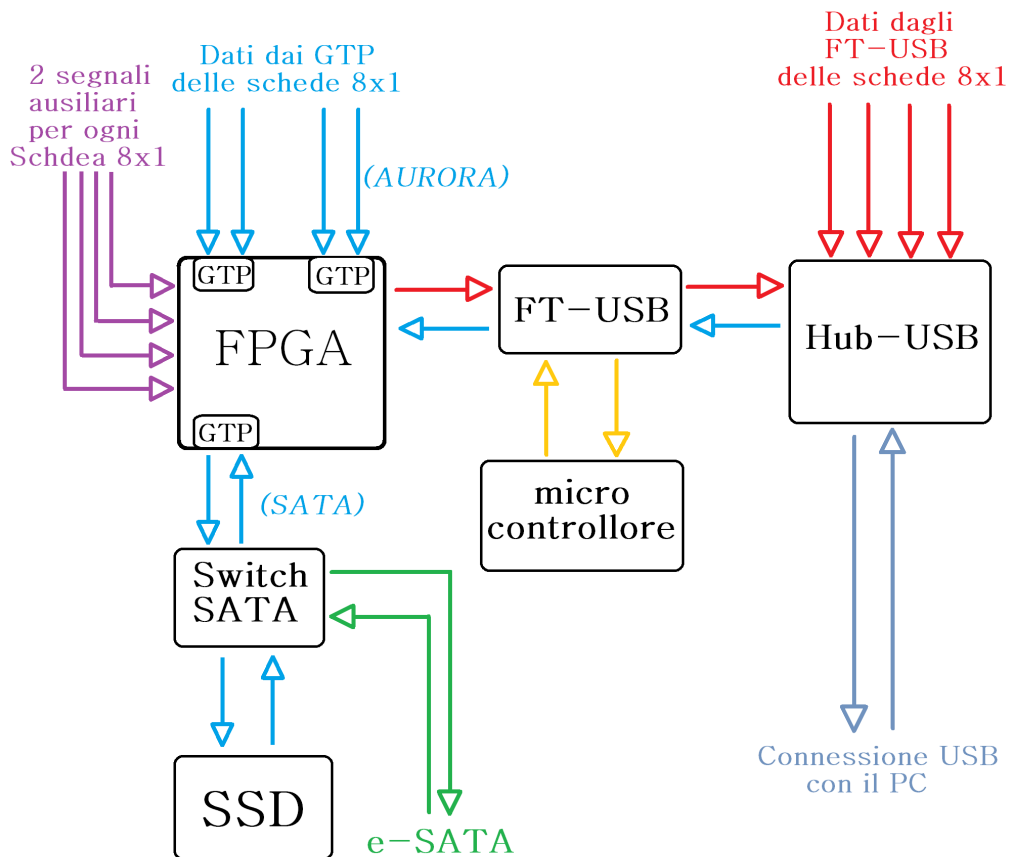


Figura 4.1: Schema a blocchi della CU. La comunicazione con le schede 8xq può avvenire tramite i GTP o per mezzo degli FT-USB.

Il primo aspetto che è stato affrontato è la valutazione della mole di dati che la CU deve essere in grado di gestire e il rate di trasferimento che deve essere sostenuto per garantire una corretta operatività anche in modalità time tagging. In questa modalità è necessario memorizzare non solo il valore dei ritardi temporali tra gli istanti di start e di stop ("micro-tempo"), ma anche il tempo assoluto in cui avviene ogni rivelazione rispetto all'inizio della misurazione ("macro-tempo").

Considerando i dati provenienti da una singola Scheda 8x1, detti m_t i bit utilizzati per la conversione in digitale dei tempi misurati dal TAC, M_t quelli utilizzati per i tempi assoluti e n i bit che identificano il rivelatore che ha commutato, è possibile stimare il rate di dati come:

$$R = (m_t + M_t + n) \cdot f \cdot N$$

Dove f è la frequenza di conteggio dei periodi, sincronizzata ai segnali di stop ed N è il numero di canali utilizzati.

Considerando che la conversione dei tempi dei TAC viene effettuata con un ADC a 14 bit (m_t), supponendo di effettuare misurazioni di durata massima un'ora e mezza ($M_t = 39 \text{ bit}$ memorizzando i tempi in decine di nanosecondi) e che per l'identificazione del rivelatore (uno tra 8) sono necessari 3 bit, si arriva ad un rate pari a:

$$R = (14 \text{ bit} + 39 \text{ bit} + 3 \text{ bit}) \cdot 5 \text{ MHz} \cdot 8 = 2.24 \text{ Gbit/s}$$

dove si è considerata come frequenza di conteggio la massima frequenza di operatività dei TAC, pari a 5 MHz.

Il risultato ottenuto si riferisce ad una singola scheda 8x1. Risulta quindi evidente come la gestione del downstream dei dati provenienti da 4 moduli sia una questione cruciale, tanto più se si considera che per l'identificazione della scheda da cui provengono i dati bisogna aggiungere ulteriori 2 bit di indirizzamento.

La CU è progettata per poter utilizzare il protocollo SATA per il salvataggio di dati su un'unità di archiviazione compatibile. Il rate di trasferimento di questo tipo di collegamento è fissato a 1.5 Gbit/s. Per riuscire a salvare i dati si è quindi deciso di utilizzare un algoritmo di compressione in grado di ridurre il numero di bit necessari a memorizzare la misura dei tempi assoluti. L'idea è quella di distinguere tra il caso in cui si abbiano conteggi temporalmente ravvicinati e quello in cui i conteggi siano separati da un tempo superiore ad una certa soglia prefissata. Nel caso di conteggi ravvicinati non verrà salvato un valore di tempo assoluto, ma solamente il ritardo temporale

rispetto al conteggio precedente. Per conteggi che avvengono con un ritardo superiore alla soglia avremo un tempo maggiore per l'invio dei dati e sarà quindi possibile memorizzare un riferimento temporale assoluto.

Volendo rispettare la velocità massima del collegamento SATA, per ogni canale avremo a disposizione una banda massima pari a:

$$r = \frac{1.5 \text{ Gbit/s}}{32} = 46.875 \text{ Mbit/s}$$

Supponendo di voler memorizzare riferimenti temporali assoluti per misure di durata fino a 45 minuti ($M_t = 38\text{bit}$), i bit totali da memorizzare per ogni campione sono:

$$b = D + m_t + M_t + n_{4\text{moduli}} = 1 + 14 + 38 + 5 = 58 \text{ bit}$$

che corrispondono ad una frequenza massima dei dati in ingresso pari a:

$$f_{max} = \frac{r}{b} = \frac{46.875 \text{ Mbit/s}}{58 \text{ bit}} = 0.8 \text{ MHz}$$

Per frequenze inferiori a f_{max} , ovvero per campioni distanti tra loro più di $1.25 \mu s$, sarà possibile memorizzare il dato con un riferimento temporale assoluto. Per campioni con distanza temporale inferiore a questa soglia si memorizzerà invece il ritardo rispetto al precedente. In quest'ultima modalità è quindi necessario memorizzare tempi inferiori a $1.25 \mu s$ che, utilizzando come unità di misura la decina di nanosecondi, sono esprimibili mediante 7 bit (M_t). Grazie a questa idea i bit complessivi da inviare per ogni misura sono ridotti a 27, portando la massima frequenza di acquisizione dei dati a 1.7 MHz . L'utilizzo dell'algoritmo descritto consente quindi di utilizzare il sistema a 32 canali per misurazioni in modalità time-tagging con frequenza massima di 1.7 MHz per ogni canale. Il bit D permette di riconoscere il tipo di tempo salvato e consente quindi la ricostruzione del tempo assoluto in fase di post-processing dei dati. L'utilizzo del sistema in modalità TCSPC presenta invece vincoli meno stringenti, non necessitando la memorizzazione di riferimenti temporali assoluti. Per memorizzare i ritardi misurati dai TAC

e i bit identificativi del sensore sono infatti necessari solo:

$$b = m_t + n = 14 + 5 = 19 \text{ bit}$$

Portando quindi la frequenza massima operativa a 2.4 MHz per ogni canale.

Per il downstream dei dati dalle schede 8x1 alla CU si è deciso di utilizzare il protocollo Aurora di cui si parlerà nei paragrafi 5.1 e 6.2.

I successivi punti che sono stati affrontati sono quelli relativi al controllo della scheda e alla programmazione dei componenti. Per quanto riguarda il primo aspetto, si è deciso di utilizzare un microcontrollore (paragrafo 4.2) in grado di supportare comunicazioni I^2C e SPI per gestire i componenti programmabili presenti nel sistema. Questo dispositivo, dotato di memoria interna, permette la corretta configurazione dei componenti all'avvio del sistema.

Importante è stato anche l'aspetto relativo alla generazione e alla distribuzione dei segnali di temporizzazione del sistema. Per i dispositivi che necessitano un valore di clock fisso sono stati impiegati degli oscillatori dedicati posti nelle loro immediate vicinanze, mentre per la parte di FPGA e GTP si è scelto di utilizzare un Clock Manager (paragrafo 4.7) in grado di sintetizzare ogni frequenza compresa nell'intervallo $5 \text{ Hz} - 350 \text{ MHz}$. Questo permette di mantenere un'elevata configurabilità della parte di trasmissione/ricezione che può adattarsi a diverse esigenze prestazionali.

Come ultimo punto è stata progettata la parte di generazione e distribuzione delle alimentazioni. La tensione d'ingresso della Control Unit è stata fissata a 16 V , regolati da un trasformatore esterno, per essere conforme a quella utilizzata dai moduli 8x1 e dalla Detection Head. La regolazione delle tensioni e la distribuzione delle alimentazioni vengono descritte più in dettaglio nel paragrafo 4.5.

Il raffreddamento del sistema è affidato ad un sistema di due ventole radiali in grado di forzare un flusso d'aria all'interno del case. L'aria viene aspirata da due aperture presenti nella parte superiore del case, spinta verso la parte frontale ed espulsa attraverso una griglia aperta nel pannello posteriore.

Nelle Figure 4.2 e 4.3 è mostrata la CU completa.

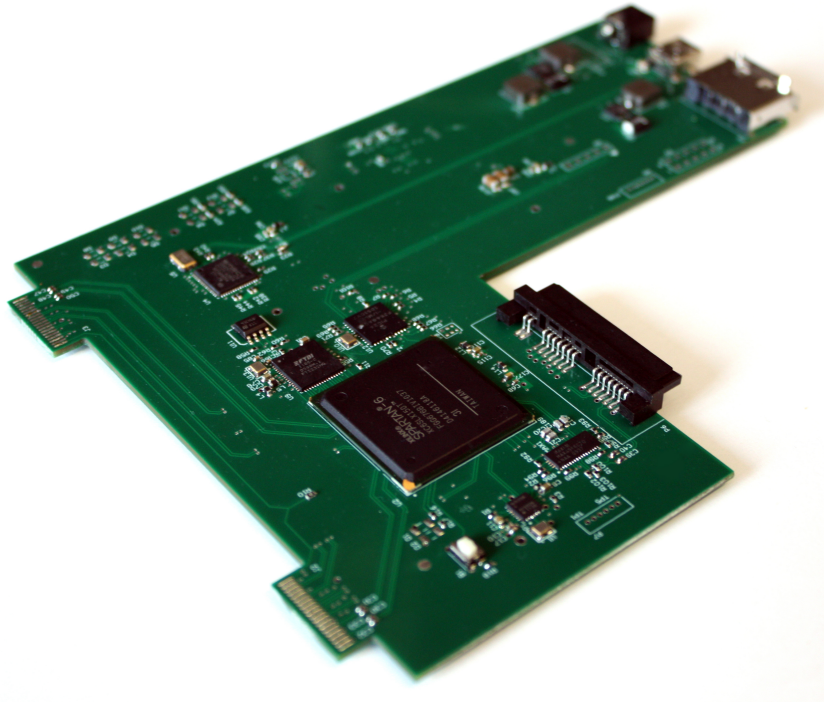


Figura 4.2: La Control Unit completa (fronte).

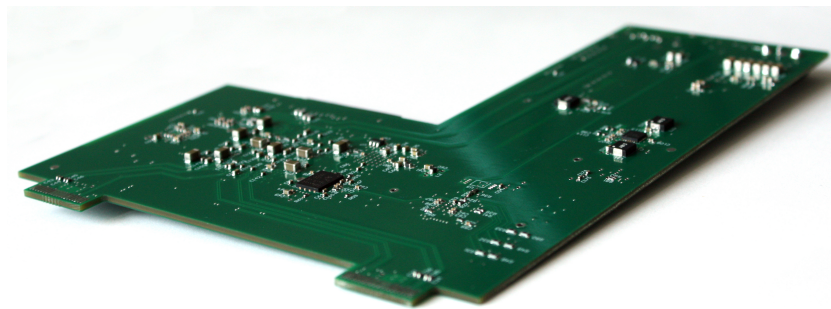


Figura 4.3: La Control Unit completa (retro).

Di seguito vengono presentati più in dettaglio i dispositivi utilizzati nella realizzazione della Control Unit e la loro configurazione.

4.1 FPGA

L’FPGA (Field Programmable Gate Array) è un dispositivo digitale che mette a disposizione risorse hardware riconfigurabili dall’utente.

La possibilità di essere riprogrammati rende questi dispositivi estremamente versatili ed adatti a svariati campi di applicazione. Le FPGA sono particolarmente utili in fase di progetto e di test, facilitando e rendendo più rapide eventuali modifiche al sistema. Le funzioni svolte dal dispositivo vengono infatti programmate dall’utente tramite un linguaggio ad alto livello (VHDL o Verilog) e verificate tramite appositi tools di simulazione. Per questa loro versatilità, l’utilizzo di FPGA è spesso vantaggioso rispetto a quello di Application Specific Integrated Circuits (ASICs).

Lo sviluppo di ASICs è generalmente più lungo e costoso, ma garantisce l’ottimizzazione delle risorse utilizzando solo quelle necessarie a svolgere al meglio la funzione desiderata. Gli ASICs sono quindi convenienti solo in caso di produzione di migliaia di unità, per le quali il minor costo unitario va a compensare il maggior costo di sviluppo. L’utilizzo di FPGA è quindi conveniente solo in fase di prototipizzazione, mentre diventa antieconomico per produzioni su larga scala.

4.1.1 Descrizione Interna

L’FPGA è un circuito VLSI (Very Large Scale Integration) costituito da una matrice di CLB (Configurable Logic Block) interconnessi tra loro mediante linee e risorse programmabili. Una parte considerevole della superficie di un’FPGA è occupata dalle interconnessioni che vengono selezionate da elementi attivi. La versatilità di questi dispositivi è garantita proprio da queste linee che permettono di collegare i diversi blocchi logici tra loro o a pin di I/O. L’elemento base dell’FPGA è la Look up Table (LUT), Figura, che permette di sintetizzare facilmente una qualsiasi funzione logica. Una LUT è costituita da una tabella di celle di memoria SRAM e da un multiplexer. Gli ingressi della funzione sono i bit di selezione del mux che indirizza la cella SRAM nella quale è contenuta la corretta uscita della funzione voluta.

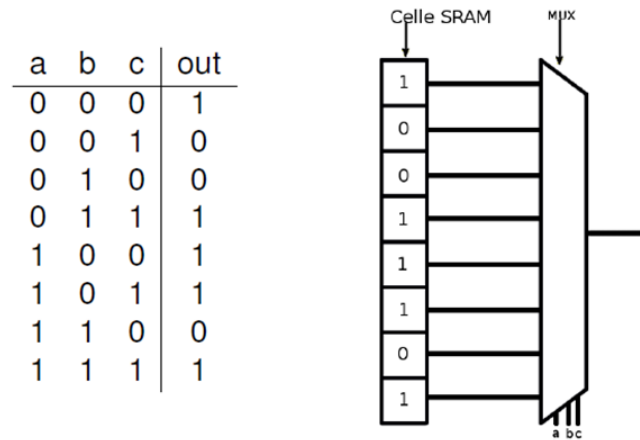


Figura 4.4: Schema concettuale di una Look-Up-Table

Utilizzando le LUT è quindi teoricamente possibile realizzare funzioni combinatorie di qualsiasi complessità. All'aumentare del numero d'ingressi della funzione aumenta però il numero di celle di memoria allocate, con una relazione del tipo 2^N -bit. Diventa quindi necessario un trade-off tra numero di ingressi e complessità della struttura. Per il sistema sviluppato in questo progetto è stato scelto un'FPGA della famiglia Spartan-6 LXT. In questa famiglia di dispositivi i blocchi logici (CLB) sono costituiti da due Slices. Ogni Slice integra al proprio interno quattro LUT a sei ingressi ed altri elementi di logica generica [10].

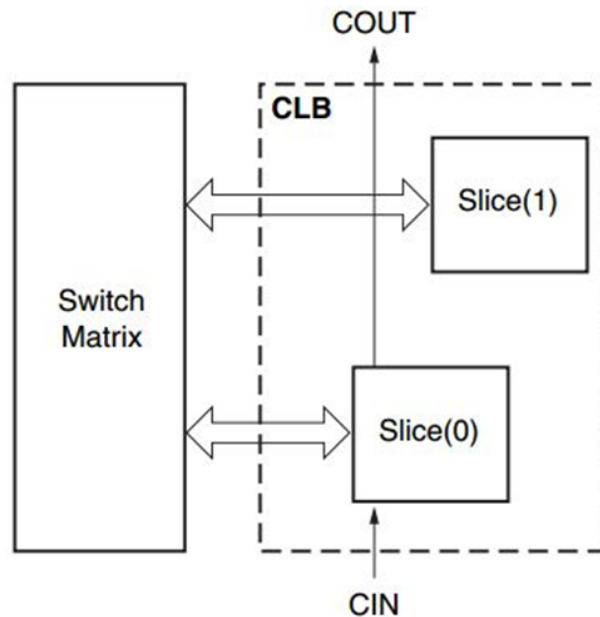


Figura 4.5: Organizzazione delle Slice all'interno di una CLB

4.1.2 Organizzazione I/O

I piedini dell'FPGA sono organizzati in banchi e suddivisi in pin di clock, pin generici e pin dedicati a funzioni specifiche, come ad esempio i pin dei GTP, che verranno discussi più in dettaglio in seguito.

Un banco è costituito dall'insieme di pin di I/O che si trovano nella stessa regione dell'FPGA. Il numero di banchi dipende dalle dimensioni del dispositivo e dal tipo di package in cui è contenuto. L'FPGA utilizzata nel progetto è suddivisa in 6 banchi numerati da 0 a 5.

Ogni banco può essere alimentato in maniera indipendente con diversi valori di VCCO. Questo permette di poter utilizzare diversi standard di I/O all'interno dello stesso device e gestire sia segnali single-ended che segnali differenziali [11].

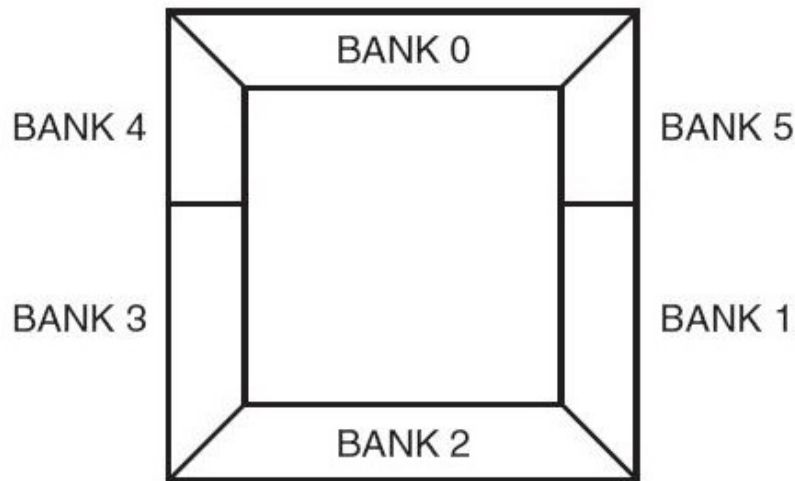


Figura 4.6: Suddivisione dei banchi di I/O nelle FPGA con package LX150

4.1.3 GTP

Una delle caratteristiche principali della famiglia Spartan-6 LXT è la presenza di GTP (Gigabit Transceiver Port) che permettono l'invio seriale di uno stream di dati ad alta velocità.

Le caratteristiche fondamentali dei GTP sono:

- Buffer/Driver in logica CML con terminazioni configurabili;
- Possibilità di implementazione di diversi standard di comunicazione con rate compresi tra 614 *Mb/s* a 3.125 *Gb/s*;
- Pre-enfasi del segnale in trasmissione configurabile ed equalizzazione continua del segnale ricevuto;
- Funzioni di codifica 8B/10B, comma alignment e clock correction integrate;
- Gestione dei segnali Out-Of-Band per supporto a protocollo SATA.

Negli Spartan-6 i GTP sono raggruppati in coppie dette GTP_Dual. In Figura 4.7 è mostrato lo schema a blocchi di un GTP [12]. I componenti principali del trasmettitore e del ricevitore verranno di seguito presentati.

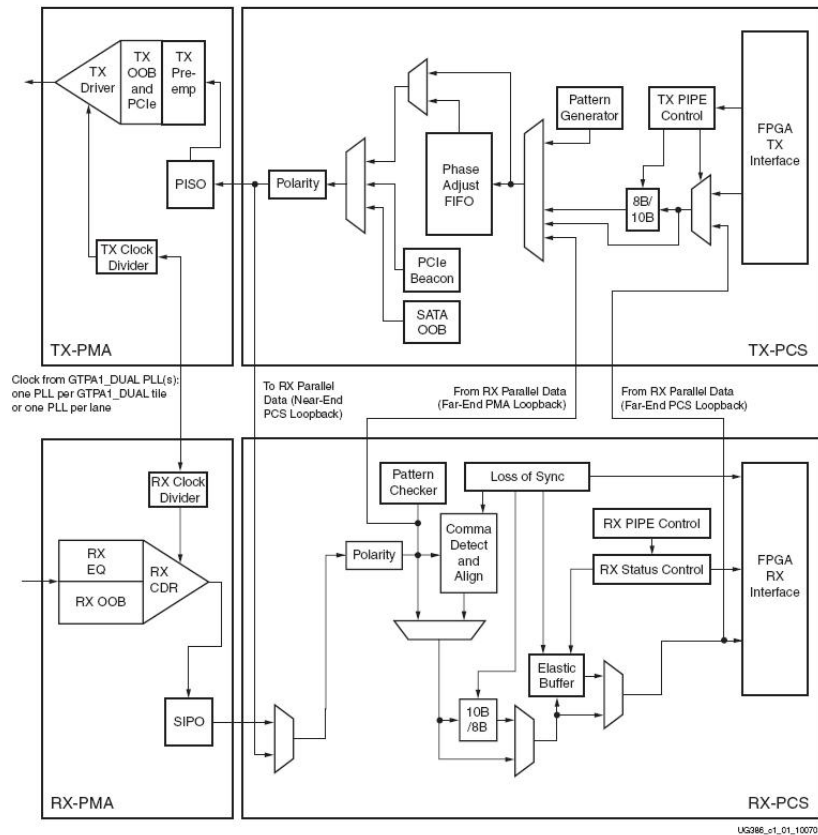


Figura 4.7: Schema a blocchi di un GTP. Nella parte superiore è rappresentate lo schema del blocco di trasmissione, nella parte inferiore il blocco di ricezione.

4.1.4 Trasmettitore

La trasmissione dei dati all'interno del sistema avviene attraverso due step successivi. Il primo consiste nel downstream dei dati da ogni scheda 8x1 verso la CU; il secondo nell'invio del flusso riunito all'SSD. In entrambi i casi la trasmissione viene effettuata tramite GTP, ma i protocolli utilizzati sono differenti. Per la comunicazione tra schede 8x1 e CU è stato implementato, all'interno di questo lavoro di tesi, il protocollo AURORA in modalità di trasmissione framing con velocità della linea pari a 3 Gbps. Per la scrittura su SSD è invece previsto l'utilizzo del protocollo SATA, attualmente in fase

di studio all'interno del gruppo di ricerca.

Entrambi gli standard di comunicazione utilizzano alcuni dei blocchi interni ai GTP, che verranno ora presentati.

8b/10b Encoder

La codifica 8b/10b, prevista da entrambi i protocolli utilizzati, consiste nel mappare in modo univoco una sequenza di 8 bit in una di 10 bit. L'aumento di 2 bit per ogni byte da inviare è giustificato dai vantaggi introdotti sul segnale da questa codifica. Un primo vantaggio è la possibilità di individuare facilmente eventuali errori di trasmissione. Questo tipo di codifica è infatti detto DC-balanced, il che significa che in una trasmissione il numero di zeri e di uni è esattamente lo stesso. Monitorando la Running Disparity, ovvero la differenza tra zeri e uni in "parole successive, è quindi possibile avere un controllo su eventuali errori. La codifica 8b/10b prevede che sia inviato per primo il bit meno significativo. Con riferimento a figura, il bit più a destra (a0) è il primo ad essere trasmesso. TXDATAWIDTH è un segnale interno che indica la dimensione dei pacchetti di dati da inviare:

- TXDATAWIDTH = 0 → trasmissione a 8 bit
- TXDATAWIDTH = 1 → trasmissione a 16 bit
- TXDATAWIDTH = 2 → trasmissione a 32 bit

Un altro vantaggio di questa codifica è la disponibilità di speciali sequenze di 10 bit (dette K characters) che possono essere usate per funzioni di controllo. Molti standard commerciali di comunicazione, come ad esempio il SATA, utilizzano K characters come segnali di start ed end-of-frame o come sequenze di allineamento nelle fasi di inizializzazione e di clock correction. Nei GTP questo tipo di codifica è realizzata da un blocco dedicato che implementa l'encoder in maniera efficiente e senza l'utilizzo di risorse interne all'FPGA. Se la funzione di codifica non è richiesta dal protocollo di comunicazione, è possibile bypassare questo blocco.

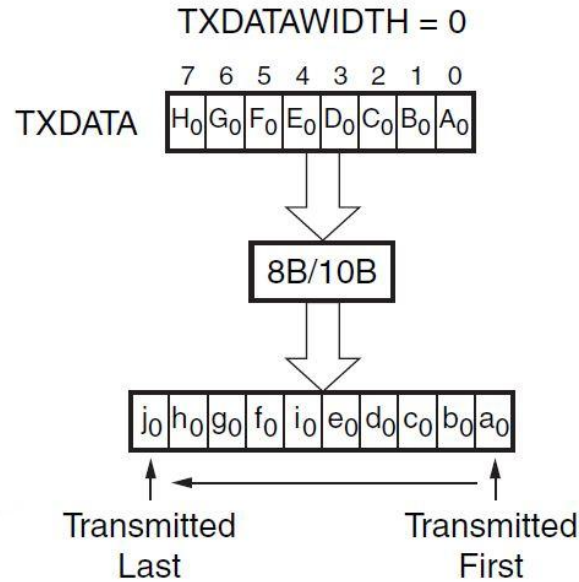


Figura 4.8: Esempio di *8B/10B Encoding* nel caso di trasmissione di dati a 8 bit (*TXDATAWIDTH* = 0).

SATA OOB

Nello standard di comunicazione SATA è previsto l'impiego di segnali fuori banda (Out-of-band) nella fase di inizializzazione del canale. In questa fase i dispositivi master e slave si inviano delle sequenze (burst) di segnali OOB per impostare la velocità con la quale avverrà la comunicazione. I GTP presenti nelle FPGA di Xilinx integrano al loro interno un blocco in grado di gestire automaticamente questo tipo di segnali, semplificando l'implementazione del protocollo.

Questo blocco viene bypassato nel caso di utilizzo di AURORA.

Segnali di Clock

Ogni trasmettitore è diviso in due parti dette TX-PCS e TX-PMA (vedi Figura 4.7) che lavorano in due diversi domini di clock. La prima è la parte

di gestione parallela dei dati, dove vengono riconosciute particolari sequenze (K characters o OOB) ed applicata la codifica 8b/10b; la seconda è la parte di serializzazione ed invio sulla linea. Il clock di riferimento per la PMA è detto TXUSRCLK mentre quello per la PCS è detto TXUSRCLK2. Il valore di questi segnali di temporizzazione dipende dai parametri con cui si vuole impostare la trasmissione.

Prima di tutto bisogna definire la velocità della linea, ovvero il Line Rate. Poi bisogna decidere se si desidera usare l'encoder 8b/10b, il che definisce la INDATAWIDTH. Se l'encoder viene bypassato, la dimensione del dato interno è 8 bit e quindi il clock della PMA deve essere 8 volte più lento del Line Rate. Se invece si utilizza l'encoder, allora il dato è a 10 bit e TXUSRCLK deve essere un decimo del Line Rate. Riassumendo:

- 8b/10b off \rightarrow INDATAWIDTH = 0 $\rightarrow f_{TXUSRCLK} = LineRate/8$
- 8b/10b on \rightarrow INDATAWIDTH = 1 $\rightarrow f_{TXUSRCLK} = LineRate/10$

Per determinare la frequenza di TXUSRCLK2 è invece necessario stabilire la dimensione dei dati da inviare. Il GTP può essere impostato per lavorare a 8, 16 o 32 bit [12]. Il dato relativo a questa impostazione è contenuta nel segnale TXDATAWIDTH. Il corretto valore di FTXUSRCLK2 può essere calcolato rapidamente nel seguente modo:

- 8 bit mode \rightarrow TXDATAWIDTH = 0 $\rightarrow f_{TXUSRCLK2} = f_{TXUSRCLK}$
- 16 bit mode \rightarrow TXDATAWIDTH = 1 $\rightarrow f_{TXUSRCLK2} = f_{TXUSRCLK}/2$
- 32 bit mode \rightarrow TXDATAWIDTH = 2 $\rightarrow f_{TXUSRCLK2} = f_{TXUSRCLK}/4$

Una volta determinate le frequenze necessarie per il corretto funzionamento del GTP, è necessario sintetizzarle all'interno dell'FPGA.

I segnali da considerare sono riportati in Tabella 4.1.

Ogni GTP necessita di un segnale di clock collegato al suo morsetto CLK00 alla frequenza $f_{TXUSRCLK}$ e restituisce in uscita due segnali di clock contenuti in GTPCLKOUT[1:0]. GTPCLKOUT[0] è un segnale a frequenza

Segnale	Descrizione
CLK00	clock single-ended in ingresso al GTP
GTPCLKOUT[1:0]	clock in uscita dal gtp. Può essere utilizzato per generare TXUSRCLK e TXUSRCLK2
TXUSRCLK	clock di riferimento per la parte PMA del GTP
TXUSRCLK2	clock di riferimento per la parte PCS del GTP

Tabella 4.1: Segnali di riferimento per la generazione dei clock necessari al GTP.

$F_{TXUSRCLK}$ che può essere usato come sorgente per TXUSRCLK e TXUSRCLK2. Per far questo, nel caso in cui si operi a 16 o 32 bit, è necessario utilizzare un DCM o una PLL che prendano in ingresso GTPCLKOUT[0] e sintetizzino i corretti valori di TXUSRCLK e TXUSRCLK2. In questo caso è sempre necessario interporre un BUFIO2 tra GTPCLKOUT[0] e il DCM/PLL e fornire i segnali in ingresso al GTP tramite dei BUFG.

In Figura 4.9 è mostrato uno schematico che riassume i collegamenti necessari per la corretta generazione dei segnali di clock.

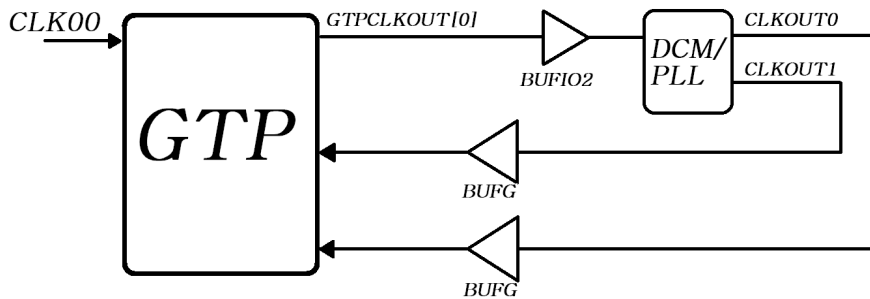


Figura 4.9: Schema riassuntivo della generazione dei segnali di clock necessari al GTP. GTPCLKOUT[0] va in ingresso a un blocco DCM/PLL in grado di sintetizzare TXUSRCLK e TXUSRCLK2 (Trasmissione a 2-Byte o 4-Byte).

4.1.5 Ricevitore

Il blocco di ricezione funziona in maniera analoga a quello di trasmissione. Anche in questo caso troviamo la presenza di un blocco PMA e uno PCS, funzionanti rispettivamente alle frequenze RXUSRCLK e RXUSRCLK2. Perchè la trasmissione possa essere interpretata correttamente dal lato di ricezione, deve sempre valere:

- $RXUSRCLK = TXUSRCLK$
- $RXUSRCLK2 = TXUSRCLK2$

È quindi possibile utilizzare lo stesso blocco DCM/PLL per la generazione di tutti i segnali di temporizzazione.

Nel blocco PMA è integrato un rivelatore di segnali OOB, utile per la fase di inizializzazione del protocollo SATA, e un blocco di equalizzazione regolabile a diversi livelli per compensare l'attenuazione dei fronti dovuti all'attenuazione della linea.

Nel blocco PCS sono invece presenti un encoder 8b/10b e un blocco (Comma Detect and Align) in grado di riconoscere K-character utilizzati per la fase di allinamento. I dati seriali ricevuti vengono quindi equalizzati, deserializzati, decodificati e forniti alla logica interna dell'FPGA.

4.1.6 Condivisione del Clock

Nel caso si utilizzino più GTP contemporaneamente, generare e distribuire i segnali di temporizzazione per ognuno di essi può risultare complicato. Per questo è possibile condividere lo stesso clock di riferimento sia tra GTP della stessa coppia che tra DUAL_GTP appartenenti allo stesso banco [12].

In Figura 4.10 è riportato uno schema concettuale dei possibili collegamenti per il segnale di clock di riferimento.

All'FPGA della Control Unit si è deciso di fornire un segnale di clock indipendente per ogni GTP_DUAL, condividendolo tra la coppia di GTP al loro interno. In questo modo è stato necessario generare solo tre segnali di

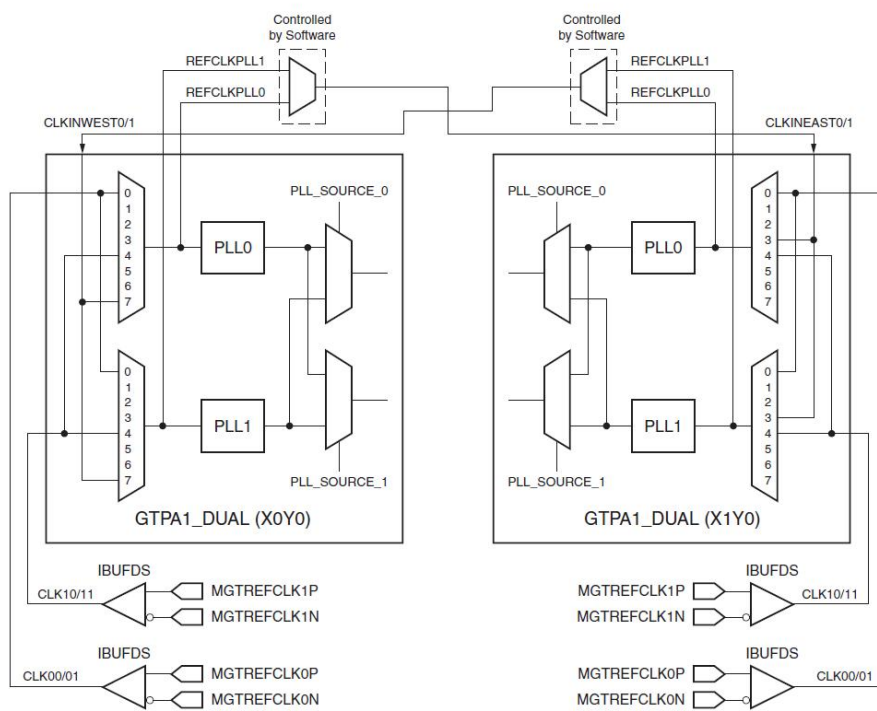


Figura 4.10: Schema concettuale dei possibili collegamenti per il clock di riferimento dei GTP.

clock per la temporizzazione dei cinque GTP utilizzati. I segnali di temporizzazione di riferimento, di tipo differenziale, sono generati da un Clock Manger di cui si parlerà nel paragrafo 4.7.

4.1.7 Caratteristiche Spartan-6 LX150T

Nella scheda realizzata in questo progetto è stato utilizzato un’FPGA della famiglia Spartan-6 prodotta da Xilinx. In particolare la scelta è stata dettata dalla necessità di avere a disposizione almeno cinque GTP: quattro per i collegamenti tra le schede 8x1 e la Control Unit (CU) e uno per il collegamento SATA tra CU e SSD. Si è quindi scelto il modello XC6SLX150T con package FGG676 che mette a disposizione, oltre a 4 GTP_DUAL (8 GTP), anche 4824 Kb di memoria RAM.

Nelle Tabelle 4.2 e 4.3 sono riassunte le principali caratteristiche del device utilizzato [12].

Logic Cells	Configurable Logic Blocks (CLBs)			RAM Blocks	
	Slices	Flip-Flops	Max Distributed RAM (Kb)	18 Kb	Max (Kb)
147,443	23,038	184,304	1,355	268	4,824

Tabella 4.2: Principali caratteristiche dell’FPGA Spartan-6 XC6SLX150T.

CMTs	Memory Controller Blocks (Max)	Maximum GTP Transceivers	Total I/O Banks	Max User I/O
6	4	8	6	540

Tabella 4.3: Principali caratteristiche dell’FPGA Spartan-6 XC6SLX150T.

I blocchi di Input/Output (IOBs) possono supportare una vasta gamma di standard elettrici. Il package scelto mette a disposizione 540 pin di I/O suddivisi in sei banchi numerati da 0 a 5, vedi Figura 4.11. Ogni banco riceve un’alimentazione indipendente (Vcco) che può essere diversa a seconda dello standard che si intende utilizzare.

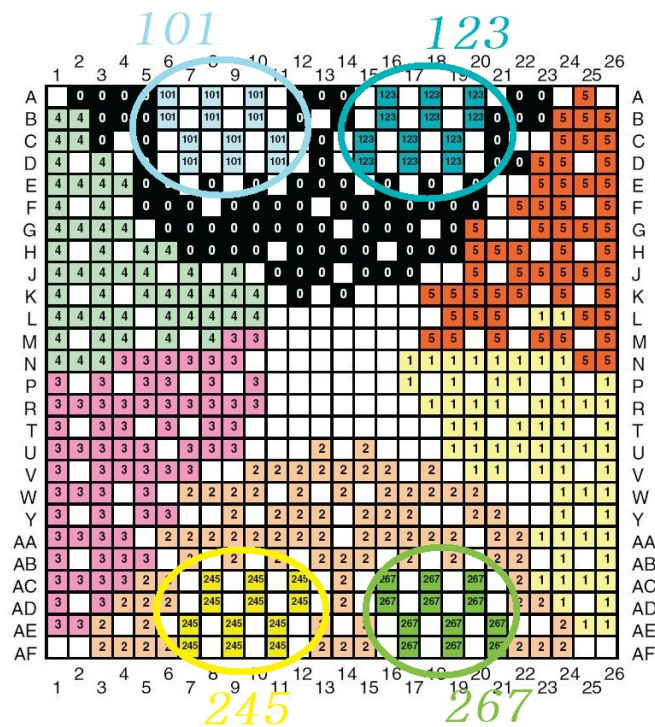


Figura 4.11: Suddivisione dei pin di I/O per FPGA LX150T con package FGG676.

In Figura 4.11 è riportata la suddivisione dei pin di I/O ripartiti nei rispettivi banchi. È possibile individuare la posizione dei quattro GTP_Dual indicati rispettivamente delle sigle 101, 123, 245, 267 [11].

Alcuni degli standard elettrici di I/O supportati dalle FPGA della famiglia Spartan-6 sono i seguenti:

Single-ended	Differenziali
• LVTTTL	• LVDS33
• LVCMOS	• LVDS25
• PCI	• BLVDS
• SMBUS	• MINILVDS
• SDIO	• RSDS
• Mobile DDR	• TMDS

4.1.8 Programmazione dell'FPGA

La programmazione dell'FPGA avviene caricando la configurazione desiderata, scritta in VHDL e codificata in un bitstream, nella memoria interna del dispositivo. Dato che la configurazione all'interno dell'FPGA viene salvata in CCLs (CMOS Configuration Latches), è necessario riprogrammare il dispositivo ogni volta che viene scollegata l'alimentazione. Il bitstream può essere fornito all'FPGA da una memoria non volatile ad esso collegata o da un dispositivo esterno (microprocessore, microcontrollore, PC). L'operazione di programmazione può avvenire nelle seguenti modalità [13]:

- JTAG configuration mode
- Master Serial/SPI configuration mode (x1, x2, and x4)
- Slave Serial configuration mode
- Master SelectMAP/BPI configuration mode (x8 and x16)
- Slave SelectMAP configuration mode (x8 and x16)

La modalità di programmazione può essere selezionata tramite i pin M[1:0]. Ad ogni configurazione dei pin corrisponde una modalità come riportato in Tabella 4.4.

Configuration Mode	M[1:0]	Bus Width
<i>Master Serial/SPI</i>	01	1, 2, 4 ⁽¹⁾
<i>Master SelectMAP/BPI</i> ⁽²⁾	00	8, 16
<i>JTAG</i> ⁽³⁾	xx	1
<i>Slave SelectMAP</i> ⁽²⁾	10	8, 16
<i>Slave Serial</i> ⁽⁴⁾	11	1

(1) – utilizzando la modalità dual o quad SPI;

(2) – la modalità parallela è riconosciuta in maniera automatica;

(3) – le Spartan-6 hanno a disposizione una porta a 4 pin dedicata al JTAG che può sempre essere utilizzata indipendentemente dalla modalità selezionata;

(4) – modalità impostata di default.

Tabella 4.4: Modalità di programmazione per FPGA della famiglia Spartan-6

In fase di test e debug la programmazione viene effettuata tramite JTAG. Il JTAG, acronimo di (Joint Test Action Group), è uno standard di comunicazione utilizzato per la programmazione dell'FPGA in fase di test. Questo prevede l'utilizzo di quattro pin dedicati collegati ad un header al quale è possibile connettere un PC. Ad ogni accensione dell'FPGA il computer deve inviare il bitstream di configurazione del dispositivo. La programmazione tramite JTAG è sempre utilizzabile, indipendentemente dalla configurazione dei valori di M[1:0]. I pin dedicati sono indicati in Tabella 4.5.

Nome Pin	Riferimento
TDI	C23
TDO	G21
TMS	F21
TCK	A24

Tabella 4.5: Pin dedicati alla programmazione JTAG

TDI (Test Data In) è il pin di input della comunicazione seriale attraverso il quale avviene l'accesso ai registri interni del JTAG. I dati vengono trasmessi sul fronte di salita di TCK.

TDO (Test Data Out) è il pin di output utilizzato per la lettura seriale di tutti i dati e le istruzioni contenuti nei registri del JTAG. TDO cambia il suo stato sul fronte di discesa di TCK.

TMS (Test Mode Select) è il segnale che determina la sequenza degli stati assunti al blocco di JTAG durante la programmazione.

TCK (Test Clock) è il clock di riferimento usato per la comunicazione seriale del JTAG.

Una volta conclusa la fase di test del codice VHDL, è possibile memorizzare il bitstream di configurazione in una memoria flash collegata all'FPGA. In questo modo la programmazione avviene tramite SPI ad ogni avvio del sistema, senza il bisogno di un PC.

Il collegamento tra FPGA e memoria avviene tramite dei pin dedicati alla comunicazione SPI. Questi pin sono riassunti in Tabella 4.6.

Nome Pin	Riferimento
SCK	AE24
MISO	AD23
MOSI	AF23
CS	AA22

Tabella 4.6: Pin dedicati alla programmazione SPI

- **SCK** (Serial Clock) è il segnale di clock per sincronizzare la comunicazione seriale.
- **MISO** (Master In Slave Out) è la porta che collega l'ingresso del dispositivo master all'uscita del dispositivo slave.
- **MOSI** (Master Out Slave In) è il collegamento tra la porta d'uscita del master e l'ingresso dello slave.
- **CS** (Chip Select) è un segnale che viene imposto dal dispositivo master per abilitare la comunicazione con lo slave. Deve essere abilitato per tutta la durata della comunicazione.

In fase di programmazione è necessario utilizzare altri tre segnali:

- **PROGRAM_B**, se pilotato ad un valore logico basso per 500 *ns*, cancella la configurazione corrente dell'FPGA e forza un nuovo processo di programmazione resettando i valori di DONE e INIT_B. È necessario mantenere PROGRAM_B alto durante la fase di programmazione dell'FPGA.
- **DONE** è un segnale di output, se basso indica che l'FPGA non è configurata. Rimane a livello logico basso per tutta la durata della fase di programmazione. Se il dispositivo viene programmato correttamente il segnale di DONE viene pilotato ad un livello logico alto.
- **INIT_B** serve per ritardare l'inizio della programmazione dell'FPGA. Finché viene mantenuto ad un livello logico basso impedisce l'inizio della fase di configurazione. Questo serve nel caso in cui l'SPI della memoria flash necessiti di più di 2 *ms* per completare la fase di

“awake” dopo l’accensione. INIT_B va pilotato alto durante la fase di programmazione.

4.1.9 Memoria Flash

La M25P64 è una memoria flash seriale da 64Mbit prodotta da Numonyx. Al suo interno è organizzata in 128 settori, ognuno dei quali comprende 256 pagine da 256 byte.

Le principali caratteristiche di questa memoria sono:

- Alimentazione ammissibile compresa tra 2.7V e 3.6V
- 64 Mbit di memoria Flash
- Compatibilità con interfaccia seriale SPI
- Frequenza di clock supportata fino a 75 MHz
- Write protection impostabile via hardware
- Package VDFPN8

La memoria flash viene utilizzata per contenere il bitstream di configurazione dell’FPGA. All’avvio del sistema il contenuto della memoria viene usato per programmare l’FPGA tramite il bus SPI.

Lo schema della memoria è mostrato in Figura 4.12.

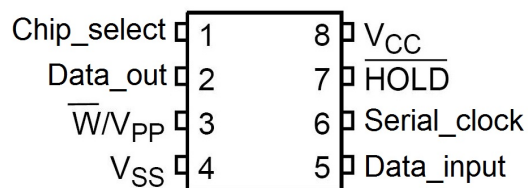


Figura 4.12: Schematico della memoria M25P64.

4.2 Microcontrollore

Per gestire i diversi dispositivi presenti nel sistema è necessario l'utilizzo di un microcontrollore. Questo è responsabile della programmazione dei dispositivi in fase di inizializzazione.

Il dispositivo utilizzato nel progetto è un microcontrollore della famiglia PIC24F della Microchip Technology Inc., in particolare è stato scelto il PIC24FJ64GA004 che presenta le seguenti caratteristiche principali:

- CPU ad alte prestazioni basata sull'architettura Harvard modificata che consente un velocità fino a 16 MIPS @ 32 MHz
- 64 Kbyet di memoria interna programmabile
- Due unità di “Address Generation” per l'indirizzamento indipendente delle operazioni di lettura e scrittura
- Alimentazione supportata compresa tra 2.0V e 3.6V
- ADC a 10 bit, fino a 13 canali
- Mappatura indipendente dei pin di I/O per il collegamento con più periferiche
- Due moduli I2C per supporto alla modalità Multi-Master/Slave e indirizzamento a 7-Bit/10-Bit
- package QFN a 44 pin che permette di avere 26 pin di I/O

L'architettura interna della famiglia PIC24FJ64GA004 è mostrata nel diagramma a blocchi di Figura 4.13.

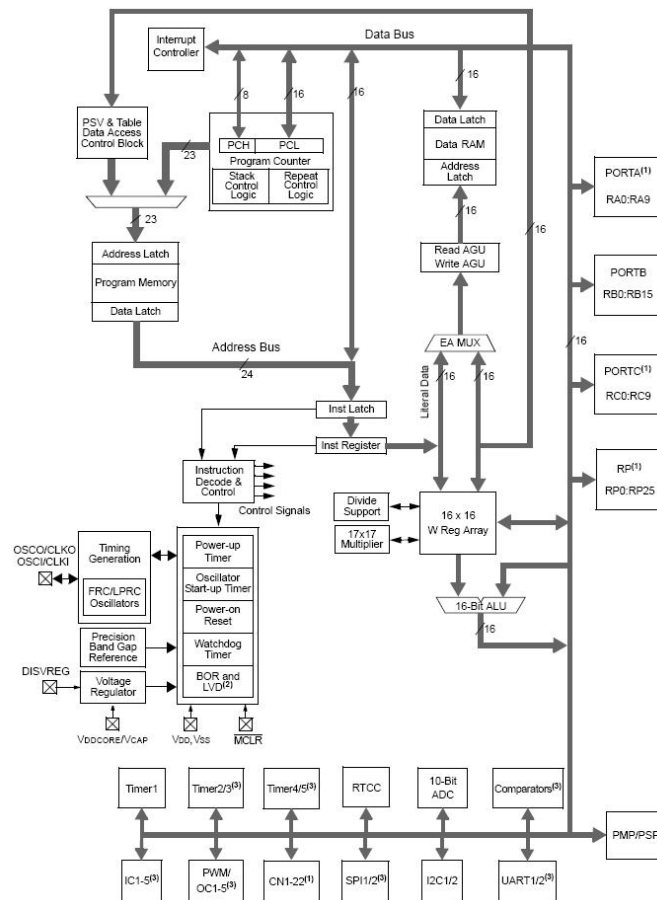


Figura 4.13: Diagramma a blocchi della famiglia PIC24FJ64GA004.

Il microcontrollore è collegato tramite bus I^2C al clock manager, alla memoria dell'Hub-USB e ad un sensore di temperatura (paragrafi 4.7, 4.4, 4.6).

Il collegamento tra PIC, flash dell'FPGA, FPGA e FT-USB avviene invece tramite comunicazione SPI. Inoltre, un secondo bus SPI dedicato permette la comunicazione indipendente tra microcontrollore e FPGA.

Per la generazione del clock è stato utilizzato l'ECS-2033-120-BN, un oscillatore esterno a 12 MHz prodotto dalla ECS Inc. Lo stesso modello è stato utilizzato anche per i clock in ingresso all'FT-USB e al Clock Manager (paragrafi 4.3 e 4.7).

Il microcontrollore è utilizzato anche per la gestione dei segnali relativi al posizionamento dei rivelatori.

4.2.1 Segnali di posizionamento spaziale (xyz)

Nel caso di utilizzo del sistema per misure TCSPC multidimensionali, occorre che l'array di rivelatori esegua la scansione del campione per ogni sua sezione. È quindi necessario memorizzare i dati relativi alla posizione dei rivelatori durante l'acquisizione per poter ricostruire, in fase di post-elaborazione, l'immagine tridimensionale del campione. A questo proposito si è deciso di utilizzare dei segnali, connessi al microcontrollore, che possano gestire l'informazione sulle coordinate XYZ dei sensori. A seconda dell'utilizzo, questi segnali possono essere analogici o digitali, per questo motivo sono stati collegati, tramite un filtraggio passa-basso, a dei pin multipurpose del microcontrollore. Il tipo di segnale gestito dai pin multipurpose può essere impostato in fase di programmazione del micro. In caso di segnale analogico, il pin è connesso all'ADC interno del microcontrollore che provvede alla conversione digitale del segnale. Dal momento che il sistema a 32 canali è realizzato parallelizzando 4 moduli a 8 canali, si è reso necessario l'impiego di un ulteriore segnale in grado di identificare la scheda di origine del segnale rivelato. A questo scopo sono stati utilizzati due pin di I/O digitale del micro, in modo da avere un segnale digitale a 2 bit le cui configurazioni identificano in modo univoco una delle 4 schede 8x1.

La Figura 4.14 mostra il filtraggio e il connettore a 10 pin dedicato ai segnali di posizione.

4.3 FT-USB

Per permettere una comunicazione diretta tra PC ed FPGA si è deciso di utilizzare un collegamento USB che permetta di inviare i comandi per la gestione delle funzioni interne. A questo scopo la CU è stata dotata di un FT-USB dedicato prodotto dalla FTDI. Il modello scelto è il FT2232HQ le cui caratteristiche principali sono:

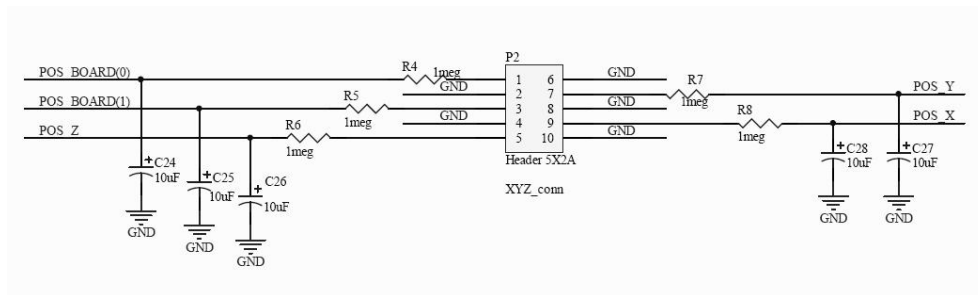


Figura 4.14: Rete di filtraggio dei segnali di posizione.

- Comunicazione USB 2.0 a 480Mbits/s;
- Due porte indipendenti UART, FIFO o MPSSE;
- Interfacciamento tramite protocolli JTAG, I2C, SPI, RS232/422/485;
- Power Supply: 3.3V;
- LDO a 1.8V integrato per l'alimentazione del core;
- Package QFN a 64 pin

La tensione di alimentazione viene fornita tramite un regolatore lineare presene sulla CU (vedi paragrafo 4.5), mentre il riferimento a 1.8 V viene generato direttamente dall'FT-USB grazie ad un regolatore integrato al suo interno. Per la generazione del clock è stato utilizzato il 625L3C012M00000, un oscillatore esterno a 12 MHz prodotto dalla CST Corporation.

L'FT-USB necessita di essere programmato ad ogni avvio del sistema. Per questo motivo è stata predisposta una memoria EEPROM dedicata su cui salvare il programma di configurazione. La memoria utilizzata è la M93C46 di ST Microelectronics, che presenta le seguenti caratteristiche:

- 1 kbit di memoria EEPROM;
- Organizzazione in parole da 8 o 16 bit;
- Frequenza di lavoro 2MHz;

- Power Supply: da 2.5 a 5.5V;
- Package SOIC a 8 pin.

In Figura 4.15 è riportato lo schematico della EEPROM.

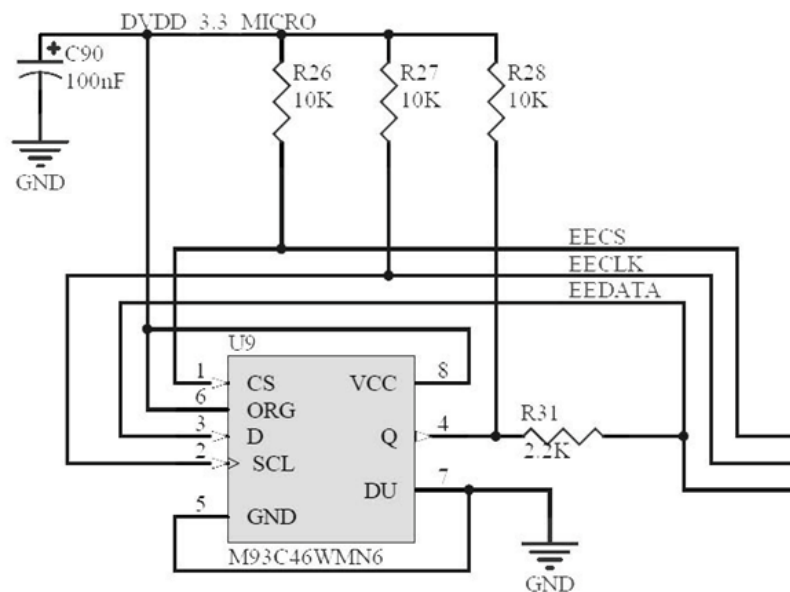


Figura 4.15: Schematico dei collegamenti tra EEPROM e FT-USB.

4.4 HUB-USB

Per permettere di connettere simultaneamente i 5 FT-USB (4 sulle schede 8x1 e 1 sulla CU) presenti nel sistema con il computer, sarebbero stati necessari altrettanti connettori USB, con un conseguente aumento dell'ingombro e del numero di cavi da utilizzare per le connessioni. Si è quindi deciso di impiegare un Hub-USB in grado di gestire i cinque flussi di dati e convogliarli su un unico canale esterno. In questo modo è possibile connettere il PC tramite un unico cavo USB e accedere alle diverse schede come se fossero collegate in maniera indipendente.

L'Hub-USB utilizzato è l'USB2517 della SMSC, le cui caratteristiche principali sono:

- Piena compatibilità con lo standard USB 2.0
- Fino a 7 canali USB gestibili simultaneamente
- Posizione dei pin delle coppie USB differenziali programmabile
- Tensione di alimentazione unica a 3.3V
- Regolatore di tensione interno per la generazione dei 1.2V e 1.8V necessari al core
- Oscillatore esterno a 24 MHz

Come è possibile vedere dallo schematico riportato in Figura 4.16, sono presenti sette porte di downstream differenziali associate ai pin USBDP_DN[n] e USBDM_DN[n], corrispondenti rispettivamente al segnale positivo e negativo di ogni coppia.

Sulla CU sono stati previsti dei led per poter valutare lo stato della linea in fase di debug.

La comunicazione con il PC avviene attraverso la porta di upstream indicata dai pin USBDP_UP e USBDM_UP. Per contenere le dimensioni del sistema, si è scelto di collegare questi pin ad un connettore mini-USB montato sulla CU.

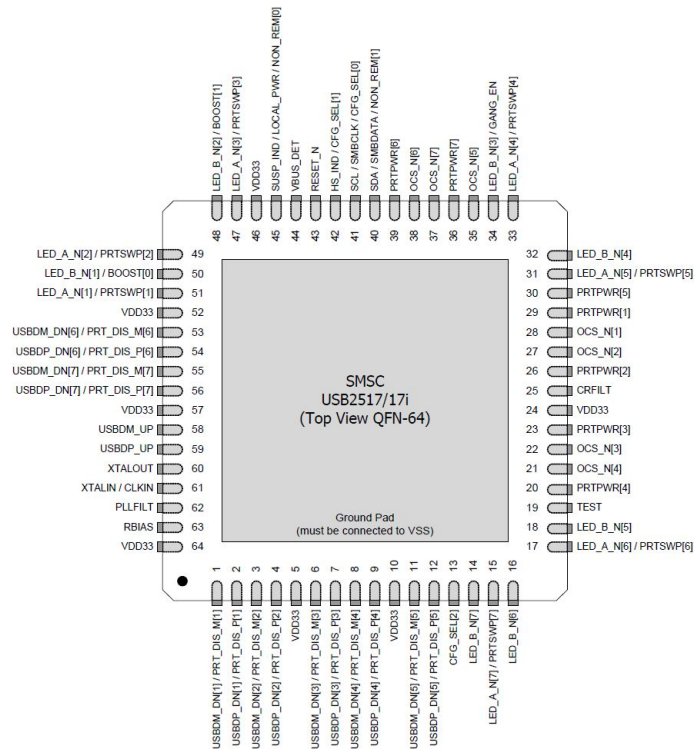


Figura 4.16: Schematico dell'USB2517.

L'USB2517 prevede la possibilità di poter operare in diverse modalità, impostabili tramite i pin CFG_SEL[0:2]. Nel sistema realizzato si è scelto di utilizzare la modalità di Default, contraddistinta dalla configurazione:

- CFG_SEL[0] = 1
- CFG_SEL[1] = 0
- CFG_SEL[2] = 1

Questa modalità prevede le seguenti caratteristiche:

- Self-powered operation abilitata, quindi l'hub prende l'alimentazione dalla scheda e non dal bus USB a 5 V
- Modalità di funzionamento dei LED impostata su "USB", il colore dei led dipende quindi dallo stato della linea e non dalla velocità di trasferimento dei dati

- Rilevamento individuale di sovracorrenti per ogni porta

Per rendere il sistema più versatile, è stata prevista anche una memoria EEPROM collegata ai pin di CFG_SEL che permette di cambiare la modalità di funzionamento dell'Hub. La memoria utilizzata a questo scopo è la AT24HC02B della Atmel che può essere programmata tramite bus I^2C .

4.5 Gestione delle alimentazioni

Per l'alimentazione della CU viene usato un trasformatore in grado di fornire in ingresso una tensione di 16 Vdc. Questo valore è stato scelto per essere lo stesso utilizzato nella DH e nelle schede 8x1.

Per stabilizzare la tensione d'ingresso ed eliminare eventuali ripple sulle alimentazioni, è stato utilizzato un filtraggio di tipo LC. I condensatori, posti in parallelo per raggiungere un maggior valore di capacità, servono a filtrare le variazioni rapide della tensione d'ingresso e hanno quindi effetto stabilizzante. Le induttanze servono invece a filtrare le correnti, evitando in questo modo picchi troppo elevati che potrebbero danneggiare i componenti. Filtraggi di questo tipo sono ripetuti all'ingresso di ogni regolatore di tensione e dei componenti digitali più sensibili alle variazioni dell'alimentazione, come per esempio l'FPGA.

In Figura 4.17 sono mostrati schematicamente i dispositivi utilizzati per la generazione dei diversi valori di tensione e la loro distribuzione all'interno del sistema.

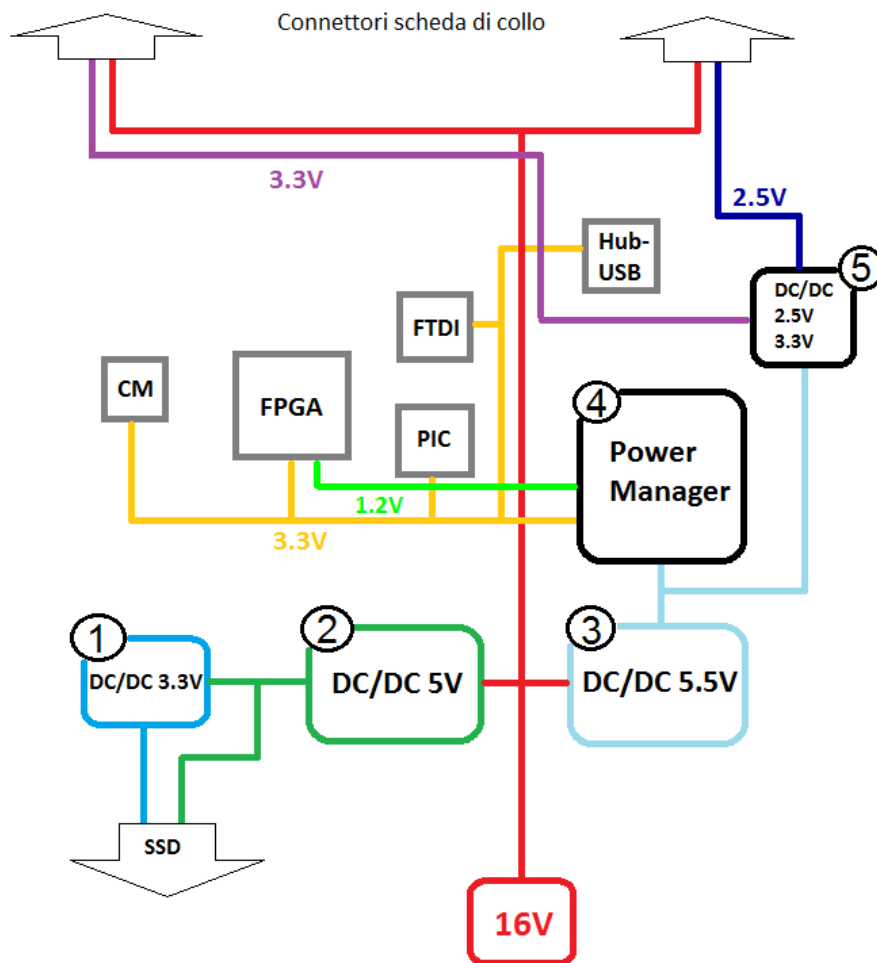


Figura 4.17: Rappresentazione schematica della distribuzione delle alimentazioni sulla CU.

La tensione di 16 V filtrata viene passata a due regolatori buck d'ingresso (1 e 2 in Figura 4.17) che la riducono a 5V e 5.5V rispettivamente. I 5V vengono utilizzati per alimentare in maniera indipendente l'SSD. Questo dispositivo richiede infatti due livelli di tensione: 5V, che vengono direttamente dal buck, e 3.3V che sono ottenuti dai 5V tramite un regolatore lineare (1).

Per alimentare gli altri componenti presenti nel sistema, i 5.5V vanno in ingresso ad un power manager (4), di cui verranno analizzate le caratteristiche in seguito (vedi paragrafo 4.5.3). Questo dispositivo presenta più uscite,

ognuna delle quali è impostabile per generare il desiderato livello di tensione. Infine sulla scheda è presente anche un regolatore lineare fisso (5) che genera le tensioni di 3.3V e 2.5V dedicate alle alimentazioni dei componenti presenti sulla Connection Board.

Una volta assemblato il sistema, i moduli 8x1 non possono essere connessi ad un'alimentazione esterna. È quindi necessario che la Control Unit gestisca anche la distribuzione dell'alimentazione ai quattro moduli.

Per la scelta dei convertitori utilizzati è stato valutato l'assorbimento di corrente di ogni componente e la rispettiva potenza dissipata (Tabella 4.7).

Descrizione del Componente	Qnt.	Tensione (V)	Corrente assorbita MAX (mA)	Potenza Dissipata (mW)
led test	2	1.8	20	36
led verdi usb	5	2	20	40
led ambra usb	5	1.9	20	38
clock manager	1	3.3	60	198
FPGA core	1	1.2	140	168
GTP	5	1.2	150	180
12MHz oscillator	3	3.3	7	23.1
FTDI EEPROM	1	3.3	2	6.6
microcontroller	1	3.3	20	66
EEPROM	1	3.3	3	9.9
SATA multiplexer	1	3.3	230	759
HUB_USB	1	3.3	200	660
24MHz oscillator	1	3.3	20	66
FPGA memory	1	3.3	20	66
Temperature sensor	1	3.3	0.495	1.63
FTDI	1	3.3	60	198

Tabella 4.7: Tensione di alimentazione, massima corrente assorbita e potenza dissipata dei principali componenti presenti sulla Control Unit.

Sommando gli assorbimenti di potenza dei vari componenti, moltiplicati per il numero di componenti di quel tipo, si ottiene una stima della dissipazione complessiva intorno a 3,6W. Considerando che questa è una stima largamente per eccesso e che i LED non saranno montati sulla versione debug-

gata, il consumo complessivo della Control Unit può essere valutato inferiore a 3W.

Di seguito vengono descritti un po' più nel dettaglio i convertitori presenti sulla CU.

4.5.1 Convertitori DC/DC d'ingresso

Per ridurre la tensione d'ingresso di 16V ad un valore compatibile con il power manager si è utilizzato un convertitore DC/DC di tipo buck (3 in Figura 4.17). Il componente scelto a questo scopo è il ST1S10 della ST Microelectronics, le cui caratteristiche principali sono:

- Tensione d'ingresso accettata compresa tra 2.5V e 18V
- Regolatore di tipo Step-down funzionante in current mode con modulazione PWM
- Tensione di uscita regolabile verso il basso fino a 0.8V
- Fino a 3A di corrente di uscita
- Frequenza di switching tra 400 KHz e 1.2 MHz
- Efficienza tipica: 90%

In Figura 4.18 sono mostrati schematicamente l'ST1S10 e i collegamenti con i componenti esterni necessari al suo funzionamento.

Per selezionare la tensione di uscita (V_{out}) è necessario dimensionare le resistenze del partitore $R1$, $R2$ in modo da imporre sul ramo di feedback una tensione (V_{FB}) corretta. Il valore di $R2$ è stato fissato a $22\text{ K}\Omega$ e si è dimensionato $R1$ secondo la relazione:

$$R1 = R2 \cdot \frac{(V_{OUT} - V_{FB})}{V_{FB}}$$

dove il valore tipico di V_{FB} è 0.8 V e risulta quindi $R1 = 130\text{ K}\Omega$.

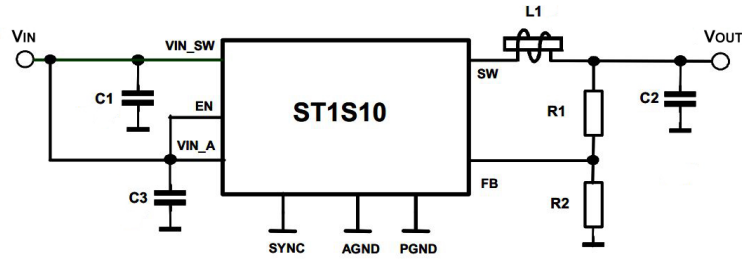


Figura 4.18: Rappresentazione schematica dell'utilizzo del ST1S10.

Per generare i 5V richiesti dall'alimentazione del SSD si è deciso di utilizzare lo stesso modello di dispositivo (2 in Figura 4.17). Per il dimensionamento dei componenti si sono fatte analoghe considerazioni a quelle sopra descritte, scegliendo quindi $R2 = 22\text{ K}\Omega$ e $R1 = 115\text{ K}\Omega$.

4.5.2 Regolatore Buck per SSD

Per ricavare la tensione necessaria all'alimentazione dell'SSD è stato utilizzato un regolatore lineare (1 in Figura 4.17). Il dispositivo scelto è l'ADP2120ACPZ-3.3-R7 di Analog Devices le cui caratteristiche principali sono:

- Tensione d'ingresso ammessa compresa tra 2.3V e 5.5V
- Tensione di uscita fissa a 3.3 V
- Accuratezza dell'uscita: $\pm 1.5\%$
- Modalità di funzionamento selezionabile tra PWM e PFM
- Current mode architecture
- Massima corrente di uscita: 1.25 A

In Figura 4.19 è mostrato lo schematico dell'ADP2120 nella configurazione utilizzata e dei componenti esterni ad esso connesso.

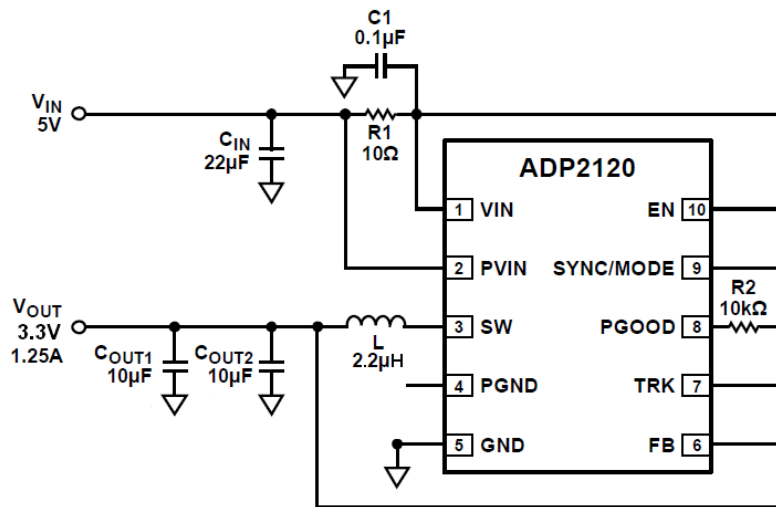


Figura 4.19: ADP2120 con uscita fissa a 3.3 V e componenti esterni.

4.5.3 Power Manager

Questo dispositivo (4 in Figura 4.17) utilizza come ingresso i 5.5V generati dal buck (3) e fornisce in uscita le seguenti tensioni:

- 3.3V per l'alimentazione generica di FPGA, PIC, FTDI, Hub-USB
- 1.2V per il core dell'FPGA
- 3.3V per l'alimentazione del clock manager
- 1.2V per l'alimentazione dei GTP

Come Power Manager è stato scelto l' LM2982 prodotto dalla National Semiconducors, composto al suo interno da due buck e due regolatori lineari. Le caratteristiche dei buck sono:

- 1.5A di corrente massima erogabile in uscita
- Tensione di uscita (V_{out}) impostabile nei seguenti range:
 - Buck1 : 0.8V - 2.0V @ 1.5A

– Buck2 : 1.0V - 3.3V @ 1.5A

- Fino al 96% di efficienza
- Frequenza di switching PWM a 2 MHz
- Soft start automatico

Le caratteristiche dei regolatori lineari sono invece:

- Tensione di uscita variabile tra 1.0V e 3.5V
- 300mA di corrente di uscita
- 25mv di dropout (tipico)
- Package LLP-24 pin (dimensioni 4x4x0.8 mm)

In Figura 4.20 è mostrato lo schema dell'LM2982 mettendo in evidenza i blocchi ed il funzionamento base di questo power manager.

Le tensioni di uscita possono essere regolate scegliendo il corretto valore delle resistenze R1, R2 dei partitori. Per i due buck è inoltre importante dimensionare opportunamente i condensatori C1, C2 posti sul ramo di uscita e garantire il giusto valore di tensione sul ramo di retroazione.

I valori di R1, R2, C1, C2 utilizzati per ottenere le tensioni volute sono riportati in Tabella 4.8.

Tensione	R1 (Ω)	R2 (Ω)	C1 (F)	C2 (F)
1.2V(buck1)	280k	200k	12p	nessuna
3.3V(buck2)	562k	100k	6.8p	33p
1.2V(LDO1)	280k	200k	nessuna	nessuna
(LDO2)	1.13M	200k	nessuna	nessuna

Tabella 4.8: dimensionamento dei componenti connessi al LM2982 per ottenere i desiderati valori di tensione in uscita.

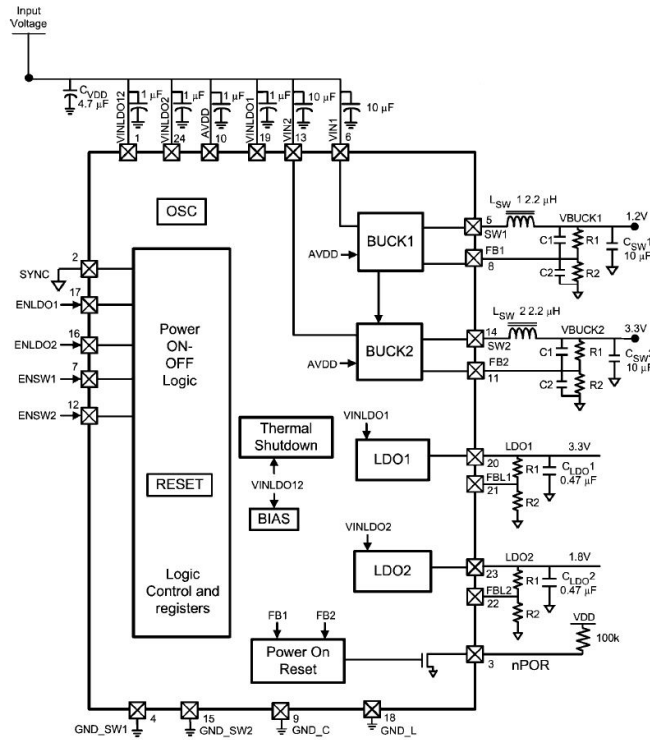


Figura 4.20: Schema a blocchi del LM2982.

4.5.4 Convertitore DC/DC a due uscite

Per garantire la corretta alimentazione dei componenti posti sulla Connection Board, si è scelto di impiegare un regolatore lineare (5 in figura 4.17) in grado di generare le due tensioni richieste a partire dai 5.5V del buck d'ingresso. Le tensioni che è necessario ricavare sono 2.5V e 3.3V, che vanno poi fornite alla Connection Board tramite i connettori.

Il componente scelto per generare queste due tensioni è il LP2966IMM-3325CT prodotto da Texas Instruments. Le principali caratteristiche di questa famiglia di regolatori sono le seguenti:

- Tensione di alimentazione ammessa compresa nel range 2.7V - 7V
- Valore della tensione di uscita preciso al $\pm 1\%$

- Spegnimento indipendente di ogni regolatore LDO
- 150mA di corrente garantiti per ogni uscita
- Package di tipo MSOP-8

4.6 Sensore di temperatura

Il sistema è composto da quattro schede 8x1 e una Control Unit, su ognuna delle quali è montato un'FPGA e diversi altri dispositivi integrati. Il tutto è contenuto in un box dalle dimensioni molto contenute, rendendo quindi problematica la dissipazione del calore generato. Per poter monitorare la temperatura del sistema si è deciso di utilizzare un sensore di temperatura.

Il componente scelto per svolgere questa funzione è LM73 della National Semiconductor, le cui specifiche sono le seguenti:

- Tensione di alimentazione compresa tra 2.7V e 5.5V
- Accuratezza nei range di temperatura:
 - $\pm 1.0^{\circ}C$ tra $-10^{\circ}C$ e $80^{\circ}C$
 - $\pm 1.5^{\circ}C$ tra $-25^{\circ}C$ e $115^{\circ}C$
 - $\pm 2.0^{\circ}C$ tra $-40^{\circ}C$ e $150^{\circ}C$
- Risoluzione impostabile da 11 bit ($0.25^{\circ}C$) a 14 bit ($0.03125^{\circ}C$)
- Tempo di conversione:
 - 14 ms (11 bit)
 - 112 ms (14 bit)
- Comunicazione tramite bus I^2C

Questo dispositivo permette di impostare la risoluzione e leggere la temperatura rilevata direttamente tramite comunicazione I2C. Lo schematico del LM73 è mostrato in figura.

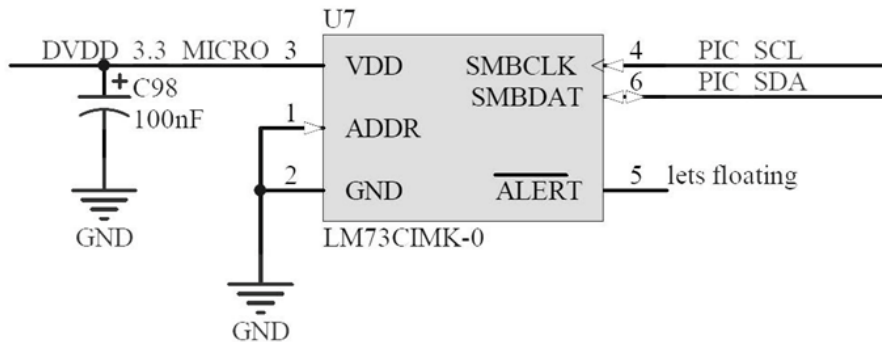


Figura 4.21: Schematico del LM73.

Il sensore di temperatura viene alimentato con una tensione di 3.3V, stabilizzata da un condensatore da 100nF. La comunicazione seriale avviene attraverso i pin SMBCLK e SMBDAT, su cui vengono trasmessi il clock e i dati rispettivamente. Questi pin sono connessi direttamente al bus I^2C del microcontrollore, dal quale il sensore è gestito.

La temperatura può essere letta inviando un opportuno comando tramite la comunicazione USB.

4.7 Clock Manager

Per funzionare correttamente, ogni dispositivo digitale integrato nel sistema necessita di un segnale di temporizzazione. Alcuni dispositivi ricevono il segnale di clock da un oscillatore esterno a loro dedicato, altri, come l’FPGA, necessitano di un segnale di temporizzazione a frequenze relativamente alte e con un basso valore di jitter. Per generare i clock per l’FPGA e per i GTP presenti al suo interno, si è quindi utilizzato un clock manager. Questo dispositivo programmabile è in grado di prendere il segnale di riferimento, proveniente da un oscillatore esterno, e sintetizzare le frequenze desiderate.

Come illustrato nel paragrafo 4.1.6, i GTP appartenenti allo stesso Dual.GTP possono condividere lo stesso segnale di temporizzazione. Poiché nel sistema sono impiegati cinque GTP appartenenti a tre Dual, saranno neces-

sari tre segnali di clock. Volendo inoltre fornire all'FPGA un clock dedicato per la temporizzazione della logica interna, si ha la necessità di sintetizzare quattro frequenze indipendenti.

Il dispositivo utilizzato è il Si5338A di Silicon Lab, le cui caratteristiche principali sono:

- Standard di uscita configurabile tra LVPECL, LVDS, HCSL, SSTL, HSTL e CMOS
- Frequenza di uscita regolabile nell'intervallo 5 Hz - 350 MHz
- Programmazione tramite interfaccia I^2C
- Basso phase jitter: 0.7 ps RMS
- Tensione di alimentazione a 3.3V
- Package QFN a 24 pin

Come è possibile osservare dal diagramma a blocchi di Figura 4.22, il segnale proveniente dall'oscillatore esterno va in ingresso ad una PLL e viene successivamente passato ad un blocco divisore. La sintesi delle frequenze avviene in maniera indipendente per ogni uscita ed è programmabile agendo sul valore di parametri contenuti in appositi registri del clock manager.

I parametri legano la frequenza di uscita a quella d'ingresso secondo la relazione:

$$f_{OUT} = \frac{f_{in} \cdot N}{P_n \cdot M \cdot R_n}$$

Dove:

- N è il coefficiente del feedback del MultiSynth;
- P_n è il divisore di ingresso che può assumere i valori 1,2,4,8,16 e 32;
- M è il coefficiente di uscita del MultiSynth;
- R_n è il divisore di uscita che può assumere i valori 1,2,4,8,16 e 32.

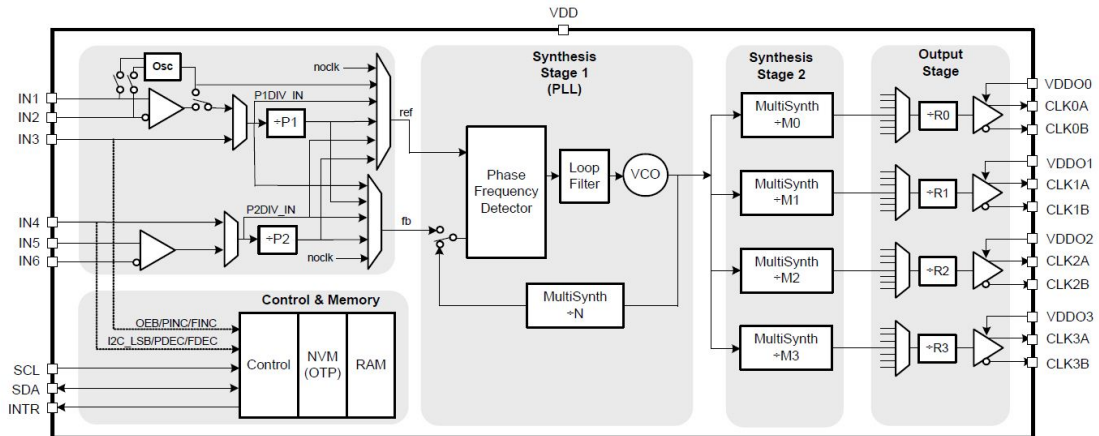


Figura 4.22: Schema a blocchi dell'Si5338A.

I parametri possono essere impostati accedendo tramite bus I2C ai registri interni del dispositivo.

Le frequenze impostate sono:

- 120 MHz per il Dual_GTP 101, per la comunicazione tra i moduli 8x1 di sinistra e la CU mediante protocollo AURORA;
- 120 MHz per il Dual_GTP 123, per la comunicazione tra i moduli 8x1 di destra e la CU mediante protocollo AURORA;
- 150 MHz per il Dual_GTP 245, per la comunicazione tra CU e SSD mediante protocollo SATA;
- 50 MHz dedicati alla temporizzazione della logica interna dell'FPGA .

Il segnale di riferimento (f_{in}) è generato da un oscillatore esterno collegato al clock manager. Il modello utilizzato è l'ECS-2033-120-BN già descritto in precedenza (vedi paragrafo 4.2).

4.8 Switch SATA

Per permettere l'accesso ai dati memorizzati nell'SSD tramite PC senza dover aprire ogni volta il case, si è deciso di dotare il sistema di una porta e-SATA. Per poter connettere l'SSD alternativamente all'FPGA, per la scrittura dai dati, o alla porta esterna, per la lettura, è stato utilizzato uno switch digitale ad alte prestazioni.

Il dispositivo utilizzato è il MAX4986CTO+, prodotto dalla MAXIM, che può essere usato come multiplexer/demultiplexer per canali SATA.

Le principali caratteristiche di questo dispositivo sono le seguenti:

- Supporto per standard SATA fino a 6.0 Gbps
- Tensione di alimentazione di 3.3V
- Equalizzazione d'ingresso programmabile
- Preenfasi d'uscita programmabile
- Terminazioni d'ingresso e uscita da 50 Ω integrate on-chip
- Package compatto di tipo TQFN

In Figura 4.23 è mostrato uno schema concettuale del funzionamento interno del MAX4986CTO+.

La funzione dei segnali collegati ai pin sono le seguenti:

OUTPE, **PEA** e **PEB** servono a configurare il valore di preenfasi da applicare al segnale in uscita. Se connessi a massa o lasciati flottanti si ha una preenfasi di 0dB.

INEQ, **EQA** ed **EQB** servono a configurare il valore dell'equalizzazione da applicare ai segnali in ingresso. Se non connessi o lasciati flottanti si ha un'equalizzazione di 0db.

MODE, **MODEA** e **MODEB** servono a selezionare la soglia dei segnali OOB dello standard scelto. Vanno impostati ad un valore logico basso se si usa lo standard SAS, vanno invece pilotati alti per riconoscere la soglia dei segnali OOB dello standard SATA.

OAMP, **OAMPA** e **OAMPB** servono ad impostare l'ampiezza dei segnali

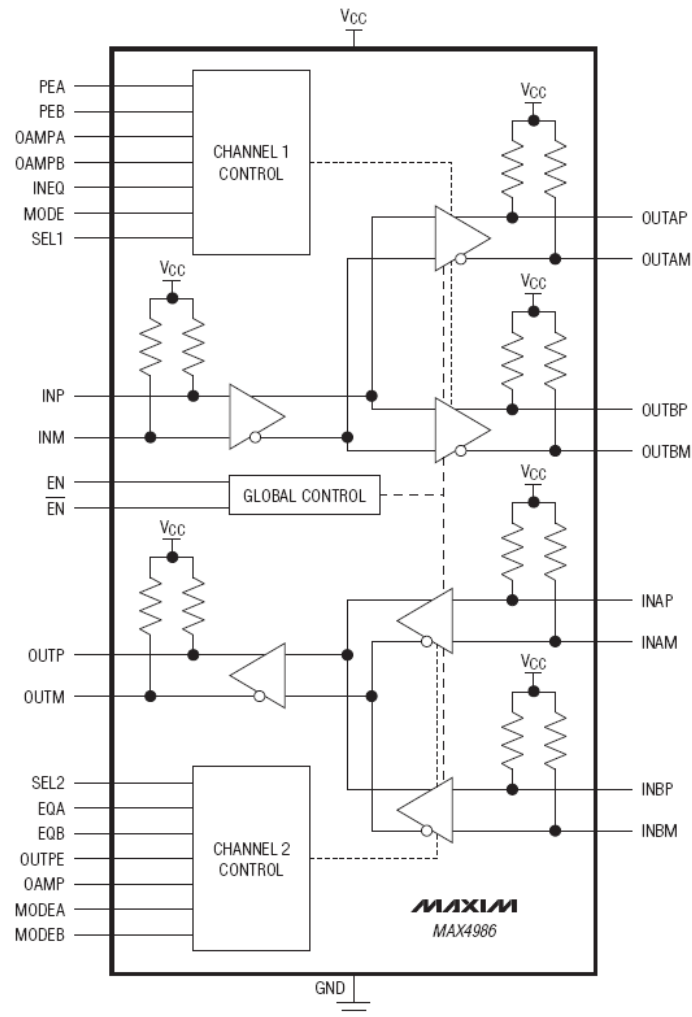


Figura 4.23: Schema interno del MAX4986CTO+.

di uscita. Vanno pilotati alti per selezionare una dinamica di uscita compresa tra 425 e 700 mVpp, mentre vanno connessi a massa per selezionare una dinamica tra 700 e 1200 mVpp.

SEL1 serve ad attivare le uscite del dispositivo. Se connesso a massa o lasciato non connesso attiva l'uscita A. Se pilotato ad un valore logico alto, attiva l'uscita B.

SEL2 serve a selezionare l'ingresso che deve essere attivo. Per attivare l'in-

gresso A bisogna lasciare SEL2 non connesso o metterlo a massa. Se invece viene connesso ad un valore logico alto, viene attivato l'ingresso B.

EN è il segnale di enable. Se tenuto basso riduce il consumo energetico del sistema in fase di stand-by. Va pilotato alto per il normale funzionamento del dispositivo.

I due pin di selezione (SEL1 e SEL2) sono collegati all'FPGA in modo da poter controllare lo stato dello switch e decidere dunque a quale host sarà collegato l'SSD.

In Figura 4.24 è mostrato schematicamente come è stato utilizzato il MAX4986CTO+ come switch digitale per il collegamento SATA.

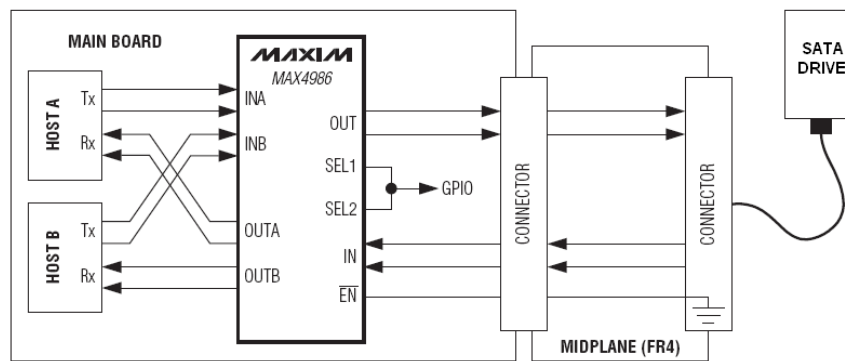


Figura 4.24: Tramite il MAX4986 due Host possono condividere lo stesso drive. Host B rappresenta l'FPGA mentre Host A è la porta e-SATA a cui va connesso il PC.

Capitolo 5

Protocolli di Comunicazione

Un protocollo di comunicazione è un insieme di regole che gli apparati di trasmissione e ricezione devono rispettare per garantire un corretto trasferimento dei dati. Lo sviluppo di protocolli standard ha permesso un più facile interfacciamento tra dispositivi diversi, portando alla realizzazione di canali di trasmissione veloci ed affidabili. Per contenere il numero dei collegamenti e le dimensioni dei connettori, molti moderni standard utilizzano un tipo di comunicazione seriale. La sensibilità ai disturbi elettromagnetici viene ridotta effettuando la trasmissione fisica dei dati su piste differenziali.

Il sistema di acquisizione presentato è stato predisposto per utilizzare due diversi protocolli per il trasferimento dei dati. Il primo, utilizzato per il passaggio dei dati dalle schede 8x1 alla CU, è il protocollo AURORA (5.1), studiato e implementato nel corso del lavoro di tesi; il secondo è il protocollo SATA, previsto per l'archiviazione dei dati su SSD ed in fase di sviluppo all'interno del gruppo di ricerca.

5.1 Il protocollo AURORA

Aurora è un protocollo di comunicazione seriale ad alta velocità sviluppato da Xilinx per essere implementato in sistemi che utilizzano FPGA delle famiglie Virtex o Spartan-6. Questo protocollo necessita infatti di transceiver GTP per poter trasmettere e ricevere lo stream di dati seriali.

Il modulo Aurora può essere istanziato in linguaggio VHDL e personalizzato secondo le necessità del progetto. La velocità di comunicazione supportata va da 600 Mbps a 3 Gbps e il canale può essere impostato come unidirezionale (Simplex) o come bidirezionale (full-duplex) [14].

L'interfaccia utente di Aurora prevede tre blocchi funzionali principali:

1. Modulo Aurora 8b/10b
2. Modulo di generazione del clock
3. Modulo di compensazione del clock

I blocchi fondamentali sono schematizzati in Figura 5.1.

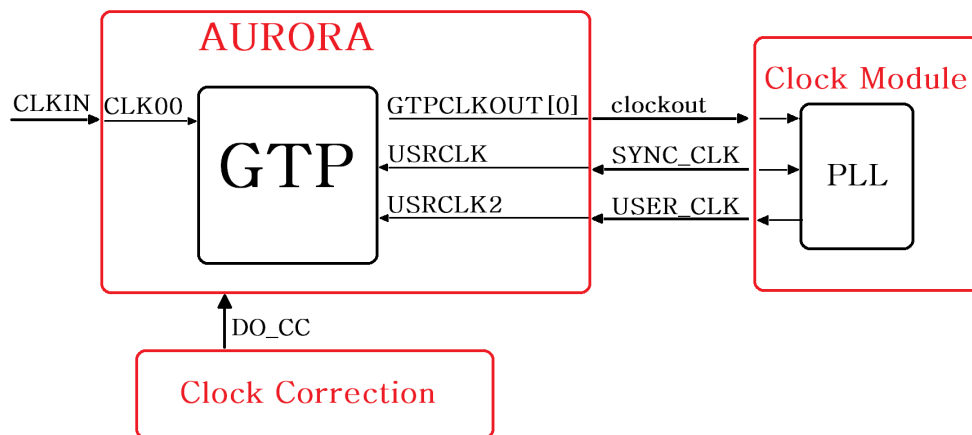


Figura 5.1: Blocchi fondamentali del modulo AURORA.

Il modulo Aurora 8b/10b comprende il wrapper GTP opportunamente configurato. Il protocollo prevede la codifica 8b/10b che viene realizzata grazie al decoder integrato all'interno del GTP (paragrafo 4.1.4). L'invio dei dati può avvenire secondo due modalità:

- Modalità framing
- Modalità streaming

Nella modalità framing l'invio dei dati viene preceduto da un segnale di start of frame (SOF) e seguito da una end of frame (EOF). Tra un frame e l'altro viene inviata una sequenza di IDLE utile a mantenere attivo il canale.

Nella modalità streaming l'invio dei dati avviene invece in maniera continua. Questo può essere visto come se la trasmissione dei dati avvenisse con un unico frame di dimensione infinita. Quando non ci sono dati da trasmettere, vengono inviate delle sequenze di IDLE per mantenere il canale sempre sincronizzato.

Per il corretto funzionamento del modulo Aurora è necessario fornire al GTP integrato (capitolo 4.1.3) i clock di temporizzazione corretti, le cui frequenze dipendono dalla velocità della linea (4.1.4). La sintesi di queste frequenze viene effettuata dal modulo di clock, costituito da una PLL che prende in ingresso clockout e genera in uscita USER_CLK e SYNC_CLK. Utilizzando AURORA per la comunicazione tra schede, la temporizzazione dei due lati del canale può avvenire utilizzando due riferimenti temporali distinti. Eventuali differenze nei clock possono portare ad errori nella comunicazione. Per ovviare a questo problema, si può utilizzare un modulo di compensazione del clock che ha il compito di gestire l'invio di segnali di clock correction per garantire la corretta sincronizzazione delle due parti.

5.1.1 Inizializzazione del canale

I segnali da gestire per l'inizializzazione del canale di trasmissione sono schematicamente riassunti in Figura 5.2.

- **TX_SYSTEM_RESET** e **RX_SYSTEM_RESET**: servono a mantenere in condizione di reset tutto il modulo Aurora;
- **TX_ALLIGED**(input) va collegato a **RX_ALLIGED**(output): indica al trasmettitore se il ricevitore ha completato la fase di allineamento;
- **TX_VERIFY**(input) va collegato a **RX_VERIFY**(output): indica se il ricevitore ha completato la fase di verifica ed è pronto a ricevere;

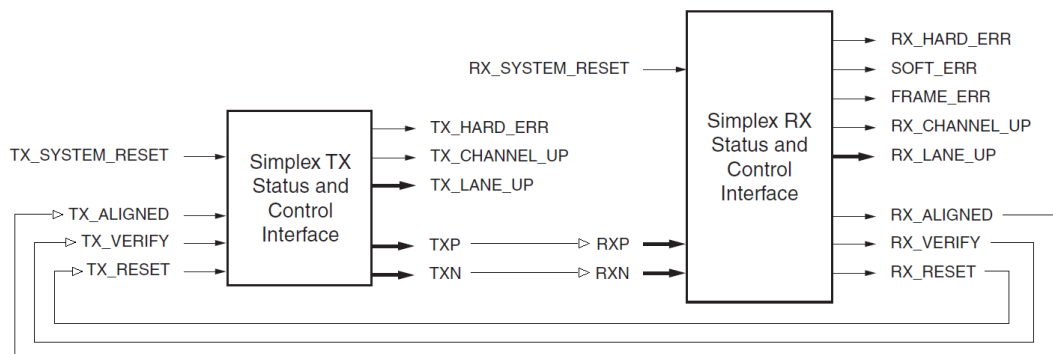


Figura 5.2: Segnali per l'inizializzazione del canale simplex.

- **TX_RESET**(input) va collegato ad **RX_RESET**(output): comunica quando il lato di ricezione ha subito un reset e necessita di ricominciare la procedura di inizializzazione;
- **TX_LANE_UP**/**RX_LANE_UP**: viene asserito quando la linea è stata inizializzata correttamente;
- **TX_CHANNEL_UP**/**RX_CHANNEL_UP**: viene asserito quando l'inizializzazione è stata completata correttamente e il canale è pronto per l'invio/ricezione dei dati;
- **TX_HARD_ERROR**/**RX_HARD_ERROR**: serve a monitorare eventuali errori occorsi sulla linea a causa di disturbi o problemi hardware.
- **RX_SOFT_ERROR** e **RX_FRAME_ERROR**: indicano se sulla linea è avvenuto un errore nella comunicazione legato ad un problema software o di protocollo;

In Figura 5.3 è mostrata la sequenza temporale dei dati descritti per il lato RX. Dato che i segnali di inizializzazione di RX vengono trasmessi a TX, la sequenza dei segnali di quest'ultimo seguirà lo stesso andamento.

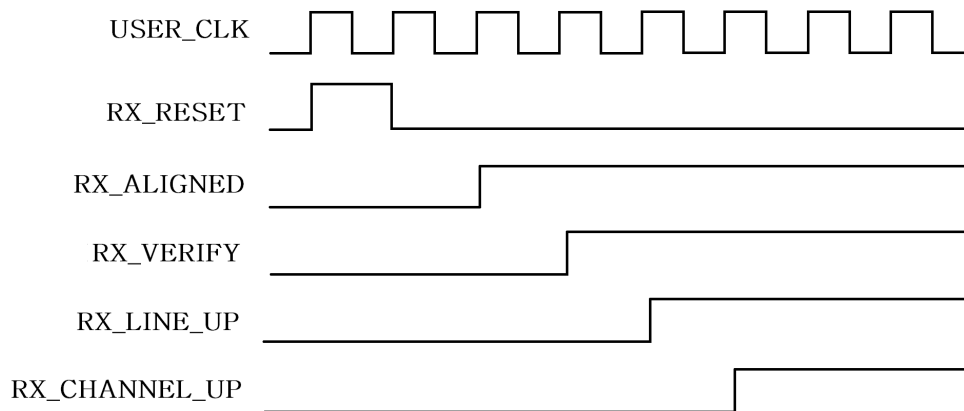


Figura 5.3: Sequenza di inizializzazione del canale simplex.

5.1.2 Invio e Ricezione

Una volta completata correttamente l'inizializzazione, il canale è pronto per la trasmissione. I segnali da controllare per l'invio e la ricezione sono schematizzati nel diagramma temporale di Figura 5.4.

Le funzioni dei segnali del lato TX sono:

- **S_AXI_TX_TDATA**: è la porta sulla quale vanno posti i dati da inviare. I dati vengono campionati in corrispondenza del fronte di USER_CLK;
- **S_AXI_TREADY**: è un segnale che indica se la linea è pronta ad inviare i dati. Viene asserito dopo TX_CHANNEL_UP. È basso durante l'invio delle sequenze di clock correction. Quando questo segnale è basso i dati sulla porta S_AXI_TX_TDATA vengono ignorati. Bisogna quindi assicurarsi che, in questa condizione, i dati da inviare non cambino;
- **S_AXI_TVALID**: deve essere asserito quando sulla porta S_AXI_TX_TDATA sono presenti dati validi che devono essere inviati. Deve essere valido fino all'invio dell'ultimo byte. Nel caso venga abbassato durante un frame, la trasmissione viene messa in pausa;

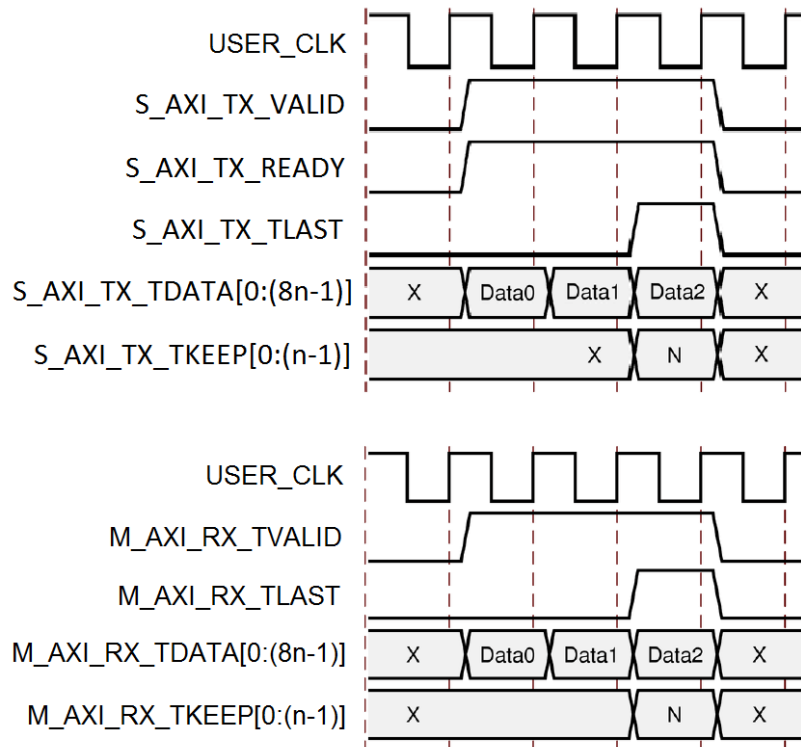


Figura 5.4: Diagramma temporale dei segnali per l'invio e la ricezione di dati su canale AURORA.

- **S_AXI_TX_LAST:** deve essere asserito in corrispondenza dell'ultima word di un frame e riabbassato subito dopo. Fa capire ad AURORA che dopo quella word va inviata una sequenza di EOF;
- **S_AXI_TX_KEEP:** indica quali byte dell'ultima word devono essere considerati come dati validi. Se infatti il frame finisce con un numero dispari di byte, AURORA aggiunge un pad che viene poi rimosso dal ricevitore.

Quelle dei segnali del lato RX sono invece:

- **M_AXI_RX_TDATA:** è la porta sulla quale vengono presentati i dati ricevuti. Questa porta non ha un buffer di uscita, quindi i dati vanno letti subito per evitare che vengano sovrascritti e vadano quindi persi.

I valori presenti su questa porta si aggiornano sul fronte di salita di USER_CLK;

- **M_AXI_RX_TVALID**: viene asserito quando sulla porta M_AXI_RX_TDATA sono presenti dati validi. Questo segnale è basso durante la ricezione di sequenze di clock correction e di IDLE;
- **M_AXI_RX_TLAST**: viene asserito quando sulla porta M_AXI_RX_TDATA è presente l'ultima word del frame, mentre **M_AXI_RX_TKEEP** indica quali sono i byte effettivamente validi e se è presente un pad da scartare.

L'implementazione del protocollo di trasmissione basato su Aurora è presentato in dettaglio nel paragrafo 6.2.

5.2 Il protocollo SATA

Il Serial-ATA è un'interfaccia di comunicazione seriale che ha sostituito la precedente versione parallela denominata ATA (Advanced Technology Attachment) per la connessione di dispositivi di archiviazione di massa.

Il link seriale impiegato è un collegamento differenziale ad alta velocità (1.5 Gbps) che utilizza la codifica 8b/10b.

5.2.1 Architettura e Connessioni

L'architettura del SATA è basata su quattro livelli:

- **Application Layer:** responsabile dell'esecuzione dei comandi generali, compreso il controllo dell'accesso al Command Register Block.
- **Transport Layer:** ha il compito di preparare le informazioni di controllo e i dati da inviare in pacchetti (frame), in una struttura denominata Frame Information Structure.
- **Link Layer:** ha il compito di recuperare i dati dai frame ricevuti, codificare ogni byte usando la codifica 8b/10b e inserire sequenze di controllo in modo che lo stream di dati a 10 bit possa essere decodificato in maniera corretta.
- **Physical Layer:** è responsabile della trasmissione e della ricezione dello stream seriale di dati lungo i cavi.

Il collegamento fisico tra Host e Device può avvenire in maniera diretta o attraverso l'uso di cavi terminati da connettori a 7 contatti in linea. Il cavo dati è costituito da due sezioni di tipo "Twinax" interne ad un'unica guaina comune. In Figura 5.5 è mostrata schematicamente la struttura dei cavi e la disposizione dei contatti sia dal lato Host che dal lato Device.

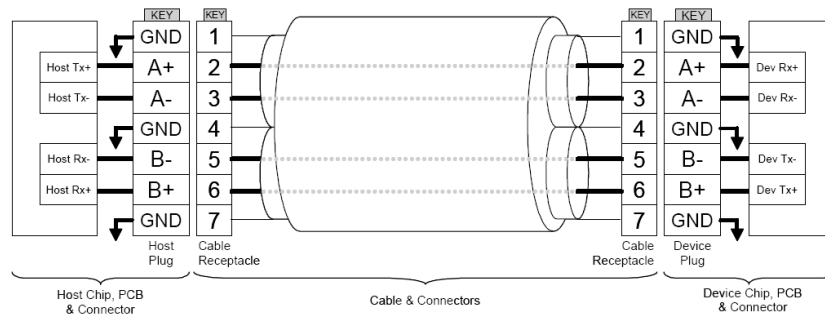


Figura 5.5: Schema della struttura dei cavi e dei connettori per il collegamento tra Host e Device SATA.

5.2.2 Inizializzazione del Canale

Prima di poter inviare dati attraverso il canale, è necessario eseguire una fase di inizializzazione per stabilire la velocità della comunicazione e allineare i clock.

Questa fase, definita di “handshaking”, viene eseguita attraverso l’invio di rapide sequenze di segnali fuori banda (OOB).

Gli OOB sono segnali costituiti da un pattern di primitive ALIGN_p e periodi di IDLE con caratteristiche elettriche differenti rispetto a quelle della trasmissione dati. La soglia di riconoscimento per questi segnali è infatti ridotta a 100 mV_{pp}, mentre la normale comunicazione avviene con dinamica 400 - 600 mV_{pp} [15].

Ci sono tre tipi di sequenze OOB denominati rispettivamente COMRESET, COMINIT e COMWAKE che differiscono per la durata dei periodi di IDLE come riportato in Figura 5.6.

In Figura 5.7 sono riassunte schematicamente le fasi che si susseguono durante l’handshaking tra Host e Device.

Quando l’Host rileva la presenza di un dispositivo, invia un COMRESET per inizializzare la comunicazione. Il Device risponde con una sequenza di COMINIT che permette all’Host di eseguire la calibrazione e impostare la velocità della comunicazione. Una volta che l’Host è calibrato invia una sequenza di COMWAKE per la calibrazione del Device che risponde anch’esso

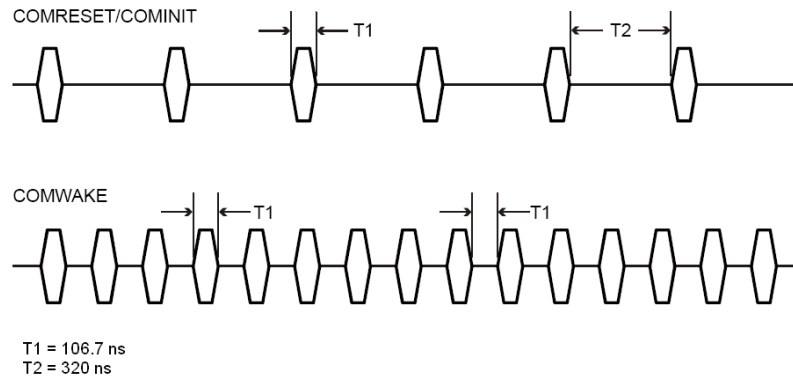


Figura 5.6: Diverse sequenze di segnali OOB.

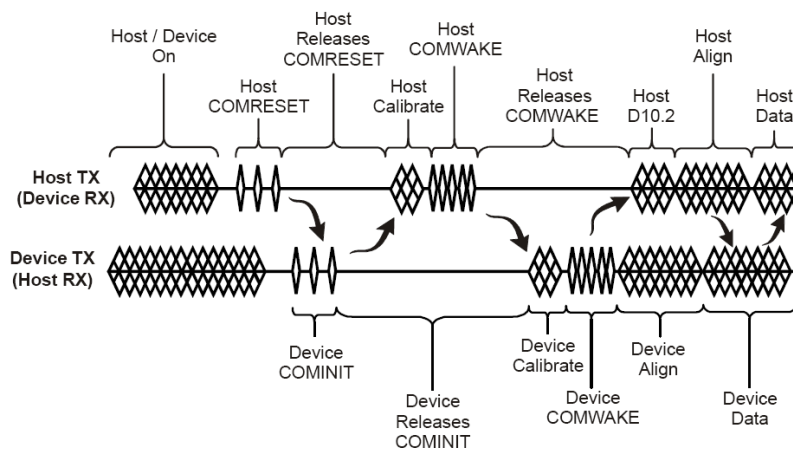


Figura 5.7: Sequenza di OOB durante la fase di inizializzazione.

con un COMWAKE. A questo punto avviene l'allineamento tramite l'invio di sequenze di ALIGNp.

Una volta superata la fase di allineamento, l'inizializzazione del canale è completata ed è possibile procedere all'invio di dati validi sulla linea.

Il codice realizzato implementa i livelli fisico, di layer e di trasporto e permette la corretta inizializzazione del canale. L'host riceve correttamente le informazioni relative al tipo di device collegato, mentre la scrittura di dati in memoria è ancora in fase di sviluppo.

Capitolo 6

Programmazione dell'FPGA

La Control Unit sviluppata monta al suo interno un'FPGA incaricata della ricezione e gestione dei dati provenienti dalle schede 8x1. In particolare deve quindi essere in grado di gestire quattro comunicazioni tramite protocollo AURORA, aggiungere i bit di identificazione del modulo d'origine e supportare il protocollo SATA per la comunicazione con l'SSD.

Il tutto deve essere implementato in linguaggio VHDL e caricato tramite PC nella memoria Flash connessa all'FPGA.

6.1 Struttura del codice VHDL

Il codice VHDL pensato per la programmazione della CU dovrà integrare al proprio interno tre blocchi principali:

- La comunicazione tramite protocollo AURORA
- L'applicazione dei bit identificativi della scheda 8x1 d'origine dei dati
- La comunicazione SATA per il salvataggio dei dati sull'SSD

La struttura concettuale del codice VHDL è mostrata in Figura 6.1.

I quattro blocchi AURORA sono incorporati all'interno di un modulo di controllo che ne gestisce il reset e l'inizializzazione. Questo modulo controlla anche la validità dei dati ricevuti da ogni blocco tramite il segnale `M_AXLRX_TVALID`.

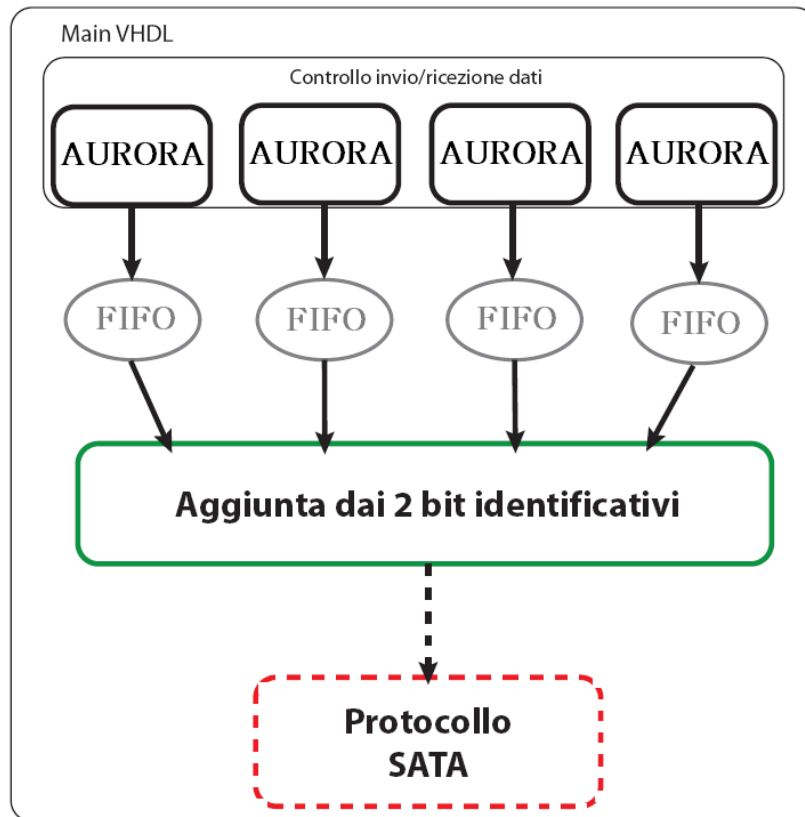


Figura 6.1: Schema concettuale dei blocchi implementati all'interno del codice VHDL per la programmazione della CU.

I segnali ricevuti dalla CU non hanno un rate costante, perché provengono dalle misure effettuate dalle schede 8x1 in corrispondenza della rivelazione di un fotone da parte di uno degli SPAD. Per questo motivo viene interposto un buffer tra i blocchi AURORA e la logica a valle, in modo da regolarizzare il rate con cui i dati venono gestiti.

Per distinguere quale dei 32 SPAD dell'array ha ricevuto il fotone, e quindi da quale dei TAC proviene la misura del ritardo temporale, è necessario anteporre dei bit che identifichino in maniera univoca il rivelatore. Ciascuna scheda 8x1 è progettata per gestire otto canali, utilizzando 3 bit per l'identificazione del canale da cui proviene la misura. I quattro moduli montati nel sistema sono però tra loro identici, rendendo di fatto indistinguibili i

dati provenienti dell'*n*-esimo canale di ciascuna scheda. Per ovviare a questo problema i dati provenienti dalle quattro FIFO vengo passati ad un blocco logico che è incaricato di “etichettare i pacchetti di dati ricevuti, con 2 bit che identificano la scheda di origine. In questo modo ogni dato viene memorizzato con 2 bit di identificazione della scheda 8x1 e 3 bit per l'identificazione del canale relativo a quel modulo. I dati così riuniti ed etichettati dovranno essere passati alla parte di codice che integrerà la comunicazione SATA e si occuperà dell'invio all'SSD. Ognuno dei blocchi AURORA ha al proprio interno i moduli descritti nel paragrafo 5.1.

Il codice realizzato è stato pensato in vista di possibili futuri aggiornamenti del sistema, prestando quindi attenzione a rendere i processi parametrizzati. L'hardware utilizzato e le specifiche scelte di layout permettono infatti al sistema di supportare anche le velocità rese disponibili dai più moderni standard come il SATA-II.

Nel prossimo paragrafo vengono descritte le modalità seguite per l'implementazione dei blocchi AURORA precedentemente introdotti.

6.2 Implementazione del Protocollo AURORA

Nel corso di questo lavoro di tesi è stata implementata e testata una comunicazione di tipo bord-to-board basata su protocollo AURORA. Per i test, il tipo di comunicazione è stato impostato su framing con canale single-lane a 16 bit e clock di riferimento a 120 MHz, che ha permesso di raggiungere una velocità della linea pari a 3 Gbps. I test del canale sono stati effettuati utilizzando la struttura schematizzata in Figura 6.2.

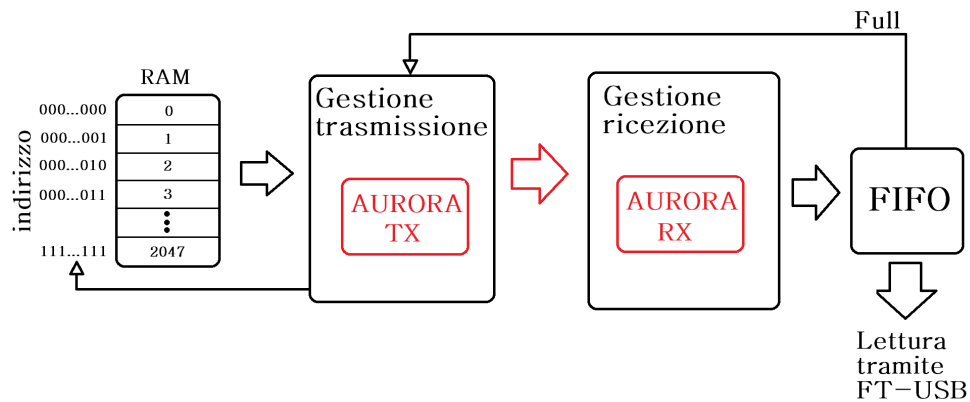


Figura 6.2: Struttura utilizzata per il test della comunicazione tramite protocollo AURORA.

Una RAM con parole da 16 bit e indirizzamento a 11 bit è stata precaricata con una rampa di valori da 0 a 2047; l'indirizzo della RAM viene selezionato da un contatore e il contenuto della corrispondente cella di memoria viene inviato tramite modulo AURORA. La dimensione di un frame è stata fatta coincidere con l'invio di una rampa intera. I dati ricevuti vengono mandati ad una FIFO e letti tramite l'FT-USB presente sulla scheda. La FIFO è necessaria per via della diversa velocità a cui operano il GTP e il collegamento USB. Dato che il GTP scrive ad un rate molto superiore rispetto alla lettura, è necessario un segnale per monitorare lo stato di riempimento della FIFO e mettere in pausa il lato di trasmissione.

Le rampe vengono inviate un gran numero di volte e i dati trasferiti tramite USB vengono letti dal PC e visualizzati in modo da poter verificare il funzionamento del canale.

6.2.1 Generazione dei clock

Per i clock di entrambe le parti del canale è stato utilizzato il Clock Module generato unitamente al core di AURORA. Sfruttando la PLL all'interno del modulo, è stato possibile generare anche i clock per la temporizzazione della RAM e della FIFO. In particolare, per velocità della linea pari a 3 Gbps le

frequenze dei clock usati sono:

- USER_CLK = 150 MHz
- SYNC_CLK = 300 MHz (allineato a USER_CLK)
- RAM_CLK = 150 MHz (sfasato di 180° rispetto a USER_CLK)
- Scrittura FIFO = SYNC_CLK
- Lettura FIFO = 60 MHz (sincronizzato all'FT-USB)

6.2.2 Clock Compensation

Come detto nel paragrafo 5.1, è possibile compensare differenze nei segnali di temporizzazione fino a ± 100 ppm inviando delle sequenze di clock correction (CC) per almeno 6 cicli di clock ogni 5000 cicli. Per la compensazione del clock, si è deciso di non utilizzare il modulo generato con AURORA, ma di gestire autonomamente questa funzione. Si è scelto di impedire che la clock correction potesse cadere all'interno di un frame, provocando così una pausa nell'invio dei dati. Si è quindi fatto in modo di inviare sequenze per la compensazione del clock solo tra un frame e l'altro. Per far sì che il lato di trasmissione del canale invii sequenze di clock correction è sufficiente asserire il segnale DO_CC che è un ingresso del modulo AURORA.

Durante l'invio di queste sequenze i dati posti sulla porta S_AXI_TX_TDATA vengono ignorati.

6.2.3 FIFO (First-In-First-Out)

La FIFO, acronimo di First-In-First-Out memory, è un tipo di memoria in cui i dati vengono posti in uscita nello stesso ordine con il quale sono stati inseriti in ingresso.

Le FIFO vengono spesso utilizzate come buffer per regolare il flusso di dati tra dispositivi che operano a differente frequenza. In ambito FPGA, le FIFO possono essere implementate come registri in cui l'accesso per la lettura e la scrittura avviene in maniera indipendente.

L'FT-USB esegue la lettura della FIFO un byte a ciclo con un frequenza di clock pari a 60 MHz. Il riempimento viene invece effettuato scrivendo le parole da 16 bit ricevute alla porta M_AXI_RX_TDATA, con un clock pari a 150 MHz. La scrittura è quindi molto più rapida della lettura, portando la FIFO in uno stato di riempimento.

Per monitorare questa condizione è possibile utilizzare un segnale di FULL con soglie programmabili. Per essere sicuri che la condizione di riempimento non si verifichi durante l'invio di un frame, la soglia di commutazione basso-alta del segnale di FULL è stata scelta in modo da garantire spazio a sufficienza per la ricezione del frame completo. La soglia di commutazione alto-bassa è stata invece impostata in modo da permettere la lettura di alcune rampe prima di far ripartire la scrittura. Questo evita che il lato di trasmissione subisca pause troppo ravvicinate. Si è infatti osservato che il tempo di uscita dalla pausa non è nullo e che alla velocità di 3 Gbps non può essere trascurata.

6.2.4 Macchina a stati finiti per l'invio di dati

Di seguito è presentata schematicamente la macchina a stati finiti utilizzata per gestire l'invio dei dati.

- **Reset:** è lo stato che si verifica subito dopo il completamento dell'inizializzazione. Viene azzerato l'indirizzo di lettura della RAM e i segnali S_AXI_TX_TVALID, S_AXI_TX_TLAST e DO_CC vengono mantenuti a zero. In questo stato si torna solo nel caso di una nuova inizializzazione del canale causata da un reset del lato di ricezione di AURORA.
- **Wait:** in questo stato viene controllata la condizione di riempimento della FIFO. Se FULL è non è asserito si procede con l'invio di un nuovo frame, altrimenti si rimane in questo stato in attesa che la FIFO venga letta e si crei spazio per nuovi dati. S_AXI_TX_TVALID e S_AXI_TX_TLAST vengono portati a livello logico basso.

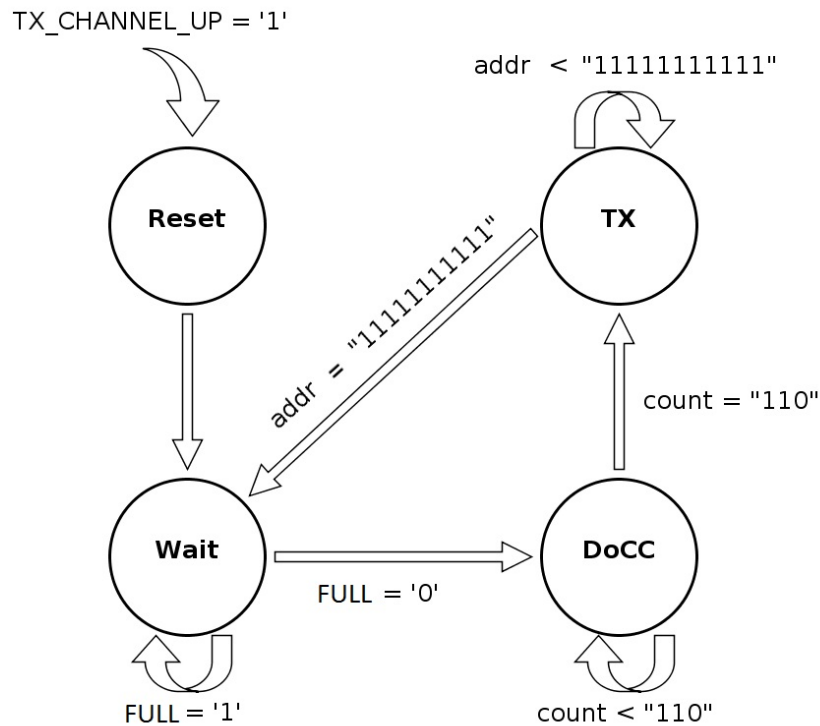


Figura 6.3: Struttura semplificata di un a FIFO.

- **DoCC**: in questo stato vengono inviate le sequenze per la compensazione del clock. Un contatore permette di mantenere asserito DO_CC per i 6 cicli previsti dal protocollo.
- **TX**: in questo stato viene controllato il segnale S_AXI_TX_TREADY per verificare che il canale sia pronto alla trasmissione e, in caso affermativo, il dato in uscita dalla RAM viene messo sulla porta S_AXI_TX_TDATA e l'indirizzo che punta alla cella di memoria viene incrementato. L'invio dei dati continua fino a che non si raggiunge l'ultimo indirizzo della RAM. In questa condizione ($addr = "111111111111"$), viene asserito il segnale S_AXI_TX_TLAST.

Nel caso i dati da trasmettere non siano le rampe contenute nella RAM, è sufficiente modificare lo stato TX ponendo sulla porta S_AXI_TX_TDATA il segnale che si desidera inviare.

Questo codice è valido per ogni velocità consentita dai GTP nel range $0.6 - 3 \text{ Gbps}$ e va caricato negli FPGA delle quattro schede 8x1.

Capitolo 7

Layout della PCB

In questo capitolo vengono descritte le specifiche scelte fatte per la realizzazione fisica della Control Unit. In particolare si presterà attenzione alla struttura della PCB, alla disposizione dei componenti utilizzati e alla realizzazione delle piste differenziali ad impedenza controllata per i segnali più sensibili.

7.1 Dimensioni

Il primo vincolo da tenere in considerazione nella realizzazione della PCB è stato quello sulle dimensioni. La scheda è infatti dimensionata e sagomata per adattarsi esattamente al case e alla disposizione dagli altri elementi all'interno del sistema.

In Figura 7.1 sono riportate le dimensioni della CU.

Il contenitore esterno è un case di alluminio, prodotto da Hammond Manufacturing, le cui dimensioni sono 160x125x30 mm.

Una volta fissate le dimensioni generali della PCB, si è proceduto a definirne la forma per adattarsi alla posizione dei connettori montati sulla Connection Board e per consentire l'alloggiamento dell'SSD. Le dimensioni del device di archiviazione che verrà utilizzato sono quelle definite dallo standard SATA per dispositivi da 1.8" con connettore micro-SATA, ovvero 78.5x54x5 mm.

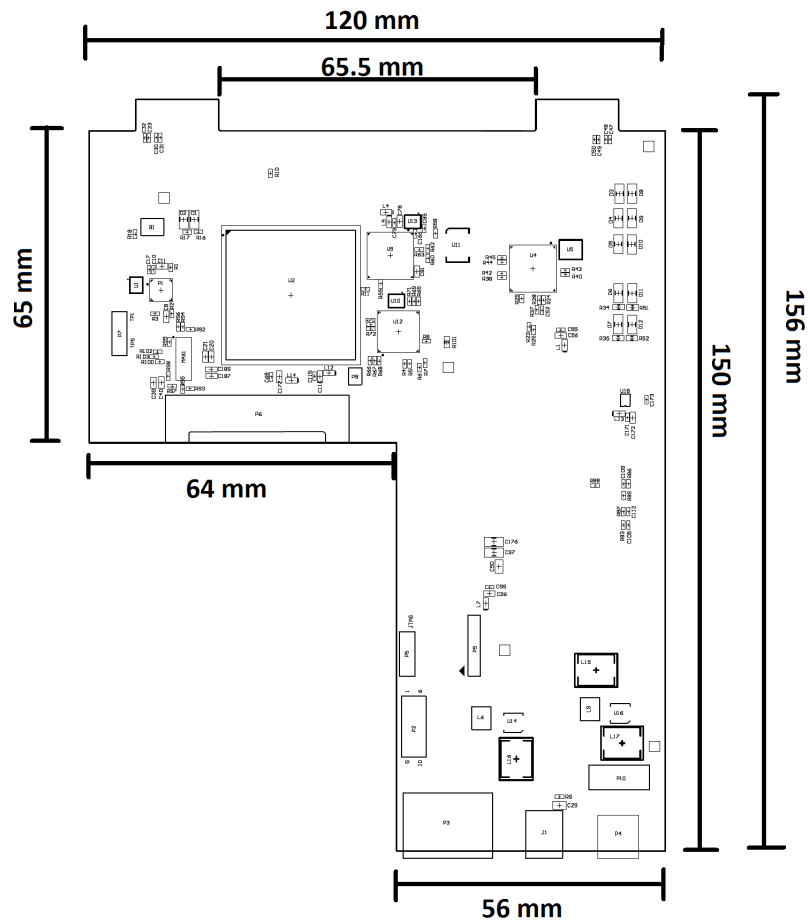


Figura 7.1: Dimensioni della CU.

In Figura 7.2 è possibile vedere la CU, la Cb e le schede 8x1 assemblate assieme.

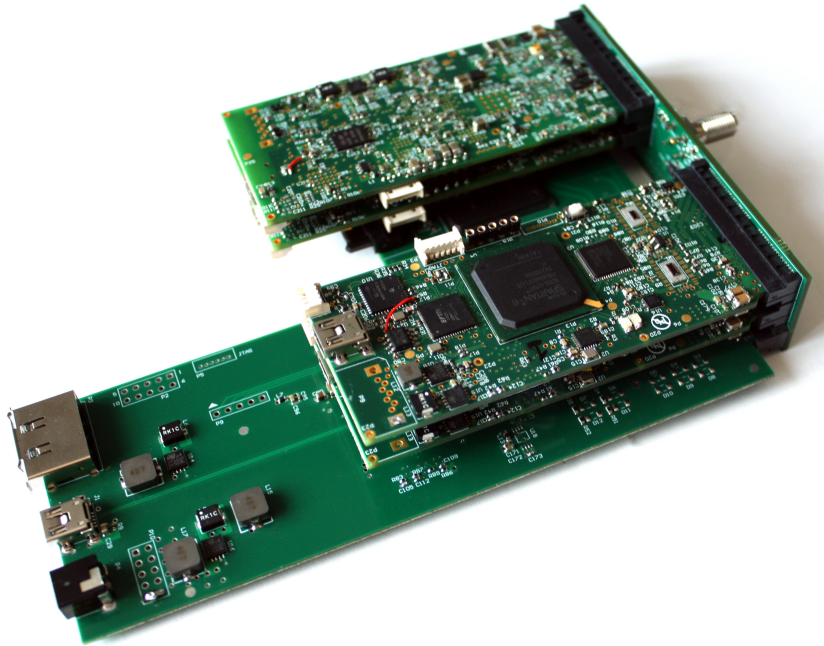


Figura 7.2: Control Unit, Connection Board e schede 8x1 assemblati assieme.

7.2 Layer stack

La presenza di un numero considerevole di piste differenziali, con i relativi piani di massa, e la necessità di trasportare diversi valori di alimentazione ai componenti distribuiti sulla scheda ha portato alla scelta di un layer stack a otto strati, come mostrato in Figura 7.3. Questo garantisce la possibilità di avere maggiore libertà nel tracciamento delle piste che trasportano i dati più sensibili.

Lo spessore complessivo della scheda è di 1,574 mm, costituito dalla sovrapposizione alternata di strati conduttivi spessi 0.165 mm e strati isolanti dello spessore di 0.2032 mm.

7.3 Piste differenziali

L'utilizzo di un collegamento differenziale ha come grande vantaggio una maggiore insensibilità ai disturbi esterni e una minore generazione di rumore

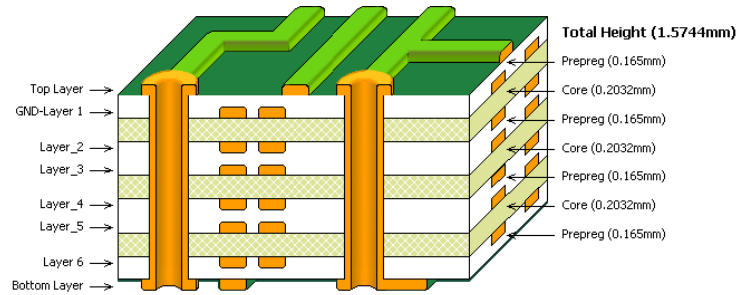


Figura 7.3: Layer Stack della Control Unit.

elettromagnetico. In questo modo, eventuali disturbi esterni si accoppiano in maniera uguale sulle due piste lasciando invariata la differenza tra le loro tensioni.

Per evitare riflessioni alle interfacce è necessario disegnare la linea in maniera adattata, ovvero con un'impedenza caratteristica pari alle impedenze di terminazione.

L'impedenza di una coppia differenziale dipende dalle dimensioni delle piste, dalla loro distanza reciproca e dallo spessore del dielettrico che le separa dal piano o i piani di massa, a seconda che le piste si trovino sulle superfici della scheda o in un layer interno.

Nel caso di piste tracciate su una delle superfici esterne (Figura 7.4)

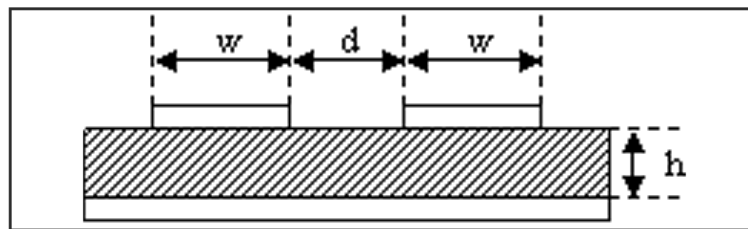


Figura 7.4: Piste differenziali tracciate su una delle superfici della scheda.

l'equazione per il calcolo dell'impedenza caratteristica è la seguente:

$$Z_d = \frac{147}{\sqrt{\epsilon_r + 1.41}} \ln \left(\frac{5.98}{(0.8w + t)} \right) \left(1 - 0.48e^{-0.96 \frac{d}{h}} \right);$$

Layer	w (mm)	d (mm)	T (mm)	h (mm)	ϵ_r
Top/Bottom	0.22	0.25	0.035	0.2	4.5
Interno		0.25	0.035	0.2	4.2

Tabella 7.1: Dimensionamento delle piste differenziali

mentre nel caso di piste su layer interni (Figura 7.5),

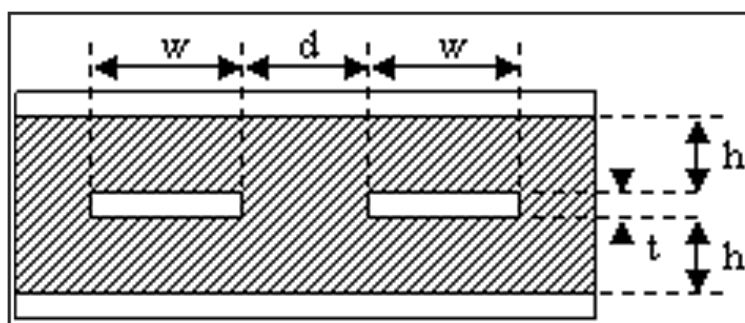


Figura 7.5: Piste differenziali tracciate su un layer interno.

l'impedenza caratteristica può essere calcolata come:

$$Z_d = \frac{120}{\sqrt{\epsilon_r}} \ln \left(\frac{1.9(2h+t)}{(0.8w+t)} \right) \left(1 - 0.347e^{-2.9\frac{d}{2h+t}} \right)$$

dove, in entrambi i casi, ϵ_r rappresenta la costante dielettrica relativa, w e t sono rispettivamente larghezza e spessore della pista, h è la distanza della linea dal piano di massa e d è la distanza che intercorre tra le due piste.

I collegamenti differenziali usati sulla scheda realizzata richiedono, per evitare riflessioni e garantire l'integrità del segnale alle velocità necessarie, un'impedenza caratteristica pari a 100Ω .

Il dimensionamento delle piste e il valore della costante dielettrica utilizzata sono riassunti in Tabella 7.1.

Le piste differenziali utilizzate per il trasporto dei dati dei GTP sono state tracciate tutte sul top e sul bottom cercando di minimizzare eventuali passaggi di piano. Questo per sfruttare la minore costante dielettrica presente all'interfaccia scheda/aria e quindi la maggiore velocità delle piste.

Le coppie differenziali utilizzate per i collegamenti USB e per il trasporto dei segnali di temporizzazione, necessitando minori velocità, sono invece state tracciate su un piano interno. In questo modo è stato possibile realizzare piste con direzioni perpendicolari tra loro senza interruzioni e riducendo al minimo la loro lunghezza.

Capitolo 8

Conclusioni

Questo lavoro di tesi ha portato allo sviluppo dell'hardware di controllo necessario alla realizzazione di un sistema di acquisizione per misure TCSPC a 32 canali. La Control Unit realizzata permette la riunificazione dello stream di dati proveniente da quattro schede 8x1, consentendo l'operatività in modalità "live" tramite un'unica connessione USB. La CU è anche predisposta per poter gestire il protocollo SATA per l'archiviazione dei dati su un SSD interno al sistema. Questo permetterà l'utilizzo in modalità "off-line" e la registrazione di misurazioni con tecnica Time Tagging.

Il protocollo di comunicazione AURORA è stato studiato e implementato per il trasferimento dei dati tra le schede 8x1 e la CU. In configurazione simplex con modalità framing il canale è stato testato alla velocità massima di trasferimento di 3 Gbps, dando quindi spazio a futuri upgrade del sistema.

La realizzazione della Connection Board ha permesso il collegamento tra le varie parti del sistema e lo smistamento dei segnali di STRT e di STOP.

Le dimensioni complessive del sistema di acquisizione a 32 canali (mostato in Figura 8.1) sono pari a 160x125x30 mm. Il sistema è quindi sensibilmente più compatto delle soluzioni multicanale attualmente sul mercato, rendendolo innovativo nello scenario delle strumentazioni TCSPC.



Figura 8.1: Sistema di acquisizione a 32 canali completo.

Bibliografia

- [1] W. Becker: *"Advanced Time-Correlated Single Photon Counting Techniques"*. Springer, 2005
- [2] D. Resnati, I. Rech, A. Geraci; *"High-linearity analog-to-digital acquisition board for photon-timing applications"*; Reviews of Scientific Instrumentation 79, 064706; (2008).
- [3] M. Wahl, H.J. Rahn, T. Röhlicke, G. Kell, D. Nettels, F. Hillger, B. Schuler, R. Erdmann; *"Scalable time-correlated photon counting system with multiple independent input channels"*; Reviews of Scientific Instrumentation 79, 123113; (2008)
- [4] R. Rigler, E. S. Elson; *"Fluorescence Correlation Spectroscopy Theory and Applications"*; Springer, Berlino, 2001
- [5] F. Koberling, M. Wahl, M. Patting, H.J. Rahn, P. Kapusta, R. Erdmann *"Two-channel fluorescence lifetime microscope with two colour laser excitation, single-molecule sensitivity, and submicrometer resolution"* Proc. SPIE 5143, (2003)
- [6] Becker&Hickl; SPC-154 Data Sheet: *"Four-Channel Time-Correlated Single Photon Counting Module"*; (2010)
- [7] PicoQuant; HydraHarp400 Data Sheet: *"Multichannel Picosecond Event Timer and TCSPC Module with USB Interface"*; (2011)
- [8] I. Recha, A. Cuccato, S. Antonioli, C. Cammi, A. Gulinatti, M. Ghioni; *"High-performance SPAD array detectors for parallel photon timing applications"*; Proc. SPIE 8228, (2012)

- [9] D. Leoni; *"Progetto e realizzazione di un sistema di conversione A/D a bassissima DNL per applicazioni TCSPC"*; Tesi di laurea, Politecnico di Milano; (2006).
- [10] Xilinx User Guide; *"Spartan-6 FPGA Configurable Logic Block"*; UG384 (v1.1); Febbraio, 2010
- [11] Xilinx Product Specification; *"Spartan-6 FPGA Packaging and Pinouts"*; UG385 (v2.2); Agosto, 2011
- [12] Xilinx Advance Product Specification; *"Spartan-6 FPGA GTP Transceivers"*; UG386 (v2.2); Aprile, 2010
- [13] Xilinx User Guide; *"Spartan-6 FPGA Configuration"*; UG380 (v2.4); Giugno 2012
- [14] Xilinx User Guide; *"LogiCORE IP Aurora 8B/10B v8.1"*; UG766; Aprile, 2012
- [15] *"Serial ATA International Organization: Serial ATA Revision 3.0"*; Gold Revision; Giugno 2009