

POLITECNICO DI MILANO

Scuola di Ingegneria dell'Informazione

Corso di Laurea Magistrale in Ingegneria Elettronica
Elettronica per la Medicina e le Nanobiotecnologie



CIRCUITI LOGICI COMPLEMENTARI BASATI SU POLIMERI AMBIPOLARI

Relatore: Dott. Dario Natali

Correlatore: Dott. Mario Caironi

Candidato:
Giorgio Dell'Erba
Matr. 755128

Anno Accademico 2011-2012

Ancora, ai miei nonni

Indice

Elenco delle figure	iii
Sommario	ix
Introduzione	1
1 Background e stato dell'arte	6
1.1 Semiconduttori organici	6
1.1.1 Orbitali molecolari, coniugazione π e solidi organici . .	9
1.1.2 Fenomeni di trasporto	11
1.2 Transistor organici ad effetto campo	14
1.2.1 Struttura del dispositivo	14
1.2.2 Principi di funzionamento	16
1.2.3 Resistenza di contatto	22
1.2.4 Ambipolarità	24
2 Metodi e setup sperimentale	26
2.1 Tecniche di fabbricazione	27
2.1.1 Fotolitografia	27
2.1.2 Ink-Jet printing	33
2.2 Fabbricazione dei dispositivi e circuiti	42
2.2.1 Pulizia preliminare del substrato	42
2.2.2 Deposizione dei contatti	43

2.2.3	Inserimento dell'inter-layer e deposizione dei film organici	46
2.2.4	Creazione di <i>via holes</i>	48
2.2.5	Deposizione dei gate	52
2.3	Setup e metodologie di misura	53
2.3.1	Routine di misura per misure statiche	57
3	Dimensionamento e layout di porte logiche e circuiti	60
3.1	Struttura	60
3.2	Layout	66
3.2.1	Layout del singolo transistor	66
3.2.2	Inverter	69
3.2.3	Transmission gate	70
3.2.4	Latch D	71
3.2.5	Flip-flop D	72
3.3	Tipologie di chip implementati	74
3.3.1	Chip L3	74
3.3.2	Chip L12	74
3.3.3	Chip F1	76
3.3.4	Chip F2	76
3.3.5	Chip F3	76
4	Caratterizzazione dei singoli transistor	77
4.1	Chip #1	78
4.1.1	Trattamenti termici	79
4.2	Chip #2	89
5	Caratterizzazione delle porte logiche complementari	92
5.1	Inverter	92
5.1.1	Caratterizzazione statica	92
5.1.2	Caratterizzazione dinamica	99
5.2	Transmission gate	103
5.3	Latch	105
	Conclusioni	107

Indice

iii

Bibliografia

109

Elenco delle figure

1	Sviluppo temporale della mobilità di semiconduttori per transistor a canale p e a canale n basati su piccole molecole e polimeri semiconduttori	2
1.1	Orbitali s e p di un atomo di carbonio	6
1.2	Orbitali ibridi sp_3 (a) e molecola di metano (CH_4): l'atomo di carbonio con ibridazione sp_3 forma legami covalenti (σ) con quattro atomi di idrogeno (b)	7
1.3	Orbitali nell'ibridazione sp_2 (a) e molecola di etilene: gli orbitali p dei due atomi di carbonio formano il legame π con conseguente formazione di un doppio legame (b)	8
1.4	Orbitali nell'ibridazione sp (a) e molecola di acetilene: i quattro orbitali p dei due atomi di carbonio formano legami π con conseguente formazione di un triplo legame (b)	8
1.5	(a) Il legame σ tra gli orbitali sp_2 di una molecola di etilene genera orbitali di bonding e di antibonding con gap energetico elevato. (b) Il legame π della stessa molecola; il gap energetico tra i due orbitali è inferiore rispetto al caso precedente	9
1.6	Schema dei livelli energetici di una molecole di acetile. Si noti la differenza tra i gap energetici tra i livelli di bonding e antibonding dei due differenti orbitali.	10
1.7	Schema di un dispositivo OFET	15

1.8	Schemi delle strutture (a) Bottom-gate staggered, (b) Bottom-gate coplanar, (c) Top-gate coplanar, (d) Top-gate staggered.	15
1.9	Livelli energetici del OFET nell'interfaccia gate-dielettrico-semiconduttore. (a) Per tensioni $V_G > 0$, si ha un accumulo di cariche negative. (b) Per tensioni $V_G < 0$, si ha un accumulo di cariche positive	17
1.10	Livelli energetici lungo il canale di cariche dell'OFET. A sinistra, la rappresentazione schematica del trasporto di cariche positive di un p-type. A destra, l'analogo per le cariche negative di un n-type	18
1.11	Caratteristica di output. Il grafico mostra un andamento lineare nel primo tratto che tende poi a saturare.	18
1.12	Transcaratteristica in regime lineare e in regime di saturazione. Il grafico è stato preso da misure svolte su un dispositivo con semiconduttore N2200 e contatti di source e drain prodotti in oro attraverso litografia.	19
1.13	<i>Profilo della concentrazione dei portatori nei diversi regimi</i>	20
2.1	Progetto Autocad della maschera litografica utilizzata nel lavoro di tesi	28
2.2	Diverse configurazioni per il trasferimento del pattern sul substrato	30
2.3	Figura di diffrazione da un'apertura della maschera	31
2.4	Differenza fra resist positivo e negativo	32
2.5	Modi di evoluzione di una goccia depositata su una superficie in fase di evaporazione. a) Si mantiene costante l'angolo di contatto θ e diminuisce l'area di contatto. b) l'angolo di contatto varia rispetto al valore iniziale θ_0 mentre l'area di contatto rimane fissa	36
2.6	Moti vorticali di Marangoni in una goccia di ottano in fase di evaporazione. Sopra: immagine ricavata sperimentalmente. Sotto: immagine ottenuta in via computazionale ^[33]	37

2.7	<i>Coffee stain</i> : si nota il contrasto tra i bordi e il centro della macchia, indice di un flusso di materiale verso i bordi in fase di evaporazione.	38
2.8	Fujifilm Dimatix DMP-2800	40
2.9	Forma d'onda generica	40
2.10	Effetto delle fasi della forma d'onda sul volume e sul getto	41
2.11	Processo multi-step per la costruzione di dispositivi in logica complementare. Il processo sopra riportato è relativo alla costruzione di un <i>inverter</i>	42
2.12	Plasma cleaning in funzione	44
2.13	Tipologia di processo scelta per la creazione dei contatti: (a) e (b) tecnica standard scartata a causa della presenza di zone appuntite dopo il lift-off; (c) e (d) metodologia scelta che elimina il problema delle punte	45
2.14	Schematizzazione del processo di spray-coating di CsF	47
2.15	Risultato della deposizione di 40 layer di toluene tramite ink-jet printing	49
2.16	Analisi profilometrica della via hole	50
2.17	Caratteristica I-V del contatto elettrico	51
2.18	Pad analizzato per il calcolo della resistenza per quadro	52
2.19	Sistema di probing Aspect L1 con microscopio a focale variabile, microcamera USB e manipolatori PVX400	53
2.20	Agilent Technologies B1500A Semiconductor Device Analyzer	55
2.21	Oscilloscopio Tektronix DPO2014	55
2.22	Circuito equivalente per la misura delle transcaratteristiche	57
2.23	Circuito equivalente per la misura delle caratteristiche di uscita dei transistor	58
3.1	Struttura TGBC utilizzata per gli OFETs	61
3.2	(a) Formula di struttura e (b) diagramma a bande al contatto con l'oro del PTVPhI-C12. ^[35]	62

3.3	(a) Mobilità di elettroni e lacune al variare dello spessore del CsF layer, (b) range $-100 V < V_g < 0 V$ e (c) range $0 V < V_g < +100 V$. ^[35]	64
3.4	Diagramma a bande con CsF layer. ^[35]	64
3.5	(a) Spettro UPS e (b) variazione della work-function dell'oro in base allo spessore dello strato di CsF. (c) Spettro UPS per l'interfaccia CsF/semiconduttore. ^[36]	65
3.6	Risultati sperimentali di letteratura in dipendenza del tempo di deposizione del CsF. ^[36]	66
3.7	Visuale 3D della struttura di transistor implementata. Si possono notare terminali di source e drain con struttura interdigitata.	67
3.8	Legenda per l'interpretazione dei layer di costruzione.	68
3.9	Schematico (a) e layout (b) di un inverter con $\frac{W_n}{W_p} = 3$	69
3.10	Schematico (a) e layout (b) di un transmission gate con $\frac{W_n}{W_p} = 3$	70
3.11	Schematico (a) e layout (b) di un Latch D con $\frac{W_n}{W_p} = 3$	71
3.12	Schematico (a) e layout (b) di un Flip Flop D con $\frac{W_n}{W_p} = 1$	72
3.13	Tipologie di chip implementate per lo studio della logica	75
4.1	Curve di corrente (a) e mobilità (b) per i transistor nFET trattati con sali di cesio, al loro arrivo	78
4.2	Curve di corrente (a) e mobilità (b) per i transistor pFET, al loro arrivo	79
4.3	Grafico di comparazione comparazione delle correnti durante i quattro trattamenti a 80°C da un'ora	80
4.4	Schematizzazione dell'andamento della corrente di gate.	82
4.5	Grafico di comparazione delle correnti di drain e gate sia in zona di saturazione (a) che in zona lineare (b) tra le prime due ore di trattamento.	82
4.6	Caratteristiche di trasferimento e mobilità dopo il trattamento overnight a 90°C	83

4.7	Comparazione delle correnti alla condizione di partenza e dopo il trattamento overnight di 90°C per transistor nFET (a) e pFET (b)	84
4.8	Bilanciamento delle correnti in transistor nFET (a) e pFET (b)	85
4.9	VTC di un inverter con correnti bilanciate: la soglia logica è a $V_{DD}/2$	86
4.10	Curve di corrente (a) e mobilità (b) per i transistor nFET dopo il trattamento overnight a 110 °C	87
4.11	Comparazione delle caratteristiche del transistor dopo i 90° overnight e 110° overnight in zona di saturazione (a) e lineare (b)	87
4.12	VTC di un inverter dopo trattamento overnight a 110 °C . . .	88
4.13	Curve di corrente (a) e mobilità (b) per i transistor nFET del chip #2 dopo il trattamento overnight a 110 °C	89
4.14	Curve di corrente (a) e mobilità (b) per i transistor pFET del chip #2 dopo il trattamento overnight a 110 °C	90
4.15	VTC di un inverter del chip #2 dopo un trattamento di 24 ore a 110 °C	91
5.1	VTC di un inverter del chip #2	93
5.2	Caratteristiche di trasferimento ideale (a) e reale (b) a confronto	95
5.3	Schematizzazione di uno switch 0 → 1 dell'ingresso e relative correnti	96
5.4	Estrapolazione delle informazioni sul margine di fase a partire dalle VTC di un invertitore	97
5.5	Schematizzazione (a) e VTC (b) di un inverter con carico di 100 nA sul nodo d'uscita	98
5.6	Dipendenza delle VTCs (b) degli inverter dalla posizione sul chip (a)	100
5.7	Forme d'onda di ingresso e uscita per l'inverter a 40 Hz (a) e 10 kHz (b)	101
5.8	Guadagno della configurazione al variare della frequenza per la stima della frequenza di taglio	102

5.9	Tensione di uscita in fase di ON, OFF e tensione di ingresso per un transmission gate con frequenza del dato di 20Hz (<i>a</i>) e 1kHz (<i>b</i>)	104
5.10	Dimostrazione del corretto funzionamento del D Latch	105

Sommario

I semiconduttori organici, grazie alla solubilità e alla processabilità a basse temperature, hanno aperto la strada allo sviluppo di tecnologie a basso costo e a basso impatto ambientale. Grazie anche a tecniche innovative di fabbricazione, è possibile realizzare dispositivi elettronici organici il cui scopo non è competere con il silicio in termini di prestazioni, ma è quello di sviluppare nuove applicazioni con le proprietà di flessibilità, basso peso e alto grado di integrabilità. I polimeri ambipolari π -coniugati possono rappresentare un modo economico per la produzione di circuiti integrati complementari (CICs) su larga area, senza richiedere un micro-patterning individuale dei semiconduttori p-type e n-type.

La tesi di laurea si è occupata della realizzazione e caratterizzazione di *circuiti logici complementari* basati su tecnologia organica, con l'obiettivo di dimostrare la possibilità di creare strutture complesse funzionanti basate su *Transistor Organici ad effetto di campo* (OFETs). In particolare, parte del lavoro sperimentale è stato inoltre dedicato all'ottimizzazione di dispositivi OFET funzionalizzati tramite CILs, tramite opportuni trattamenti termici. Si è dimostrato come si possano effettivamente recuperare in tal modo le caratteristiche di mobilità dei semiconduttori ritornando ai valori definiti da letteratura di $\mu_{e,sat} = \mu_{h,sat} = 0.1 \text{ cm}^2/Vs$.

Successivamente ci si è occupati dell'integrazione di dispositivi complementari con strutture logiche complesse quali Inverters, Transmission Gates e

D Latches basati su una struttura a semiconduttore polimerico ambipolare e sulla funzionalizzazione dei contatti tramite *Charge Injection Layers* (CILs). Si è quindi proceduto alla loro caratterizzazione sia statica che dinamica. Sono state utilizzate sia tecniche di base per la produzione di transistor organici che nuove tecnologie quali l'Ink-Jet printing. L'attività svolta presso il *Center for Nano-Science and Technology@PoliMi (CNST@PoliMi)* dell'*Istituto Italiano di Tecnologia (IIT)* ha dimostrato come le strutture complementari create svolgano effettivamente le funzioni logiche desiderate, con una buona riproducibilità del risultato.

Introduzione

Sin dalla dimostrazione dei primi transistor organici a film sottile (OTFTs) nei primi anni '80, il campo dell'elettronica organica ha mostrato un grande progresso sia per ciò che riguarda la sintesi di nuovi materiali con prestazioni sempre migliori in termini di mobilità e stabilità, sia per la loro applicazione in nuovi dispositivi e sistemi innovativi.

Il risultato di questi progressi è la recente dimostrazione di OTFT con caratteristiche di funzionamento comparabili – e in alcuni casi migliori – rispetto a quelle dei TFT basati su *silicio amorfo (a-Si)*^[1]. Nella figura 1 è riportato il miglioramento delle performance, in termini di mobilità per effetto campo, dei semiconduttori organici dagli anni '80 fino ad oggi. Queste performance hanno aperto la strada all'uso della tecnologia organica per un gran numero di applicazioni emergenti. Due campi di applicazione su cui sicuramente la tecnologia a transistor organici avrà un impatto significativo sono i *display flessibili* e la *micro-elettronica integrata a basso costo*. Tuttavia, al migliorare della tecnologia aumenta anche la lista delle potenziali applicazioni.

Ci sono diverse ragioni che spingono a scegliere la tecnologia OTFT per sviluppare applicazioni a larga area. Queste includono l'alto potenziale delle proprietà meccaniche delle plastiche combinata con le temperature relativamente basse di processo e le semplici metodologie di fabbricazione che possono essere utilizzate, come ad esempio le tecniche di stampa. Con questi vantaggi, è possibile sviluppare elettronica su aree arbitrariamente grandi, su substrati plastici leggeri e dai costi molto bassi. Questi sviluppi potrebbero

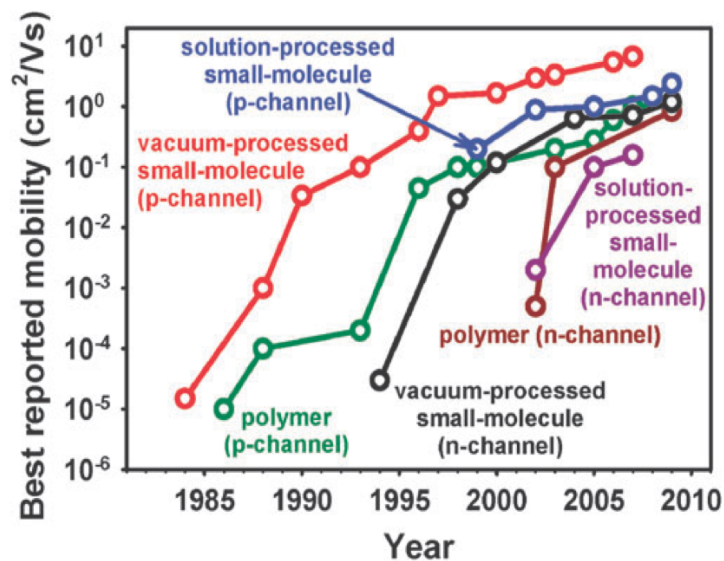


Figura 1: Sviluppo temporale della mobilità di semiconduttori per transistor a canale p e a canale n basati su piccole molecole e polimeri semiconduttori

rivoluzionare l'uso della microelettronica nella vita di tutti i giorni.

I FET organici possono permettere di sviluppare elettronica innovativa sia per applicazioni digitali che analogiche. Per quanto riguarda i circuiti digitali, capaci di processare un'informazione binaria, esempi possono essere la logica di indirizzamento per un display a matrice oppure il chip transponder per un tag identificativo a radiofrequenza; questo porterebbe da un lato alla realizzazione di display completamente flessibili e dall'altro a quello di tag a bassissimo costo. Meno sviluppate sono le applicazioni analogiche, utilizzate per il condizionamento, filtraggio e l'amplificazione analogica del segnale o per la conversione di segnali analogici in digitali. Qui l'opportunità di integrare dell'elettronica con dei sensori direttamente su chip flessibili.

Storicamente, i semiconduttori organici hanno mostrato un comportamento sbilanciato verso l'unipolarità di tipo p a causa della minore stabilità ambientale di quelli di tipo n. Questo ha permesso lo studio di porte logiche unipolari che hanno subito mostrato le loro limitazioni riguardo a dinamica e potenza dissipata.

Più recentemente sono stati sviluppati semiconduttori che fossero di tipo-n stabili, processabili in soluzione e con proprietà di mobilità elettronica simili a quelle ottenute per le lacune^[2]. Questo ha aperto la strada alla creazione di logica di tipo complementare. Questa può essere ottenuta utilizzando principalmente due approcci:

- *Patterning separato di semiconduttore tipo-p e tipo-n*: viene effettuato un patterning del semiconduttore sulla superficie del dispositivo distinguendo i transistor di tipo-p da quelli di tipo-n (es. con ink-jet printing);
- *Utilizzo di semiconduttori ambipolari*: un unico layer di semiconduttore è disposto su tutti i dispositivi; viene effettuata una funzionalizzazione dei contatti dei dispositivi tramite strati di iniezione di carica al fine di selezionare il tipo di portatore di carica che deve essere iniettato (rimosso) dal (verso) il contatto nel (dal) semiconduttore.

Questo lavoro di tesi si è focalizzato proprio su quest'ultimo tipo di soluzione per lo sviluppo di circuiti logici integrati complementari, puntando alla produzione di circuiti digitali organici robusti e riproducibili. Il principale vantaggio è quello di poter utilizzare un metodo semplice per la deposizione del semiconduttore senza ricorrere a patterning ad alta risoluzione.

Nel lavoro di tesi mi sono occupato di:

- *Fabbricazione di singoli transistor, porte logiche integrate e circuiti logici integrati*: è stata eseguita litografia dei contatti, fabbricazione di vias holes tramite ink-jet printing e deposizione dello strato di gate di circuiti logici complementari basati sulla struttura sopra riportata. Parte del processo (spin-coating di semiconduttore e dielettrico, inserimento del charge injection layer) è stato effettuato dal Dipartimento di Chimica della Hanabab University presso la Repubblica di Korea con cui è attiva una collaborazione su questi temi;
- *Ottimizzazione delle caratteristiche degli OFET e trattamenti in temperatura*: si sono recuperate le caratteristiche di mobilità elettronica di

dispositivi degradati a causa dell'interazione del charge injection layer con fattori ambientali;

- *Caratterizzazione di OFET*: si sono caratterizzati i dispositivi OFET basati su una struttura che utilizza come semiconduttore il PTVPhI-C12 e charge injection layers, noto in letteratura per avere mobilità comparabili di elettroni e lacune pari a $0.1 \text{ cm}^2/Vs$;
- *Caratterizzazione di Inverter e Transmission Gates*: sono stati caratterizzati sia staticamente che dinamicamente gli inverter e i transmission gates, studiandone le prestazioni e comprendendone le variazioni rispetto al caso ideale;
- *Fabbricazione e caratterizzazione di un circuito logico complementare di tipo D Latch*: è stato studiato un circuito logico complementare completo che vede l'integrazione di 8 OFET funzionanti contemporaneamente, per dimostrare la robustezza della tecnologia e la possibilità di utilizzarla in strutture più articolate.

Il lavoro si è svolto presso il *Center for Nano-Science and Technology@PoliMi (CNST)* dell'*Istituto Italiano di Tecnologia (IIT)* per una durata totale di circa nove mesi, sotto la supervisione di *Mario Caironi*, Team Leader CNST.IIT@PoliMi e co-supervisione di Dario Natali, ricercatore presso il Dipartimento di Elettronica e Informazione del Politecnico di Milano. Mi sono inoltre avvalso della collaborazione di *Alessandro Luzio*, Post-Doc presso CNST.IIT@PoliMi.

Nel *Capitolo 1* è descritta la teoria fisico-chimica dei semiconduttori organici con una introduzione alla modellizzazione dei transistori ad effetto di campo organici.

Nel *Capitolo 2* sono illustrati i metodi considerati per la fabbricazione dei dispositivi ed il setup sperimentale utilizzato per la misura delle caratteristiche della tecnologia.

Nel *Capitolo 3* è discussa la struttura base dei transistor e dei chip implementati per lo studio della logica complementare considerata.

Nel *Capitolo 4* sono presentati i dati di caratterizzazione dei singoli transistor

ed è effettuata una analisi della risposta di questi a dei trattamenti termici per il recupero delle caratteristiche degradate.

Nel *Capitolo 5* è dimostrato il funzionamento delle funzioni logiche svolte dalle porte tramite misure sia di tipo statico che dinamico.

Background e stato dell'arte

Nel presente capitolo, vengono descritte le proprietà dei materiali con cui si è operato e i dispositivi che si sono realizzati in modo da fornire una base per la comprensione degli esperimenti svolti e i risultati ottenuti durante il periodo di tesi.

Partendo dalle proprietà fisico-chimiche dei semiconduttori organici, si passerà alla descrizione strutturale e funzionale dei dispositivi.

1.1 Semiconduttori organici

Il termine *organico* viene attribuito a tutti quei materiali che si presentano come composti ricchi di atomi di *carbonio* con numero di ossidazione inferiore a +4.

Il carbonio possiede sei elettroni, due di questi si dispongono nell'orbitale $1s$ e i restanti quattro si distribuiscono negli orbitali più esterni $2s$ e $2p$.

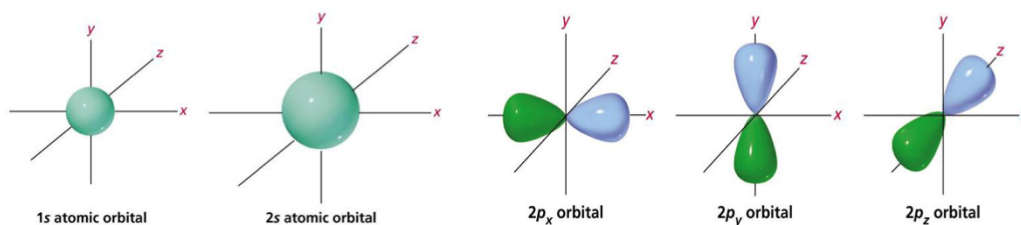


Figura 1.1: Orbitali s e p di un atomo di carbonio

Oltre alla capacità sia di creare catene atomiche di varia lunghezza, che di formare catene cicliche, questo elemento ha l'importante particolarità di ibridizzare¹ in tre modi diversi gli orbitali della configurazione elettronica esterna, dipendentemente dalla forma strutturale ed energetica della molecola in cui si trova.

Ibridazione sp_3

Gli orbitali $2s$, $2p_x$, $2p_y$ e $2p_z$ si combinano formando quattro nuovi orbitali tra loro equivalenti diretti dal nucleo centrale verso i quattro vertici di un tetraedro. I legami che si vengono a creare dall'accostamento di due atomi con tale configurazione elettronica sono legami singoli σ e necessitano di alte energie per essere rotti.

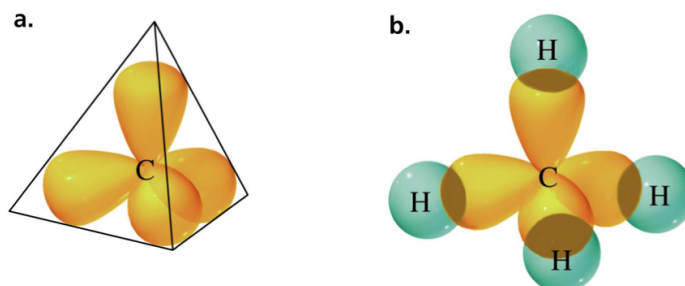


Figura 1.2: Orbitali ibridi sp_3 (a) e molecola di metano (CH_4): l'atomo di carbonio con ibridazione sp_3 forma legami covalenti (σ) con quattro atomi di idrogeno (b)

Ibridazione sp_2

L'orbitale $2s$ e due tra gli orbitali $2p$ si combinano formando tre nuovi orbitali disposti a 120° l'uno dall'altro nel piano perpendicolare al restante orbitale $2p$. Accostando due atomi in questa configurazione si ottiene un legame σ e un legame più debole, detto legame π , tra i due orbitali $2p$ restanti. Si crea quindi un *doppio legame* tra i due atomi.

¹L'ibridazione è un procedimento di combinazione matematica di un certo numero di orbitali (orbitali s, p, d) con contenuto energetico poco diverso (quindi orbitali di valenza) di uno stesso atomo che permette di ottenere nuovi orbitali ibridi equivalenti (isoenergetici) con i lobi orientati lungo le direzioni dei possibili legami che l'atomo centrale di una

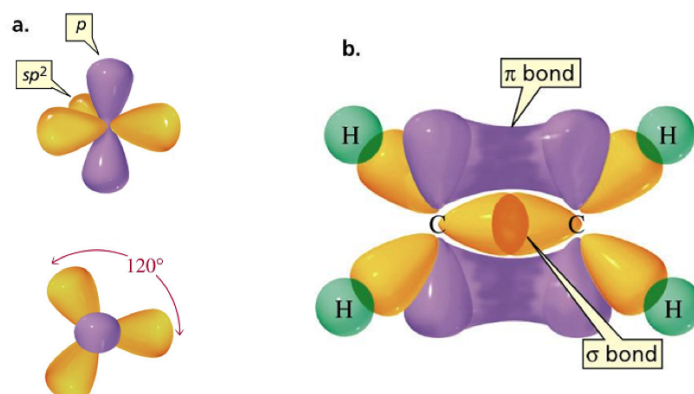


Figura 1.3: Orbitali nell'ibridazione sp_2 (a) e molecola di etilene: gli orbitali p dei due atomi di carbonio formano il legame π con conseguente formazione di un doppio legame (b)

Ibridazione sp

L'orbitale $2s$ e solo uno tra gli orbitali $2p$ si combinano formando due nuovi orbitali disposti a 180° . Anche in questo caso accostando due atomi in questa configurazione, oltre al legame σ tra i nuovi orbitali, si formano due nuovi legami di tipo π tra i quattro orbitali $2p$ che non partecipano all'ibridazione. Si crea quindi un *triplo legame* tra i due atomi.

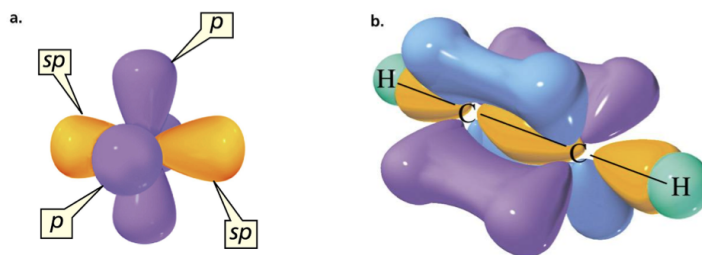


Figura 1.4: Orbitali nell'ibridazione sp (a) e molecola di acetilene: i quattro orbitali p dei due atomi di carbonio formano legami π con conseguente formazione di un triplo legame (b)

molecola può formare con altri atomi.

1.1.1 Orbitali molecolari, coniugazione π e solidi organici

Tra i materiali organici, i semiconduttori organici sono caratterizzati da un'alternanza di legami singoli e doppi tra atomi di carbonio consecutivi. Questa configurazione, detta *coniugazione π* , dà luogo alla delocalizzazione elettronica con conseguente aumento di conduttività della molecola. Per spiegare il fenomeno dal punto di vista degli orbitali molecolari è utile introdurre alcuni concetti.

In seguito alla formazione della molecola attraverso legami σ e π si vengono a creare nuovi orbitali che coinvolgono l'intero aggregato e prendono il nome del legame da cui sono generati. Questi si dividono in *orbitali leganti* occupati e *orbitali antileganti* non occupati. I primi hanno energia più bassa dei secondi.

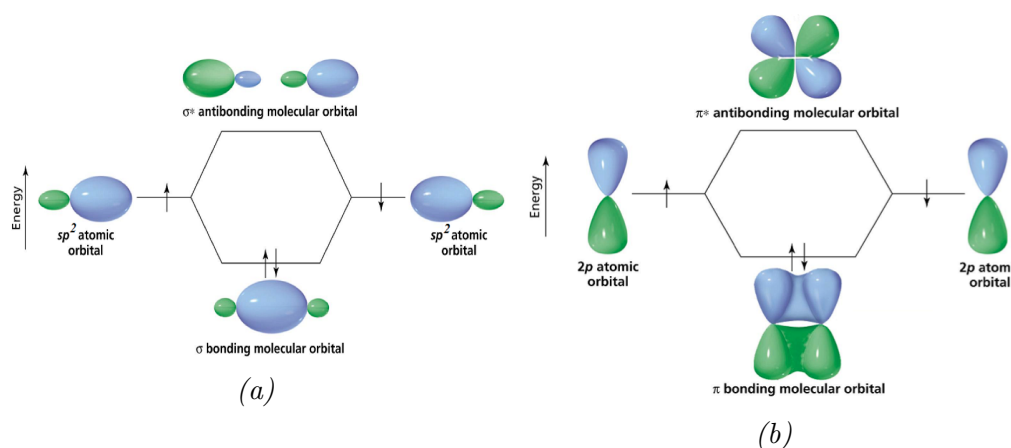


Figura 1.5: (a) Il legame σ tra gli orbitali sp_2 di una molecola di etilene genera orbitali di bonding e di antibonding con gap energetico elevato. (b) Il legame π della stessa molecola; il gap energetico tra i due orbitali è inferiore rispetto al caso precedente

Considerando aggregati con soli legami σ , l'alta differenza di energia tra gli orbitali leganti e antileganti, conferisce un comportamento isolante al materiale.

Diversamente, nel caso di ibridazione sp_2 del carbonio, l'aggiunta dei legami π e successiva formazione dell'orbitale π , in cui la differenza di energia tra

orbitali leganti e antileganti è minore rispetto al caso precedente, comportano una riduzione del gap energetico.

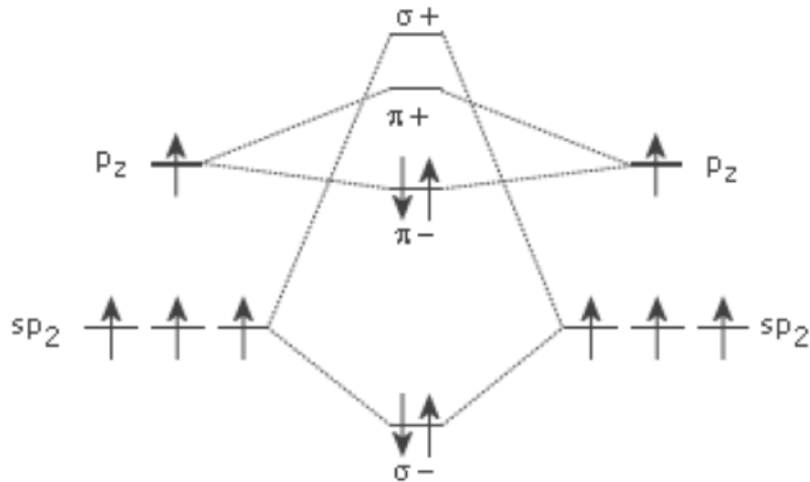


Figura 1.6: Schema dei livelli energetici di una molecola di acetile. Si noti la differenza tra i gap energetici tra i livelli di bonding e antibonding dei due differenti orbitali.

Nel caso di molecole coniugate composte da un gran numero di atomi di carbonio, i legami π danno luogo alla formazione di un sistema π in cui gli elettroni sono fortemente delocalizzati. L'aumento della delocalizzazione con l'aumento degli atomi che prendono parte alla molecola coniugata riduce il gap energetico tra l'HOMO (Highest Occupied Molecular Orbital) e il LUMO (Lowest Unoccupied Molecular Orbital). Inoltre, la presenza di elettroni nell'orbitale π permette di poter spostare un elettrone sotto l'effetto di un campo elettrico, senza rompere il composto.

Passando dalla singola molecola all'aggregato molecolare, le cose cambiano. Allo stato solido, le molecole sono legate tra loro attraverso forze di Van der Waals. L'energia di formazione di questi legami è di $10 \text{ Kcal/mol}^{[3]}$, molto più piccola dell'energia di legame covalente del silicio che è 76 Kcal/mol , perciò l'interazione tra molecole adiacenti risulta limitata. Da un lato questo ha importanti conseguenze applicative, poiché li rende processabili da soluzione. Dall'altro la limitata interazione molecolare influisce negativamente sulle proprietà elettroniche dell'aggregato come vedremo nel prossimo paragrafo. Nell'elettronica organica, i semiconduttori utilizzati possono essere compo-

sti da piccole molecole, detti oligomeri, o lunghe catene, dette polimeri. Si definiscono piccole molecole tutti i composti costituiti da un numero non elevatissimo di atomi e in cui il peso molecolare è ben definito. Al contrario i polimeri sono macromolecole, dall'elevato peso molecolare, costituiti da un gran numero di gruppi molecolari, detti monomeri, uguali o diversi, uniti a catena mediante legami covalenti. La maggiore differenza tra i due tipi di materiali, considerando che possiedono proprietà opto-elettroniche molto simili, sta nelle tecniche di deposizione e processazione. Mentre le piccole molecole possono essere depositate in film sottili, anche microcristallini, sia da soluzione che attraverso evaporazione termica, i polimeri possono essere depositati solo da soluzione e creano generalmente strutture meno ordinate.

1.1.2 Fenomeni di trasporto

Se all'interno della molecola coniugata il portatore si muove facilmente, nell'aggregato solido il passaggio da una molecola a quella adiacente comporta un'energia di attivazione per il superamento di barriere energetiche. Le funzioni d'onda elettroniche non si estendono quindi sull'intero solido, ma sono localizzate su poche molecole o su molecole singole. I portatori di carica si trovano quindi intrappolati spazialmente in stati localizzati che limitano il trasporto di carica all'interno del solido organico.

Durante l'intrappolamento negli stati localizzati, l'elettrone riesce a polarizzare il sistema elettronico e nucleare circostante deformando localmente la struttura molecolare. L'accoppiamento elettrone-deformazione può essere descritto come un accoppiamento elettrone-fonone. Per avere trasporto di cariche è necessario il movimento della carica e del fonone contemporaneamente ovvero la deformazione della struttura molecolare. Questa coppia è detta *polarone* la cui stabilità dipende da due grandezze fondamentali:

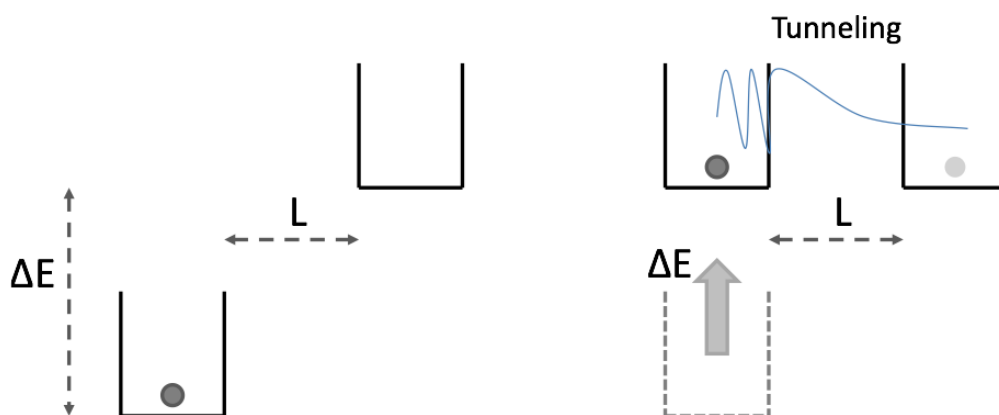
- *Tempo di permanenza* τ_r : rappresenta la durata media in cui l'elettrone risiede nello stato localizzato.

- *Tempo di polarizzazione elettronica* τ_p : indica il tempo di polarizzazione attorno all'elettrone localizzato.

Nei solidi organici, $\tau_r \sim 10^{-14}$ s mentre $\tau_p \sim 10^{-15}$ s, perciò l'elettrone riesce a polarizzare il sistema circostante^[4].

Da un punto di vista energetico, il polarone crea un nuovo stato all'interno del gap tra HOMO e LUMO, detto stato di intra-gap, cambiando la struttura dei livelli energetici della molecola. La presenza di più polaroni interagenti tra loro, può trasformare gli stati isolati di intra-gap in bande polaroniche, dando un comportamento metallico al materiale (è il caso di alti livelli di drogaggio del semiconduttore).

La *mobilità* delle cariche che viaggiano attraverso il solido organico è determinata dalla facilità con cui i portatori si muovono da una molecola all'altra; il trasporto nell'intero bulk avviene per "salti", tra stati adiacenti. In presenza di strutture disordinate, a causa della dispersione della densità degli stati elettronici, le cariche devono superare oltre che una barriera spaziale, dovuta alla localizzazione, anche una barriera energetica.



Se al superamento della prima provvede il tunneling quantistico, la seconda è colmata dall'energia ceduta dalle vibrazioni fononiche. Questo processo è detto *hopping*, che è un *tunneling termicamente attivato*, e la probabilità con cui avviene è proporzionale al prodotto delle due probabilità parziali:

$$P_{\text{hopping}} \propto \exp\left\{\frac{-\Delta E}{kT}\right\} \exp\{-\alpha x\}$$

La differenza di energia ΔE e la distanza x determinano congiuntamente lo stato verso cui è più probabile transire.

Le alte temperature influiscono sui modi vibrazionali delle molecole, aumentando l'attività fononica e i fenomeni di hopping incrementando la mobilità delle cariche, contrariamente al caso del silicio cristallino in cui la mobilità viene innalzata dalle basse temperature poiché viene ridotto lo scattering fonone-elettrone. La mobilità misurata nei solidi organici varia notevolmente dipendentemente dai materiali usati e dalla microstruttura del film. Lavorando sulla struttura delle molecole, oligomeri e polimeri, durante il processo di sintesi e sulle tecniche di deposizione si può pensare di aumentare la mobilità dei portatori inducendo un'organizzazione più regolare tra le molecole; la sovrapposizione delle funzioni d'onda venutasi a creare sarebbe la base per un trasporto più coerente^[5].

1.2 Transistor organici ad effetto campo

Il principio del transistor ad effetto di campo (FET) fu proposto per la prima volta da Lilienfeld nel 1930^[6]. Solo nel 1960 Kahng e Atalla svilupparono il primo dispositivo in silicio a struttura MOS, metallo-ossido-semiconduttore, basato sull'effetto campo^[7]. Questo dispositivo divenne ed è tuttora il componente essenziale della microelettronica per la realizzazione di circuiti integrati.

Per la prima volta, nel 1964, una conduzione elettrica per effetto campo fu osservata in un film sottile di ftalocianina^[8] estendendo il concetto di FET al mondo organico, che non fornì risultati apprezzabili fino al 1987, quando Koezuka realizzò il primo Organic Field Effect Transistor (OFET) basato su politiofene ottenuto tramite polimerizzazione elettrochimica^[9]. Il dispositivo non solo si rivelò un utile strumento per la caratterizzazione di mobilità per effetto campo di materiali semiconduttori organici ma, la sua ottimizzazione permise anche lo sviluppo di dispositivi in grado di svolgere funzioni più complesse nell'elaborazione digitale dei segnali^[10].

1.2.1 Struttura del dispositivo

Il dispositivo FET è schematizzabile come un condensatore con una piastra conduttiva, detta contatto di *gate*, e l'altra caratterizzata da un layer di semiconduttore contattato attraverso due terminali, detti *source* e *drain*. Le due piastre sono separate da un sottile strato di materiale isolante, responsabile dell'effetto capacitivo.

La regione compresa tra i due contatti *source* e *drain* è detta regione di canale, ed è caratterizzata da una lunghezza di canale L e da una larghezza di canale W , misurate rispettivamente lungo la direzione parallela e perpendicolare rispetto al verso di percorrenza della corrente. La geometria del canale, come anche i materiali adottati, sono diretti responsabili delle prestazioni del dispositivo.

Nella sua forma organica (OFET), il semiconduttore in questione è di tipo

organico ed il dielettrico utilizzato è solitamente un polimero isolante.

La figura 1.7 mostra una rappresentazione schematica del dispositivo OFET e dei relativi parametri strutturali

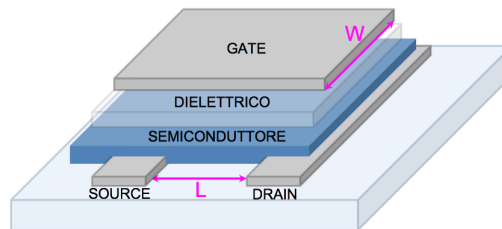


Figura 1.7: Schema di un dispositivo OFET

In figura 1.8 vengono schematizzate quattro diverse strutture per gli OFET.

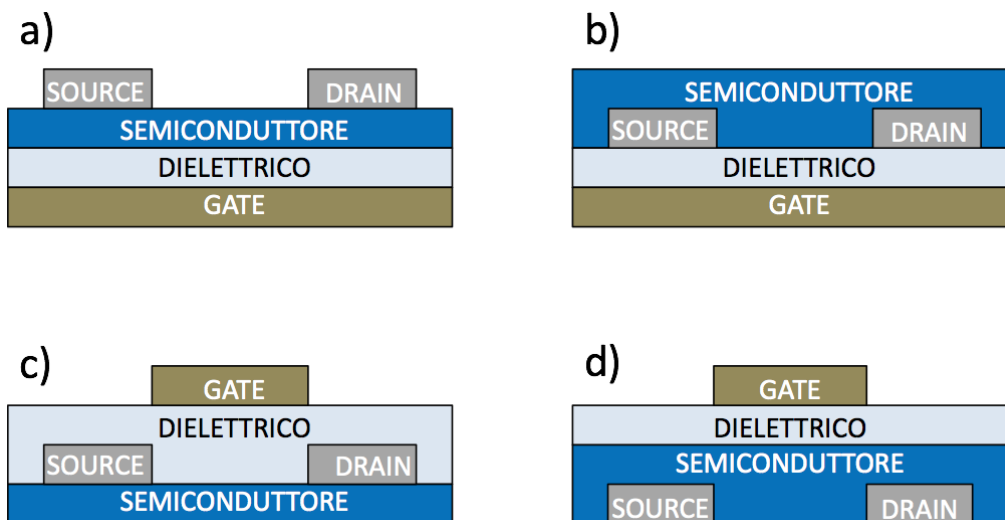


Figura 1.8: Schemi delle strutture (a) Bottom-gate staggered, (b) Bottom-gate coplanar, (c) Top-gate coplanar, (d) Top-gate staggered.

La necessità di ideare strutture diverse nasce dalla compatibilità tra materiali e processi fabbricazione dei dispositivi. I solventi adottati nel caso di deposizioni di materiali da soluzione (semiconduttori o dielettrici) e i processi di annealing non sempre sono compatibili con i film già depositati. Un

esempio è il pentacene depositato tramite evaporazione termica: si è verificato che i solventi utilizzati per le normali procedure di litografia modificano drasticamente le prestazioni del dispositivo^[11].

Le quattro strutture sono: (a) *staggered Top Contact Bottom Gate (TCBG)*, (b) *coplanar Top Contact Bottom Gate (TCBG)*, (c) *coplanar Top Gate Bottom Contact (TGBC)* e (d) *staggered Top Gate Bottom Contact (TGBC)*.

Ognuna delle quattro strutture TFT mostrate ha certi vantaggi e svantaggi. Per esempio, ci si aspetta che la presenza di una barriera energetica all'interfaccia fra il semiconduttore organico e i contatti di source e drain impedisca lo scambio di portatori di carica fra i contatti e il semiconduttore. Esperimenti e simulazioni hanno mostrato come per la stessa barriera energetica, TFT con una struttura di tipo staggered (figure a e d) hanno il vantaggio di essere meno affetti da questa barriera rispetto ai TFT con strutture coplanari (figure b e c). Tuttavia in caso di una struttura bottom-gate coplanare (figura b), l'effetto della barriera energetica sullo scambio di portatori può essere ridotto modificando la superficie di source e drain con un monolayer organico con un appropriato momento di dipolo. Un importante vantaggio della configurazione TCBG coplanare è che il layer di dielettrico e i contatti di source e drain sono preparati *prima* che il semiconduttore organico sia depositato. Questo è importante perchè molti semiconduttori organici ad alta mobilità sono estremamente sensibili a perturbazioni esterne che si possono avere durante i processi di deposizione. Tuttavia, il funzionamento delle quattro strutture è lo stesso ed è modellizzato di seguito.

1.2.2 Principi di funzionamento

I dispositivi OFETs sono realizzati in modalità *thin film* in cui lo spessore complessivo è molto inferiore al micron, tipicamente decine di nanometri, e per questo il loro funzionamento è ben spiegato dal modello a due dimensioni dei *Thin Film Transistors* TFTs^[12].

Il singolo postulato nel modello è di considerare il dispositivo come un semplice condensatore a piastre parallele e, in quanto tale, la carica in qualsiasi punto del dispositivo dipende direttamente dalla caduta di potenziale

tra le due interfacce dell'isolante. La densità di carica locale indotta nel canale, dipendente dalla posizione x all'interno canale, è quindi espressa dall'equazione:

$$\rho(x) = C'_{ox}[V(x) - V_G]$$

dove $C'_{ox} = \varepsilon_{ox}/t_{ox}$ è la capacità per unità di area del dielettrico, V_G la tensione applicata al contatto di gate e $V(x)$ è il potenziale locale nel canale. Applicando quindi una tensione al gate, nell'interfaccia tra semiconduttore e dielettrico è indotto un canale conduttivo, contenente cariche positive o negative a seconda del verso della tensione. Un OFET funziona generalmente in regime di accumulazione, diversamente dai dispositivi MOSFETs che possono funzionare in accumulazione, svuotamento e inversione. La figura 1.9 mostra il funzionamento dell'accumulazione attraverso lo schema dei livelli energetici^[13].

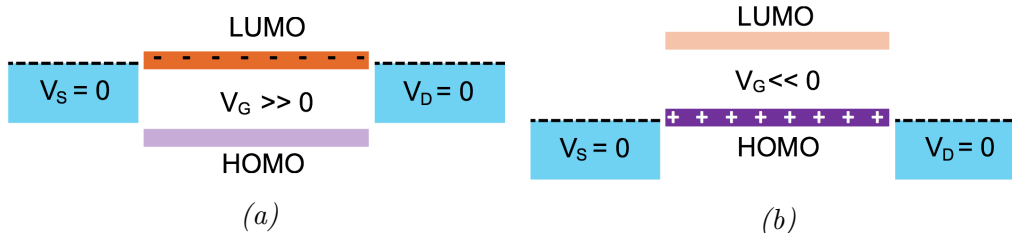


Figura 1.9: Livelli energetici del OFET nell'interfaccia gate-dielettrico-semiconduttore. (a) Per tensioni $V_G > 0$, si ha un accumulo di cariche negative. (b) Per tensioni $V_G < 0$, si ha un accumulo di cariche positive

Nel primo caso, a seguito di una tensione V_G positiva, si viene a creare un accumulo di elettroni al di sotto del dielettrico conferendo un comportamento di tipo n al dispositivo. Nel secondo caso, con tensione V_G negativa, si ha diversamente accumulo di lacune con conseguente funzionamento di tipo p. Applicando quindi una differenza di potenziale V_{DS} tra source e drain, è possibile trasportare le cariche accumulate ottenendo una corrente, detta corrente di canale I_{DS} . In particolare, ponendo V_S a massa, applicando $V_G < 0$ e $V_D < 0$, si genera una corrente di lacune tra source e drain. Viceversa

con $V_G > 0$ e $V_D > 0$, si favorisce il trasporto di elettroni nel dispositivo. La figura 1.10 fornisce una rappresentazione schematica del funzionamento di tipo p e di tipo n^[13].

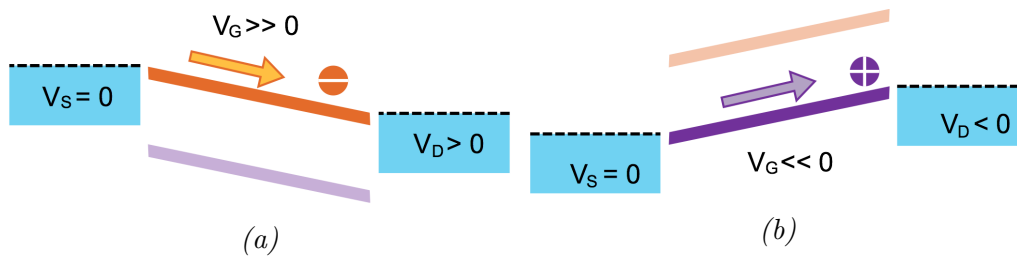


Figura 1.10: Livelli energetici lungo il canale di cariche dell'OFET. A sinistra, la rappresentazione schematica del trasporto di cariche positive di un p-type. A destra, l'analogo per le cariche negative di un n-type

La quantità di corrente di e^- (h^+) è inversamente proporzionale all'altezza della barriera energetica formata dalla *LUMO* (*HOMO*) rispetto al livello di Fermi E_F del contatto.

Le misure di I_{DS} possono essere ricavate in due modi diversi^[13]:

- Caratteristica di output: viene mantenuta costante la tensione V_G e viene fatta variare la tensione V_{DS} .

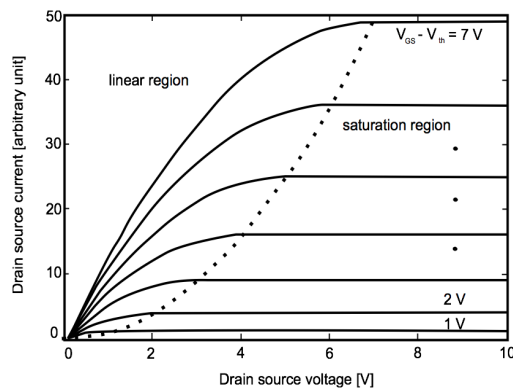


Figura 1.11: Caratteristica di output. Il grafico mostra un andamento lineare nel primo tratto che tende poi a saturare.

- Transcaratteristica: viene mantenuta costante la tensione V_{DS} e viene fatta variare la tensione V_G .

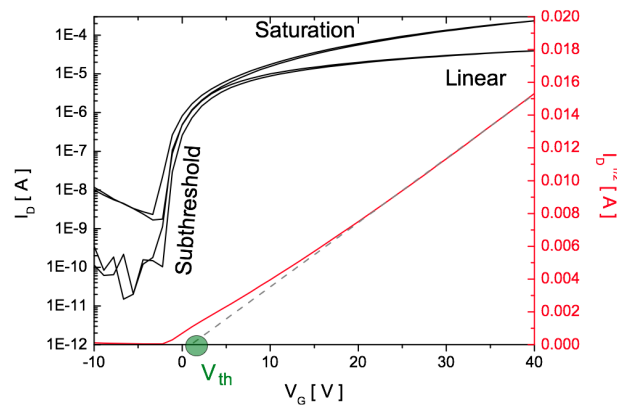


Figura 1.12: Transcaratteristica in regime lineare e in regime di saturazione. Il grafico è stato preso da misure svolte su un dispositivo con semiconduttore N2200 e contatti di source e drain prodotti in oro attraverso litografia.

Nel processo di accumulazione è utile introdurre un parametro importante per la valutazione del funzionamento e delle prestazioni del dispositivo ovvero la *tensione di soglia* (V_T), indicata in verde nella figura 1.12. Questo parametro indica il valore minimo di tensione applicate al gate necessario per attivare il regime di inversione nei dispositivi MOSFETs, quindi l'uso nell'ambito OFETs è improprio. Ciò nonostante, in via qualitativa, è utile definire il valore di tensione di gate per cui cariche libere iniziano ad apparire nel canale, chiamandolo V_0 . In linea teorica, assumendo che il film semiconduttore sia puro, senza trappole, questo valore è nullo. Con una tensione di gate non nulla, tutte le cariche indotte dal gate sono cariche libere e contribuiscono alla formazione di una corrente di canale.

La natura fisica dei materiali organici tuttavia porta ad avere una grande densità di trappole. Questo vuol dire che non tutte le cariche indotte dal gate sono cariche libere e possono quindi fornire una corrente. Di conseguenza è necessario applicare una tensione diversa da zero al fine di compensare le trappole e successivamente generare cariche libere.

In base all'esistenza di una tensione di soglia, con tensioni V_G e V_{DS} applicate si individuano quattro regimi complessivi di lavoro del dispositivo, rappresentati nella figura 1.13.

Quando $V_G < V_T$, detta regione di sotto-soglia, il transistor è in *cut-off* e non vi è formazione del canale di carica. Nel canale domina quindi una

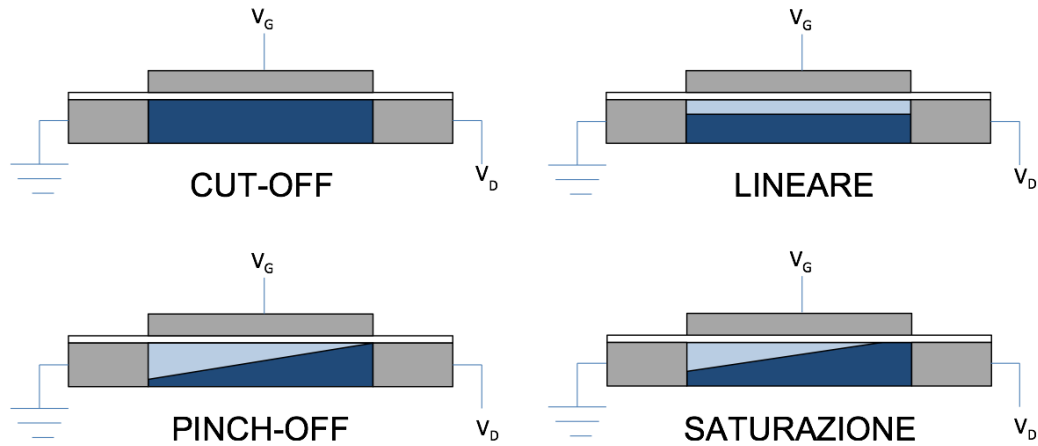


Figura 1.13: Profilo della concentrazione dei portatori nei diversi regimi

corrente di diffusione $I_{D,sub}$ modellabile similmente al caso dei MOSFETs. Al contrario, con $V_G > V_T$ detta regione di sopra-soglia, si possono avere due regimi di funzionamento diversi²:

- *Regime lineare*: si ha quando $|V_G - V_T| > V_{DS}$.

Il canale di carica è uniformemente distribuito tra source e drain e il dispositivo lavora come un resistore in cui la corrente di drain I_D è lineare rispetto alla tensione di gate. La seguente equazione esprime la corrente di drain in regime lineare:

$$I_{D,lin} = \frac{\mu_{FET,lin} C_{diel} W}{L} \left[(V_G - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (1.1)$$

in cui $\mu_{FET,lin}$ è la mobilità per effetto campo in regime lineare.

- *Regime di saturazione*: si verifica quando $|V_G - V_T| < V_{DS}$.

All'aumentare della tensione V_{DS} , la tensione V_{GD} diminuisce producendo una strozzatura del canale di carica nei pressi del drain. In particolare la strozzatura si verifica nella zona a potenziale $V_G - V_T$. Dunque

²Le equazioni precedenti equazioni sono state ricavate per un dispositivo MOSFET, pur avendo questo una fisica del trasporto di carica molto diversa

la densità di carica diminuisce gradualmente all'avvicinarsi al drain, e questo implica che una volta raggiunto il completo strozzamento il valore della corrente I_D non dipenda più da V_{DS} ma solo quadraticamente da V_G . La seguente equazione esprime la corrente di drain in regime di saturazione:

$$I_{D,sat} = \frac{\mu_{FET,sat} C'_{ox} W}{2L} (V_G - V_T)^2 \quad (1.2)$$

dove $\mu_{FET,sat}$ è la mobilità per effetto campo in regime di saturazione. Nel caso limite in cui $|V_G - V_T| = V_{DS}$, il dispositivo è in “pinch-off” e la strozzatura è proprio in prossimità del drain.

Un parametro di grande interesse non solo per la valutazione delle prestazioni del dispositivo ma anche per la caratterizzazione del semiconduttore organico usato è la mobilità per effetto campo μ_{FET} . Valori di mobilità nei due regimi di lavoro sono facilmente ricavabili dalle equazioni precedenti:

$$\mu_{FET,lin} = \frac{L}{WC'_{ox} V_{DS}} \frac{\partial I_D}{\partial V_G} \quad (1.3a)$$

$$\mu_{FET,sat} = \frac{2L}{WC'_{ox}} \left(\frac{\partial \sqrt{I_D}}{\partial V_G} \right)^2 \quad (1.3b)$$

Solitamente la mobilità μ_{FET} viene estratta dal regime di saturazione in modo che problemi quali la non ohmicità dei contatti, rilevanti a bassi valori di V_{DS} , non compromettano la valutazione delle prestazioni del dispositivo. Infine, per una completa caratterizzazione del funzionamento di un dispositivo, parametri come la *pendenza di sottosoglia* S_s e il rapporto I_{ON}/I_{OFF} sono di notevole importanza.

La S_s rappresenta l'inverso della derivata del logaritmo del modulo di I_{DS}

rispetto a V_G a grandi valori di V_{DS} :

$$S_s = \left(\frac{\delta \log |I_{DS}|}{\delta V_{GS}} \right)^{-1} \quad (1.4)$$

Questo parametro è relazionato alla velocità di accensione del dispositivo: più piccolo è il valore di S_s , più il dispositivo si accende velocemente.

Il rapporto I_{ON}/I_{OFF} indica il rapporto tra la corrente per una data V_{ON} quando il dispositivo è acceso e quella per una data V_{OFF} quando il transistor si trova nello stato di cut-off.

1.2.3 Resistenza di contatto

Uno dei meccanismi che regola il funzionamento degli OFET è l'iniezione di carica. Generalmente nei dispositivi OFETs i terminali di source e drain vengono realizzati in metallo e direttamente contattati al semiconduttore organico. Nel passaggio dal contatto verso il materiale, i portatori incontrano una barriera di potenziale che limita la corrente.

In una giunzione metallo/semiconduttore inorganico, come il silicio, il livellamento delle energie di Fermi dei due materiali avviene attraverso la diffusione di cariche all'interfaccia, producendo una barriera di potenziale che, se troppo elevata, ostacola l'iniezione di cariche, causando la classica caratteristica tensione-corrente del diodo Schottky^[14]. Il forte drogaggio all'interfaccia, del semiconduttore utilizzato, produce un elevato incurvamento delle bande permettendo il tunneling delle cariche attraverso la barriera e migliorando l'iniezione.

In una giunzione metallo/semiconduttore organico, per la natura organica, non è possibile svolgere il forte drogaggio all'interfaccia, poichè essendo il drogaggio di tipo *interstiziale* e non *sostituzionale* è difficile effettuare un drogaggio locale, e la barriera di potenziale non può essere modificata in questo modo. Inoltre, la barriera che si viene a formare è sostenuta, oltre che dal-

l'area di carica spaziale che si forma sia nel metallo che nel semiconduttore, anche dalla formazione di un dipolo all'interfaccia.

Nel caso dei dispositivi OFETs, la valutazione dei fenomeni alla base di una barriera di potenziale risulta molto complicata poiché la natura 2D dell'interfaccia e l'azione elettrostatica del gate, modificano le condizioni di iniezione delle cariche. In generale, i fenomeni limitanti vengono raggruppati in un unico parametro, necessario per la valutazione delle prestazioni del dispositivo, detto *resistenza al contatto* R_C .

Nella fase di fabbricazione, al fine di ridurre le barriere ai contatti e consecutivamente la resistenza al contatto è necessario lavorare principalmente sul matching dell'energia di Fermi del metallo e dei livelli di HOMO e LUMO del semiconduttore organico. Quindi l'attenzione rivolta alla funzione lavoro Φ del metallo usato ed alle caratteristiche di affinità elettronica, energia di ionizzazione e mobilità, di elettroni e buche, dei semiconduttori adottati, è utile al fine di migliorare l'iniezione di carica. Ad esempio, il pentacene ha una mobilità delle buche maggiore rispetto a quella degli elettroni ed è usato pertanto come materiale di tipo p. Per evitare barriere di potenziale ai contatti viene utilizzato l'oro che ha una funzione lavoro alta, pari a $\Phi = 5.1 \text{ eV}$, e quindi più vicina al livello di HOMO del pentacene (4.9 eV). L'argento invece che ha una funzione lavoro più bassa, pari a $\Phi = 4.3 \text{ eV}$, si interfaccia meglio a semiconduttori di tipo n.

Studi recenti hanno dimostrato la possibilità di ottimizzazione della R_C attraverso la funzionalizzazione di contatti mediante molecole organiche autoassemblanti (SAM) in grado di correggere la funzione lavoro del metallo in questione^{[15][16][17]} o attraverso l'utilizzo di polimeri organici conduttivi come PEDOT:PSS^{[18][19]}.

Differenti meccanismi portano alla generazione e variazione del dipolo tra i quali^[20]:

- a presenza di dipoli sulla superficie del metallo, causati dalle code della densità degli stati elettronici che si estende oltre l'ultimo strato atomico contenente gli ioni positivi dei nuclei. La presenza di semiconduttori, tramite la loro nuvola elettronica π , svolgono una funzione passivante,

respingendo gli elettroni all'interno del metallo con conseguente riduzione dei dipoli. In questo modo, viene facilitata l'iniezione delle cariche. Il fenomeno, detto *push-back effect*, si verifica prevalentemente nel caso di *fisisorbimento*, nel quale gli orbitali molecolari del semiconduttore organico, non ibridizzano con le funzioni d'onda elettroniche del cristallo;

- la presenza di un dipolo permanente nella molecola stessa, che attraverso la sua orientazione, genera il dipolo all'interfaccia;
- La formazione di legami covalenti tra metallo e semiconduttore, in un processo detto di *chemisorbimento*;
- La presenza di effetti non lineari quali la diffusione di atomi metallici nel semiconduttore o l'esistenza di un sottile strato isolante all'interfaccia.

Inoltre, nello studio dell'iniezione in un materiale organico è importante prendere in considerazione il disordine energetico, la limitata interazione molecolare e l'accoppiamento elettrone-fonone.

1.2.4 Ambipolarità

Sotto certe condizioni è possibile utilizzare lo stesso transistor ad effetto di campo sia come transistor canale-p che canale-n, semplicemente invertendo la polarità delle tensioni gate-source e drain-source. Queste tipologie di transistor sono chiamate *transistori ambipolari*.

I transistor ambipolari richiedono che la barriera energetica tra il livello di fermi dei contatti di source/drain e la HOMO del semiconduttore, così come la barriera tra source/drain e la LUMO del semiconduttore, siano *entrambe* sufficientemente piccole per permettere un trasferimento di carica bilanciato ed efficiente per entrambi i tipi di portatori^[2].

Questo significa che se il semiconduttore è composto di un unico materiale, il gap fra HOMO e LUMO (*bandgap*) deve essere piccolo. La maggior parte dei semiconduttori, tuttavia, ha valori di bandgap solitamente maggiori

di 1.5 eV favorendo così l'iniezione di una tipologia di portatori rispetto agli altri.

Il funzionamento ambipolare dei transistor può essere ottenuto sia con un basso HOMO-LUMO gap^[21], che con una miscela di due diversi semiconduttori^[22], che utilizzando eterostrutture (bilayer) di due diversi semiconduttori^[23].

Per le applicazioni riguardanti circuiti integrati sarebbe meglio non avere comportamento ambipolare poiché causa di grandi correnti di drain quando il transistor è spento, bassi margini di rumore e grande consumo di potenza. Tuttavia i transistor ambipolari sono una opportunità unica per lo studio di light-emitting FET^[24].

Capitolo 2

Metodi e setup sperimentale

In questo capitolo sarà dato ampio spazio alla spiegazione dei metodi sperimentali e della strumentazione utilizzati ai fini della fabbricazione dei circuiti logici basati su OFETs.

La Sezione 2.1 spiega le tecniche utilizzate per preparazione dei substrati soffermandosi sulle le problematiche relative ai *processi fotolitografici*, *spin coating*, *ink-jet printing* ed *evaporazione di metalli*.

La Sezione 2.2 descrive il processo di fabbricazione dei dispositivi, analizzando le singole fasi e fornendo dati quantitativi.

La Sezione 2.3 mostra le scelte fatte riguardo al *setup di misura* utilizzato e alle tipologie di misura effettuate al fine di caratterizzare la tecnologia.

2.1 Tecniche di fabbricazione

2.1.1 Fotolitografia

La fotolitografia, processo basilare nella realizzazione di circuiti integrati, è stata usata durante il lavoro sperimentale per la fabbricazione dei contatti di source e drain e dei pad di contatto. Si è scelta tale tecnica rispetto allo stampaggio via ink-jet per dimostrare innanzitutto il corretto funzionamento della combinazione di materiali scelta senza dover affrontare tutti i problemi secondari dello stampaggio dei contatti, primo tra tutti la scarsa precisione nella larghezza del gate. Tale problema sarà tuttavia affrontato nel seguito di questo lavoro di tesi.

Essa consiste nel depositare su un substrato da processare un materiale detto *resist*, sensibile a determinate radiazioni (UV, elettroni, raggi X, ioni) e che, una volta esposto a queste, può essere attaccato chimicamente in modo da rimuoverne solo una parte e realizzare così un pattern che renda accessibili solo le zone del substrato che devono essere sottoposte ad altri processi. In generale, la realizzazione di un circuito integrato su silicio può essere vista come l'alternarsi di differenti processi con fasi litografiche.

Risulta chiaro quindi che la litografia è un processo molto delicato nella realizzazione dei circuiti; la complessità di qualsiasi tecnologia aumenta col numero di passi litografici da eseguire per arrivare al risultato finale.

Un importante parametro è la risoluzione del processo litografico, vale a dire la *distanza minima* che la litografia permette di realizzare. Ovviamente una risoluzione minore implica la capacità di realizzare strutture di dimensioni inferiori (generalmente con un miglioramento delle prestazioni), tuttavia in ogni tipo di litografia esistono differenti fattori che limitano la risoluzione del processo.

Non bisogna dimenticare che per la fabbricazione di un circuito integrato è necessario anche l'uso di resist e di tecniche chimico-fisiche, atte ad incidere selettivamente i materiali depositi, con una risoluzione che sia *micrometrica* o addirittura *sub-micrometrica*.

Maschere fotolitografiche

Le maschere fotolitografiche sono oggetti tecnologici estremamente delicati sia nella progettazione che nella fabbricazione. Create in modo da rispecchiare il pattern da trasferire sul substrato, la loro progettazione deve tenere conto anche di *effetti di bordo* e problemi risolutivi propri della struttura ottica. Queste consistono in una lastra di quarzo fuso (un vetro ricavato da biossido di silicio di elevata purezza) ricoperte da uno strato di poche decine di nanometri di Cromo. La ragione di usare vetri particolari risiede nel fatto che solo il quarzo di elevata purezza ha un assorbimento trascurabile nelle frequenze dell'ultravioletto. È invece utilizzato il cromo per le sue proprietà di durezza e resistenza all'usura. Le maschere vengono in genere fabbricate applicando sopra il quarzo ricoperto di cromo un resist elettronico e sono esposte mediante litografia a fascio di elettroni.

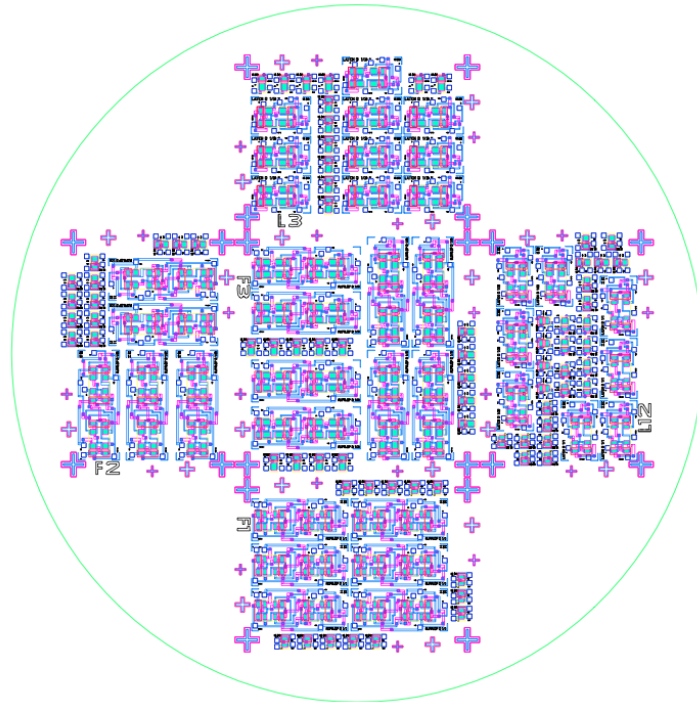


Figura 2.1: Progetto Autocad della maschera litografica utilizzata nel lavoro di tesi

Deposizione del resist

Il *fotoresist* è stato depositato sul substrato da trattare tramite *spin-coating*. È una procedura utilizzata per applicare un film sottile e uniforme ad un substrato solido piano. Una quantità in eccesso di una soluzione della specie che si vuole depositare (*es.* un polimero) viene depositata sul substrato, che è successivamente messo in rapida rotazione tramite un apposito *rotore*, al fine di spargere il fluido sul substrato per effetto della forza centrifuga. Il solvente utilizzato è di solito molto volatile, dunque il film si assottiglia durante il processo anche per effetto dell'evaporazione del solvente. Parametri cruciali per questo tipo di processo sono *velocità di spin*, *accelerazione* del rotore e *tempo* di rotazione.

In letteratura il processo dello spin-coating è generalmente suddiviso in quattro fasi principali, successive all'ancoraggio del substrato al dispositivo rotante tramite un foro apposito collegato ad una pompa da vuoto:

- *Deposizione della soluzione sul substrato*: ciò può essere fatto usando una pipetta che deposita poche gocce della soluzione. Solitamente si deposita un eccesso di soluzione, rispetto alla quantità effettivamente richiesta, a causa del fatto che la maggior parte della soluzione (oltre il 90%) viene proiettata fuori dal disco;
- *Accelerazione del substrato fino alla velocità di rotazione scelta*: questa fase è caratterizzata dall'espulsione del liquido in eccesso (circa il 90% nel primo secondo), dalla formazione di vortici a spirale e da una alta velocità di taglio.
- *Rotazione del substrato a velocità costante*: lo strato di soluzione si assottiglia gradualmente per effetto della forza centrifuga, cui si oppongono le forze di tipo viscoso. Il moto del fluido sul substrato è ora di tipo laminare, con un basso tasso di scorrimento.
- *Rotazione del substrato a velocità costante*: in questa fase le forze di tipo viscoso aumentano rapidamente per effetto della graduale evaporazione del solvente, finché non controbilanciano la forza centrifuga e l'assottigliamento del film termina.

Successivamente, si espone il campione ad un processo di *annealing* che permette di far evaporare il restante solvente rimasto e fa addensare il materiale rendendolo più compatto e migliorandone l'adesione al substrato.

Trasferimento del pattern

Dopo aver ricoperto il substrato e fatto indurire il resist, si passa all'esposizione alla luce UV.

I meccanismi di esposizione sono molteplici e riportati schematicamente in figura 2.2. La scelta è generalmente dettata dalla risoluzione che si vuole ottenere.

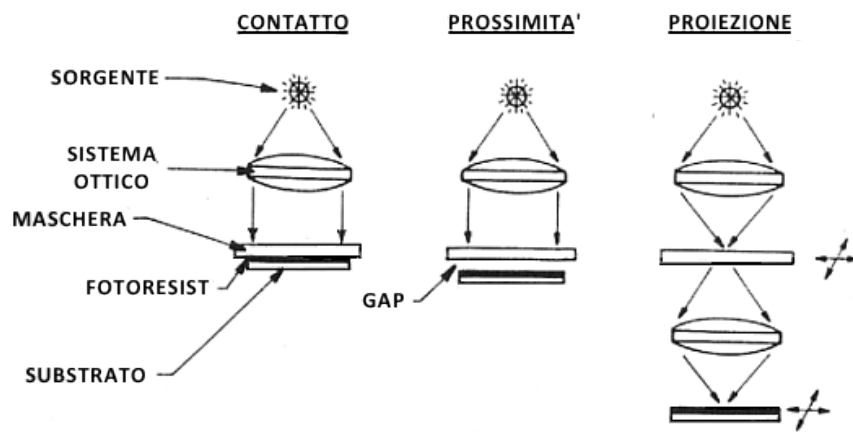


Figura 2.2: Diverse configurazioni per il trasferimento del pattern sul substrato

La risoluzione maggiore è raggiunta generalmente dalla *fotolitografia a contatto*, limitatamente ai fenomeni di diffrazione della luce incidente. La *fotolitografia in prossimità* viene utilizzata per evitare danneggiamenti delle maschere fotolitografiche (solitamente molto costose) ma subiscono maggiormente gli effetti di diffrazione riducendone il potere risolutivo. Tali limitazioni e inconvenienti possono essere in parte rimossi mediante l'impiego di tecniche di *fotolitografia a proiezione*: un complesso sistema di lenti e specchi è utilizzato per proiettare l'immagine della maschera sulla substrato ricoperto di fotoresist, in modo da garantire una perfetta focalizzazione sull'intera

area da esporre. È anche possibile operare in proiezione con *un fattore di ingrandimento minore di uno*, proiettando sul substrato una immagine ridotta della maschera. Quest'ultimo accorgimento è di cruciale importanza nello scaling di tecnologie submicrometriche.

Come precedentemente accennato la risoluzione dei processi fotolitografici dipende dai fenomeni di diffrazione, cui parametri sono la distanza d della maschera dal substrato, l'intensità I della luce incidente, il tempo di esposizione t e le energie di polimerizzazione del resist Q_1 (inizio di polimerizzazione – *soglia di sensibilità*) e Q_2 (completamento della polarizzazione – *soglia di impressionamento*).

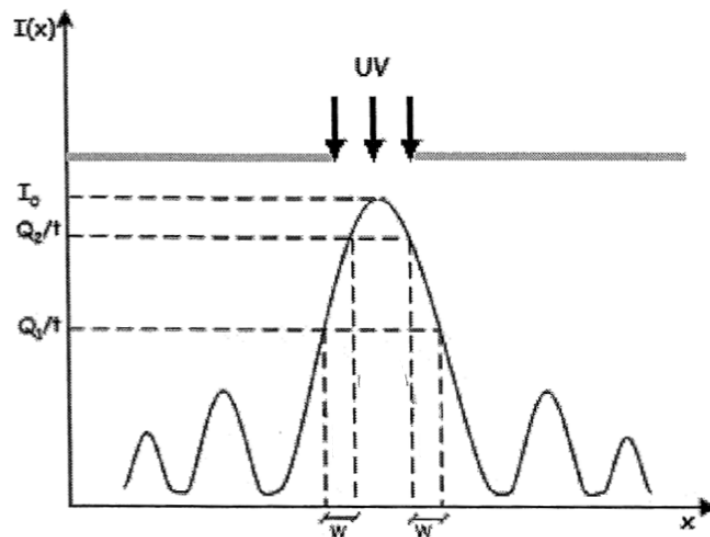


Figura 2.3: Figura di diffrazione da un'apertura della maschera

Da questi parametri sono definiti: la *sensibilità del resist* $S = 1/Q_1$; la *funzione contrasto* definita $\gamma = \frac{1}{\ln(Q_2/Q_1)}$. Nel caso ideale di fotoresist con *contrasto infinito* si ha $Q_1 = Q_2 = Q$; la soglia di sensibilità coincide con la soglia di totale impressionamento e la transizione tra resist completamente esposto e non esposto è netta poichè la funzione contrasto tende ad infinito. Il principio di funzionamento della fotolitografia è un tipico problema di diffrazione da apertura geometrica. La figura di diffrazione non rispecchia esattamente il profilo della maschera, per cui è difficile riprodurre l'interfac-

cia netta chiaro-scuro. In corrispondenza del confine tra zona chiara e zona scura sul fotoresist si forma una zona *grigia* di larghezza finita w , in cui il processo di polimerizzazione può cominciare ma non può completarsi (cioè la quantità di energia fornita $Q = I * t$ è $Q_1 < Q < Q_2$). Infatti, l'intensità I della figura di diffrazione ha il tipico andamento $\propto \text{sinc}^2$, per cui l'illuminazione attraverso l'apertura non è omogenea, come mostrato chiaramente in figura 2.3.

Quanto maggiore è la larghezza della zona grigia, tanto peggiore sarà la risoluzione, perciò per minimizzare la risoluzione bisogna ridurre w . Infatti, riducendo la dimensione dell'apertura, le zone grigie potrebbero arrivare a toccarsi senza poter più distinguere un'area utile in cui il fotoresist è tutto polimerizzato. L'ampiezza w può essere minimizzata, aumentando il potere risolutivo del processo, riducendo la distanza d fra la maschera e il substrato (la risoluzione è proporzionale a $\sqrt{\lambda d}$ dove λ è la lunghezza d'onda di illuminazione). Una formula semi-empirica che fornisce la larghezza minima di riga ottenibile è $W_{min} = 1,06\sqrt{\lambda d}$.

Sviluppo del resist

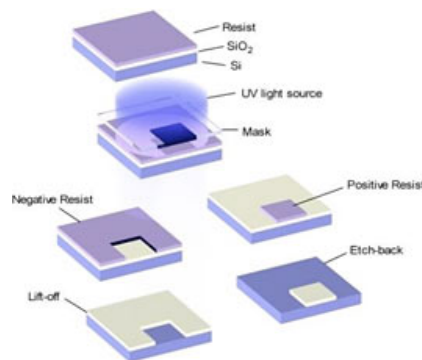


Figura 2.4: Differenza fra resist positivo e negativo

Una volta impressionato il resist comincia la fase di *sviluppo* in cui tramite degli attacchi chimici selettivi si eliminano le zone esposte/non esposte del

resist.

Questa differenza è regolata dal tipo di resist:

- *Fotoresist positivo*: la zona polimerizzata è l'unica a non essere rimossa dall'attacco chimico;
- *Fotoresist negativo*: la zona polimerizzata è l'unica ad essere rimossa dall'attacco chimico.

In questo modo è stato creato un pattern sul substrato. Si provvede poi allo step tecnologico successivo come, nel nostro caso, una *evaporazione di oro*.

2.1.2 Ink-Jet printing

L'Inkjet-Printing è una tecnica che permette la stampa diretta di materiali funzionali per l'elettronica delineando una nuova direzione per la fabbricazione low-cost di circuiti integrati.

La possibilità di processare da soluzione materiali organici, comprendenti non solo semiconduttori e dielettrici^[25] ma anche conduttori organici (PEDOT:PSS), e inorganici, come inchiostri a base di nanoparticelle metalliche^[26], fa di questa tecnica una buona alternativa alle attuali tecniche di deposizione e litografia che necessitano di dispendiose condizioni di pressione e temperatura non adatte ai materiali in questione.

I principali vantaggi che fanno di questa tecnica un buon candidato per la produzione di dispositivi su larga scala sono:

- *Additività del processo*: la deposizione avviene senza rimozione di materiale attivo. In questo modo il materiale viene depositato solo dove è necessario, con ottimo controllo sui volumi depositati, diminuendo gli scarti che si riscontrano negli altri processi di deposizione, come litografia, spin-coating ed evaporazione.
- *Tecnica digitale*: il pattern stampato viene inserito in formato digitale nel sistema di controllo (file CAD, bitmap etc), permettendo modifiche istantanea al design della struttura da realizzare e ottimizzando

i processi di allineamento layer-to-layer. In questo modo viene meno la fabbricazione e l'utilizzo di supporti fisici, come shadow-masks o photo-masks.

- *Condizioni ambiente*: il processo non necessita di condizioni particolari di temperatura e pressione. Sistemi di pompaggio per vuoto non sono più necessari e l'operabilità a temperatura ambiente, o comunque limitata (< 150 °C) permette la fabbricazione di dispositivi su substrati plastici e flessibili
- *Versatilità*: grazie alla possibilità di deposizione di materiale da soluzione, questa tecnica è utilizzata per la deposizione di un largo range di materiali, organici ed inorganici, per applicazioni che spaziano dal campo elettronico (componentistica) a quello energetico (fotovoltaico).

Nel corso degli anni sono state sviluppate diverse tecniche per l'emissione d'inchiostro in modalità *Drop On Demand* DOD, utilizzando attuatori basati su fenomeni fisici differenti. Le tecniche più comunemente utilizzate sono:

- *Inkjet Printing termico*: un trasduttore viene riscaldato da un impulso elettrico e cede calore all'inchiostro circostante facendolo evaporare. Di conseguenza si viene a formare una bolla che produce onde acustiche all'interno della cavità creando il getto. Questa tecnica è adatta soprattutto alla stampa di inchiostri a base acquosa, mentre presenta problemi nei gli altri casi.
- *Inkjet Printing piezoelettrico*: un trasduttore con proprietà piezoelettriche, a seguito di un impulso elettrico, cambia la forma della cavità contenente inchiostro, producendo una de/pressurizzazione della camera. Anche in questo caso la conseguente formazione di onde acustiche permette la fuoriuscita del getto d'inchiostro.
- *Inkjet Printing elettroidrodinamico*: contrariamente ai due casi precedenti, il getto non viene creato da onde acustiche, bensì attraverso un forte campo elettrico. Una tensione DC viene applicata tra la punta

della testina di stampa, precedentemente ricoperta di oro, e il substrato, posizionato su un piano metallico. La differenza di potenziale, attraverso lo spostamento di ioni all'interno dell'inchiostro, permette la fuoriuscita del materiale dalla cavità.

Questa tecnica mostra la caratteristica interessante di disaccoppiare le dimensioni del nozzle dalle dimensioni della goccia, che possono essere di qualche micrometro. In questo modo l'utilizzo di nozzle con diametro elevato non influisce sulle dimensioni della goccia e allo stesso tempo elimina il problema dell'otturazione dell'orifizio.

La tecnica di inkjet printing è stata già largamente utilizzata nel campo dell'elettronica organica per la realizzazione di OLEDs e OTFTs^[27]. Tuttavia il limite imposto dalla bassa risoluzione di stampa, si ripercuote sulle dimensioni dei dispositivi, complicando il processo di miniaturizzazione e di ottimizzazione delle prestazioni. Per far fronte a questo problema, la ricerca ha sviluppato tecniche come self-aligned inkjet printing portando, in alcuni casi, la risoluzione al di sotto del micrometro^{[28] [29]}.

Problemi di stampa

Nel processo di realizzazione di un dispositivo elettronico, è necessario che i materiali processati da soluzione, dopo l'evaporazione dei solventi, presentino caratteristiche morfologiche il più possibile uniformi.

In fase di evaporazione, il solvente presente in una goccia di materiale, depositata su una superficie, subisce un cambiamento di fase, ovvero le molecole passano dallo stato liquido allo stato gassoso, fino al raggiungimento dell'equilibrio tra i due.

Durante questo processo, il volume della goccia si riduce provocando un'evoluzione nella sua forma, che può avvenire nei due modi rappresentati in figura 2.5.

Nella maggior parte dei casi reali, l'evaporazione avviene attraverso una combinazione dei due modi.

La fase di evaporazione è un processo delicato, che necessita controllo, poiché determina la morfologia del materiale che si vuole depositare. In particolare,

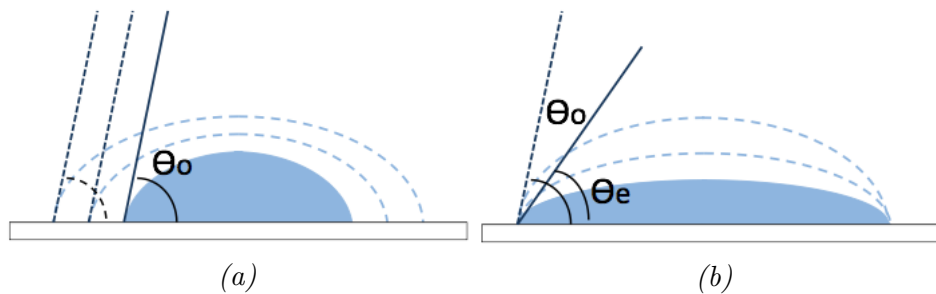


Figura 2.5: Modi di evoluzione di una goccia depositata su una superficie in fase di evaporazione. a) Si mantiene costante l'angolo di contatto θ e diminuisce l'area di contatto. b) l'angolo di contatto varia rispetto al valore iniziale θ_0 mentre l'area di contatto rimane fissa

i materiali implicati nella tecnica di Inkjet Printing propendono a sviluppare due tipi di problemi, che compromettono la funzionalità delle strutture realizzate, per via di due fenomeni interessanti: effetto Marangoni e Coffee Stain.

- *Effetto Marangoni:* considerando un liquido omogeneo in equilibrio termodinamico, la sua tensione superficiale contribuisce al mantenimento di uno stato stazionario nella sua distribuzione. Diversamente se la tensione superficiale di un liquido è soggetta a variazioni, l'entità dell'interazione tra le molecole cambia provocando forze di trazione nelle zone a più alta interazione. Questo produce un trasferimento macroscopico di massa da zone a bassa tensione superficiale a zone ad alta tensione superficiale, chiamato effetto Marangoni.

I fattori coinvolti nel fenomeno sono di vario tipo, in primis la dipendenza dalla temperatura della tensione superficiale dei liquidi. Modelli empirici, come il modello di Eötvös e il modello di Guggenheim-Katayama, evidenziano un andamento decrescente della tensione superficiale al crescere della temperatura^[30]. Di conseguenza, nei liquidi non isotermini, in cui la temperatura non è uniforme su tutta la superficie, si sviluppa un gradiente di tensione superficiale e un conseguente movimento di massa^[31], la cui entità è descritta dal Numero di Marangoni:

$$M_g = \frac{d\gamma}{dT} \frac{\Delta T \lambda}{\eta \alpha}$$

dove $\frac{d\gamma}{dT} \Delta T$ è una stima della variazione nella tensione superficiale a causa della temperatura, η è la viscosità dinamica del fluido, λ è la lunghezza caratteristica del sistema e α è la diffusività termica^[32]. Per quanto riguarda invece i materiali implicati nella tecnica di Inkjet Printing, affinché abbiano le caratteristiche di densità, viscosità e temperatura di ebollizione desiderate, si presentano come miscele di differenti solventi. Sia in caso di eterogeneità che nel caso di perfetta miscibilità tra i componenti, le differenti volatilità tra i diversi solventi e una evaporazione non uniforme lungo la superficie del liquido dà vita al fenomeno descritto.

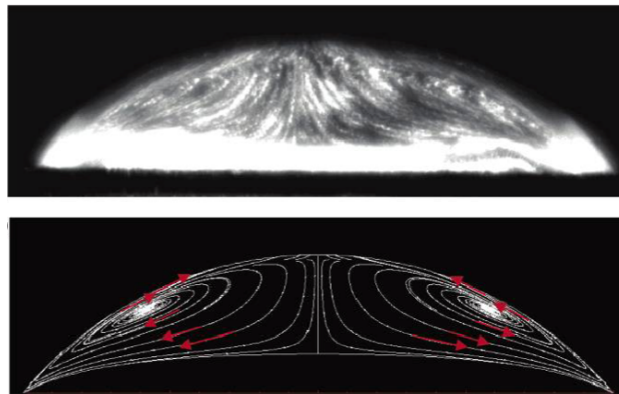


Figura 2.6: Moti vorticali di Marangoni in una goccia di ottano in fase di evaporazione. Sopra: immagine ricavata sperimentalmente. Sotto: immagine ottenuta in via computazionale^[33]

- *Coffee Stain*: la stampa di inchiostri attraverso Inkjet Printing, produce come risultato una serie di gocce su una superficie che, per il bilancio delle forze, tra le quali tensione superficiale del liquido e l'energia superficiale del substrato utilizzato, tendono a porsi in un sistema a simmetria cilindrica. Tuttavia, in fase di evaporazione, il passaggio di

fase da liquido a gassoso non avviene uniformemente su tutta la superficie. In particolare, nei punti circondati da materiale liquido, si verifica un'elevata concentrazione di vapore che tende a saturare localmente l'ambiente ostacolando l'evaporazione proprio in quei punti mentre sui bordi, l'ambiente meno saturo permette una maggiore evaporazione di materiale. L'evoluzione del processo porta ad uno sbilanciamento tra la quantità di liquido che lascia la goccia e le diminuzioni locali di volume. Nel caso di pinning della linea di contatto, per garantire lo stato a minima energia superficiale della goccia, ovvero semisferica, si verificano flussi di materiale dal centro della goccia verso i bordi provocando di conseguenza, a completa essiccazione del solvente, un profilo non uniforme con bordi piccati^[34]. Questo processo, chiamato Coffee Stain poiché si verifica nelle gocce di Caffè, come mostra la figura 2.7, se non controllato porta alla completa inutilizzabilità della struttura realizzata.

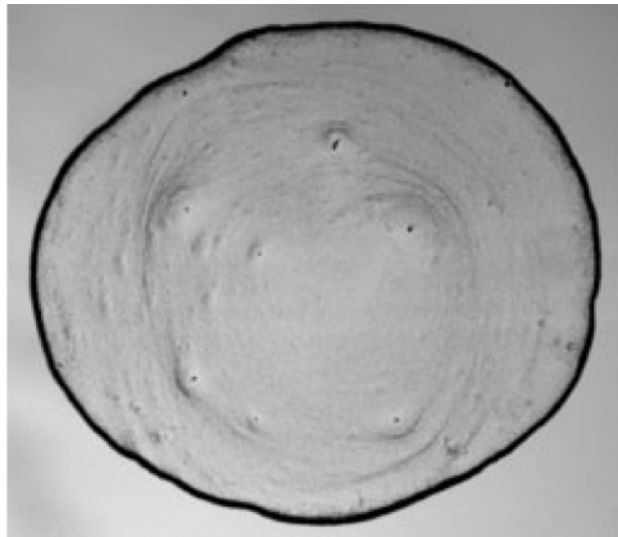


Figura 2.7: Coffee stain: si nota il contrasto tra i bordi e il centro della macchia, indice di un flusso di materiale verso i bordi in fase di evaporazione.

Sistema di stampa: movimentazione e controllo

Nel corso della ricerca è stato utilizzato un sistema *Dimatix DMP 2800* controllato dal software *Dimatix Drop Manager*, entrambe prodotti da *Fuji-*

film.

La stampante è dotata di un piano interno da 400×300 mm in grado di spostarsi nelle due direzioni parallele al piano d'appoggio, munito di micro-fori per il fissaggio del campione mediante vuoto. Il movimento viene prodotto da due slitte, tra loro perpendicolari, azionate da un sistema di micro posizionamento di precisione a tre gradi di libertà (orizzontale, laterale e rotazionale) a motori passo-passo.

L'inchiostro viene depositato dall'alto sui campioni posti sul piano tramite una cartuccia contenente il materiale da depositare. Quest'ultima è movimentata anch'essa tramite un sistema di micro posizionamento indipendente che le permette di muoversi liberamente regolando la propria posizione nelle tre dimensioni.

Per il monitoraggio del processo di stampa e della forma del getto d'inchiostro, sono state integrate due telecamere nel sistema. La prima, detta *Fiducial Camera*, è posizionata sul sistema di movimentazione della cartuccia e fornisce una visione dall'alto del campione. In questo modo è possibile controllare l'immagine stampata, svolgere operazioni di allineamento tra diversi pattern, decidere l'origine di stampa e regolare eventuali offset angolari del dispositivo. La seconda, detta *Drop Watcher*, è invece montata in una zona separata della macchina e fornisce una visuale laterale del getto d'inchiostro. Un LED stroboscopico situato dalla parte opposta del getto, in linea con la telecamera, permette la visualizzazione di singole gocce congelate nell'immagine. L'accoppiamento LED-telecamera è essenziale per il controllo dell'erogazione del fluido.

Il funzionamento complessivo dello strumento è comandato da un computer attraverso il programma *Drop Manager*.

Sistema di dispensamento delle gocce

I dispositivi per la stampa sono cartucce munite di *16 noozle piezoelettrici*, del tutto simili nel funzionamento ai sistemi domestici. Queste possono essere suddivise in base alla quantità di liquido rilasciato nella singola goccia:



Figura 2.8: Fujifilm Dimatix DMP-2800

esistono versioni da *1pl* e *10pl*.

Ogni nozzle è comandato da una forma d'onda che agisce sull'attuatore piezoelettrico, modificandone la forma e il conseguente stato della camera di contenimento del liquido. Il software *DMP Drop Manager* possiede una forma d'onda standard che è stata identificata come quella che meglio si adatta al funzionamento della cartuccia.

La forma d'onda tipica è divisa in quattro segmenti. Ogni segmento possiede tre proprietà: *durata*, *ampiezza* e *slew-rate*.

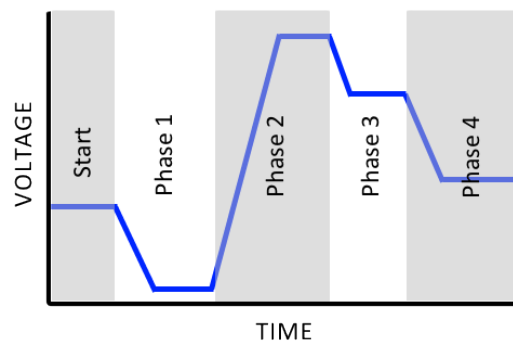


Figura 2.9: Forma d'onda generica

I valori dei livelli 1 e 2 sono quelli che hanno maggiore impatto sul processo di getto. Forte dipendenza sulla formazione della goccia hanno il cambiamento della durata del segmento 1 e lo *slew-rate* e/o la durata del segmento 2. La tensione applicata è direttamente ricollegabile al volume della camera di pompaggio; più veloci sono le variazioni di tensione (*slew rate*) e più velocemente cambierà il volume, così come a grandi cambiamenti di ampiezza corrisponderanno grandi variazioni di volume.

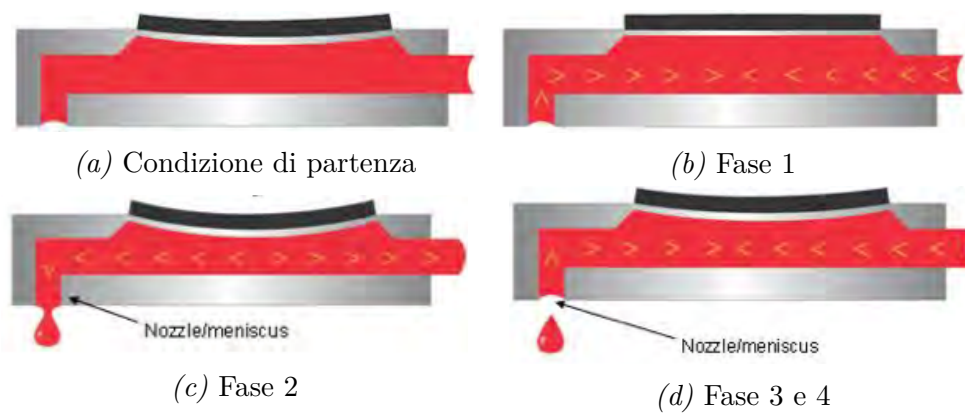


Figura 2.10: Effetto delle fasi della forma d'onda sul volume e sul getto

Inizialmente, durante la fase di stand-by (figura 2.10a) la posizione della testina di stampa piezoelettrica è depressa da una certa polarizzazione che riduce il volume della camera fluidica. All'inizio della sequenza di getto (fase 1) la diminuzione della tensione verso gli zero volt porta il piezo indietro verso la sua naturale posizione, portando la camera al suo massimo volume. In questa fase il fluido è iniettato nella camera tramite l'*inlet* (ingresso del fluido, a destra nelle figure). La fase successiva è quella di espulsione della goccia in cui la camera è compressa ed è generata una pressione per espellere la goccia; in questa fase parte del liquido refluisce nell'*inlet*. Le ultime due fasi (3 e 4) sono di *recovery* in cui la tensione di attuazione è riportata al livello di polarizzazione. La camera è inizialmente decompressa solo in maniera parziale e poi fatta tornare alla pressione della fase di stand-by.

2.2 Fabbricazione dei dispositivi e circuiti

Il processo di fabbricazione dei chip è un processo multi-step che comprende l'utilizzo di diverse tecniche, unendo le tecniche più comuni (es. fotolitografia) alle nuove appositamente ideate (o adattate) per tecnologie basate su semiconduttori organici (es. Ink-jet printing). Questo può essere osservato in modo schematico in figura 2.11.

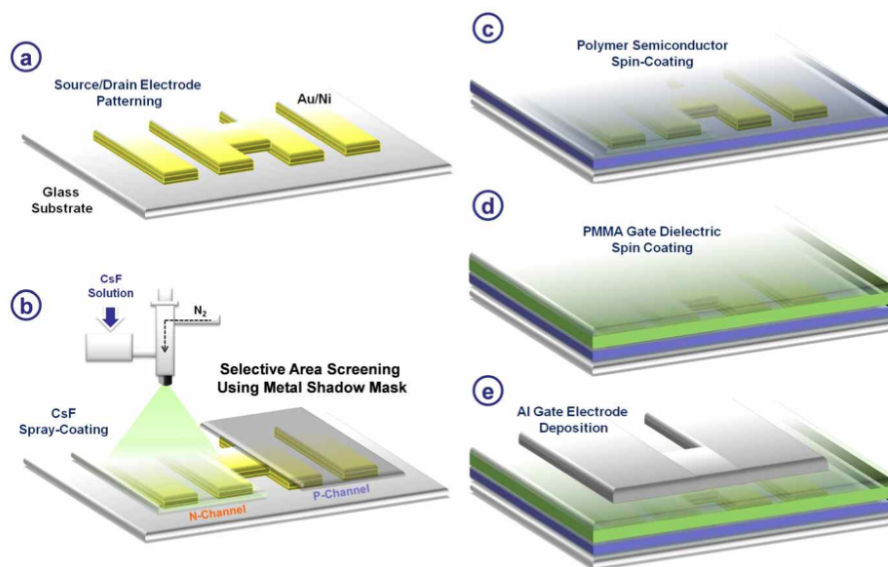


Figura 2.11: Processo multi-step per la costruzione di dispositivi in logica complementare. Il processo sopra riportato è relativo alla costruzione di un *inverter*

2.2.1 Pulizia preliminare del substrato

Il substrato preso in considerazione per i nostri dispositivi è un vetro di grado elettronico *CORNING 1737F*, cioè un vetro estremamente puro e privo di ioni che potrebbero interagire col dispositivo.

La fase di *pulitura del substrato* è cruciale in quanto determinerà le proprietà di adesione ed eliminerà ogni possibilità di contaminazione del resist e la conseguente riuscita del processo di creazione dei contatti. Il processo è diviso in tre fasi:

- *Sonicazione*: si effettuano dei cicli di pulizia da 10 minuti ciascuno ponendo i vetri tagliati in un bagno ad ultrasuoni in tre soluzioni diverse e cioè acqua, acetone e isopropanolo;
- *Rinsing*: il vetro viene pulito in modo grossolano tramite un processo di risciacquo prima con *acetone* e poi con *isopropanolo*. Successivamente si effettua un asciugatura con una pistola a getto di N_2 ad alta pressione;
- *Plasma cleaning*: i substrati sono posti in un *plasma cleaner FEMTO* prodotto dalla *Diener Electronics* in atmosfera di O_2 , in questo modo si effettua un bombardamento della superficie del vetro con composti radicali che rimuovono contaminanti organici e ne modificano la bagnabilità. Il processo dura complessivamente 10 minuti. I parametri a cui fare particolarmente attenzione sono il *flusso* di gas, la *forward power* (potenza erogata dal plasma al substrato) e la *reflected power* (potenza di ritorno); al fine di garantire la buona riuscita del processo è sempre bene controllare e modificare i parametri dello strumento per far sì che si abbia $FP = 100\%$ e $RP = 0\%$.

2.2.2 Deposizione dei contatti

Come anticipato nella sezione 2.1.1, ci si è serviti delle tecniche fotolitografiche al fine di creare un pattern sul substrato per l'evaporazione dei contatti di oro.

Patterning

Per quanto valido, il più semplice processo di patterning immaginabile – posizionamento di un singolo strato di resist, irraggiamento tramite raggi UV, sviluppo e deposizione di oro tramite evaporazione (figura 2.13a) – non è adatto alle nostre esigenze. Il motivo è facilmente comprensibile osservando la figura 2.13b: la presenza di zone appuntite in seguito alla rimozione delle strutture create dal resist (*lift-off*) crea problemi alla deposizione dei film successivi essendo queste strutture molto più alte dei film stessi.

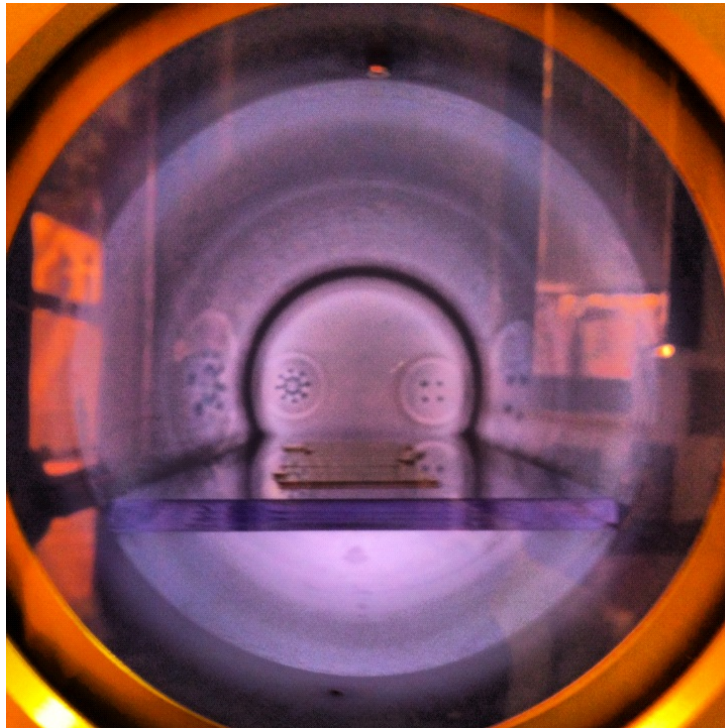


Figura 2.12: Plasma cleaning in funzione

Pertanto si è scelto di sfruttare i *diversi etching rate* del fotoresist negativo *S1813* e il dello strato sacrificale *LoR 5B* per ovviare al problema. L'attacco chimico aggredirà maggiormente il LoR creando una struttura come quella di figura 2.13c. Grazie alla conformazione strutturale dei due resist dopo l'etching, durante il lift-off si creano delle fratture trasversali nell'oro depositato che eliminano le punte creando un contatto con una forma regolare come quella in figura 2.13d. Osservando al microscopio la struttura creata si successivamente all'etching è possibile notare un *undercut*, che denota la buona riuscita del processo.

I due materiali sono depositi tramite *spin-coating* e successiva ricottura, con i seguenti parametri:

- **LoR:**
 - *Velocità: 6000 rpm*

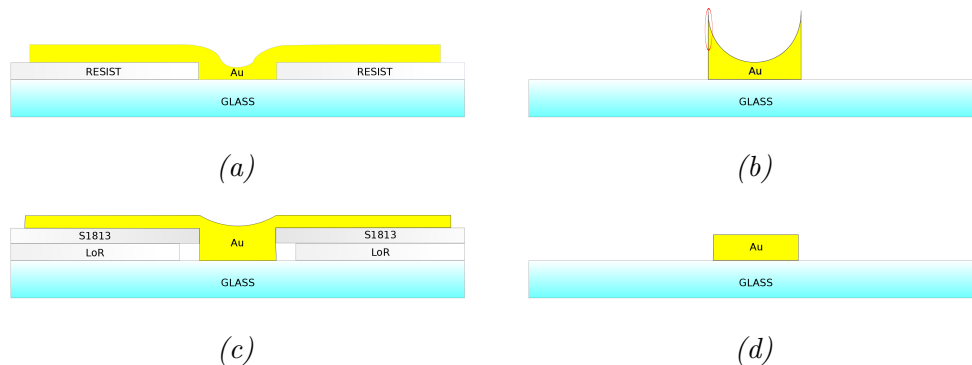


Figura 2.13: Tipologia di processo scelta per la creazione dei contatti: (a) e (b) tecnica standard scartata a causa della presenza di zone appuntite dopo il lift-off; (c) e (d) metodologia scelta che elimina il problema delle punte

- Accelerazione: $6000 \text{ rpm}/s^2$
- Tempo: 1 min
- Annealing: 5 minuti a $180 \text{ }^\circ\text{C}$

- **S1813:**

- Velocità: 6000 rpm
- Accelerazione: $6000 \text{ rpm}/s^2$
- Tempo: 1 min
- Annealing: 2 minuti a $120 \text{ }^\circ\text{C}$

Il processo di esposizione avviene tramite *mask aligner Süss MicroTec MJB3* equipaggiata con una lampada a mercurio da 200W e un sistema ottico ad alta risoluzione. La risoluzione spaziale è di $1,5 \mu\text{m}$ e l'accuratezza di allineamento minima è di $0,2 \mu\text{m}$. Il tempo di irraggiamento utilizzato nel nostro caso è di *12 secondi in contact mode*.

Lo sviluppo dopo l'esposizione avviene tramite immersione in *MF-319* per *30 secondi* e consecutivo risciacquo in acqua e asciugatura con pistola ad azoto.

Evaporazione e lift-off

La deposizione vera e propria dei contatti avviene tramite evaporazione servendosi di un apparato *Braun MB-Evap 200B*. Al fine di assicurare l'a-

derenza dell'oro al substrato, vengono prima evaporati pochi *nm* di *cromo*. Successivamente si evapora l'oro arrivando a spessori di circa 40 *nm*. Durante l'evaporazione è bene tenere sotto controllo i parametri di *pressione della camera di evaporazione*, che deve generalmente rimanere al disotto del valore di $3 * 10^{-6}$ *mbar* e il *flusso di evaporazione del materiale* – controllato tramite un apposito sensore al quarzo collegato ad un controllore *Inficon SQM-160* contenente i parametri del materiale – che non deve superare gli 0,4 Å/s per garantire l'assenza di difetti nel metallo depositato. Quest'ultimo parametro può essere controllato tramite la *potenza erogata alla source*.¹

Una volta finito il processo di evaporazione, bisogna eliminare tutto il resist rimasto sul substrato e le relative parti in oro sopra depositate. Per far questo si pongono i campioni in una soluzione di *1-metil-2-pirolidone* per un trattamento che generalmente dura tutta la notte. Questo dissolve i resist ed elimina la maggior parte dei residui di oro; una pulizia più completa di questi ultimi viene fatta in un *sonicatore ad ultrasuoni* immergendo i substrati in *isopropanolo*.²

2.2.3 Inserimento dell'inter-layer e deposizione dei film organici

Questi due processi sono effettuati nella *Repubblica di Korea* presso la *Hanabat University* con la quale è attiva una collaborazione per lo studio degli effetti dei *charge injection layers* sul trasporto di carica.

¹si indica come *source* il supporto metallico, generalmente di tungsteno, sul quale è posto il metallo da fondere; controllando la potenza $V * I$ erogata a quest'ultima, se ne controlla la sua temperatura rendendo possibile il raggiungimento del punto di fusione del materiale

²Il *sonicatore* è un apparecchio che genera vibrazioni meccaniche amplificate sfruttando corrente elettrica ad elevata frequenza prodotta da un generatore. Gli ultrasuoni vengono trasmessi in una vasca contenente acqua, che può essere anche termostata a varie temperature

Spray-coating del CIL

Lo strato di *electron-enhancement* può essere inserito con diverse tecniche: *spray-coating*, *spray-printing* ed *evaporazione termica*. Tuttavia in questo caso è stato scelto il primo poiché è una tecnica che ben si adatterebbe ad una produzione di circuiti integrati su larga scala. Come si può vedere nella figura 2.11b per depositare il composto solo sulle aree di interesse è necessaria una *shadowing mask* che lasci scoperti solo i dispositivi che diventeranno *n-type*.

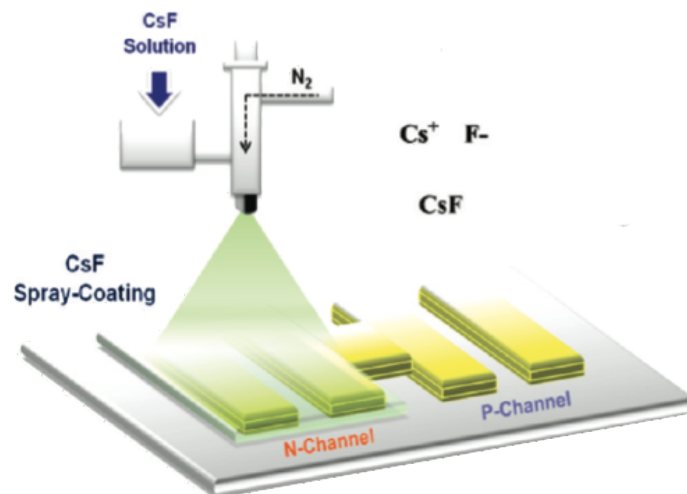


Figura 2.14: Schematizzazione del processo di spray-coating di *CsF*

Deposizione di semiconduttore e dielettrico

La deposizione del semiconduttore *PTVPhI-C12* e del dielettrico *PMMA* avviene tramite *spin-coating* ottenendo spessori di poche decine di *nm* per il semiconduttore e di circa 520 *nm* per il dielettrico. In letteratura è riportato il processo di sintesi del PTVPhI-C12. [35]

Future implementazioni dei dispositivi ci daranno la possibilità di agire a 360° sul processo di fabbricazione, controllandone tutti i passi.

2.2.4 Creazione di *via holes*

Al fine di garantire la contattabilità di tutti i terminali nelle fasi di misura, si è cercato un approccio nella fabbricazione di *via holes* sia che mettessero in comunicazione il *top gate* con i pad in oro per l'applicazione dei segnali di pilotaggio, sia che creassero strutture *ponte* per distribuire l'alimentazione e tutti i segnali condivisi da più device all'interno dei *latch*. Questo accorgimento permette inoltre di ridurre la probabilità di danneggiare i transistor durante le misure; al fine di contattare elettricamente il *gate* del transistor tramite *contact probes* è necessario avere delle vie di contatto multistrato in modo da evitare il contatto fisico con lo strato di alluminio evaporato che, essendo di pochi nanometri, è facilmente danneggiabile pregiudicando il buon funzionamento del dispositivo.

Si è scelto a tal fine di procedere tramite *ink-jet printing* al rilascio localizzato di gocce di un solvente organico che dissolvesse sia semiconduttore che dielettrico: il *toluene* C_7H_8 .

La messa a punto del processo ha portato alla definizione di un pattern di 17x17 drops, ognuna da 10 *pl*, ripetuto per 40 *layer*. Il risultato è mostrato in figura 2.15, dove sono chiaramente riconoscibili i contatti privati dei layer soprastanti.

Ci si è quindi preoccupati di analizzare il bordo della *vias* poiché potrebbe essere uno ostacolo al corretto contatto elettrico e luogo di probabili fratture nell'alluminio che vi sarà sopra depositato per evaporazione termica. Tramite un *profilometro Alpha-step IQ* prodotto da *KLA Tencor* è stato possibile ricavare il profilo della *vias*, come riportato in figura 2.16

Il profilo mostra un rialzamento di 2.3 μm al di sopra dello spessore del double-layer – semiconduttore e dielettrico – per una estensione orizzontale di circa 50 μm . L'effetto di rideposizione è effettivamente molto pronunciato, basti pensare che lo spessore totale dello stack semiconduttore/dielettrico è minore di 1 μm . Tuttavia dato che questo è distribuito per una estensione orizzontale abbastanza grande, non è errato pensare che questo ponga limitazioni alla conduzione elettrica.

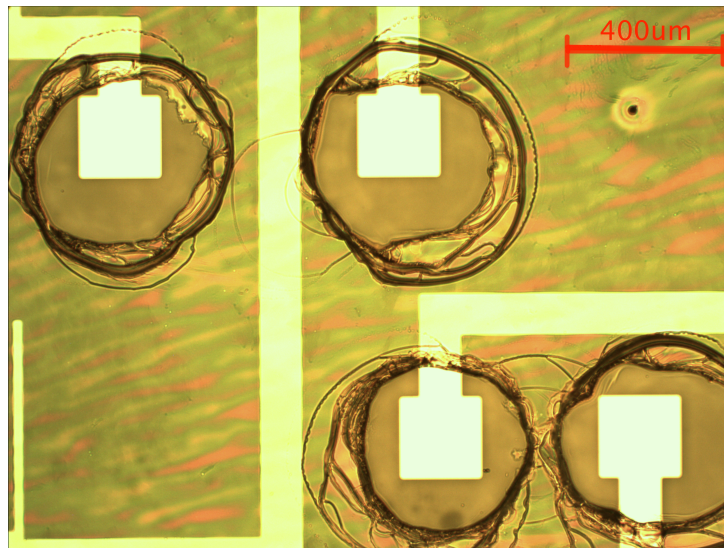


Figura 2.15: Risultato della deposizione di 40 layer di toluene tramite ink-jet printing

Come preannunciato, l'analisi profilometrica aveva evidenziato la presenza di un bordo rialzato per le vias, dovuto alla rideposizione del materiale soluto, che potrebbe porre limitazioni alla buona riuscita del contatto elettrico successivo alla deposizione.

Le misure elettriche effettuate sui contatti relativi ad un *latch* dimostrano come queste preoccupazioni fossero infondate: nel 100% dei casi si è riuscito ad ottenere un buon contatto elettrico.

In base alla tipologia di misura effettuata, è stata questa una suddivisione arbitraria:

- *Misura singola*: caratteristica I-V effettuata fra un pad in oro e una superficie in alluminio, messe in contatto tramite *via*;
- *Misura doppia*: caratteristica I-V effettuata fra due pad in oro messi in contatto tramite due vias con un *ponte* di alluminio.

Come si nota dalle curve di figura 2.17, per la *misura singola* si ricava una resistenza di 23.17Ω mentre per la *misura doppia* una di 35.51Ω .³ Come

³Come valore di resistenza di riferimento si è scelto l'inverso della derivata della caratteristica I-V nell'origine degli assi

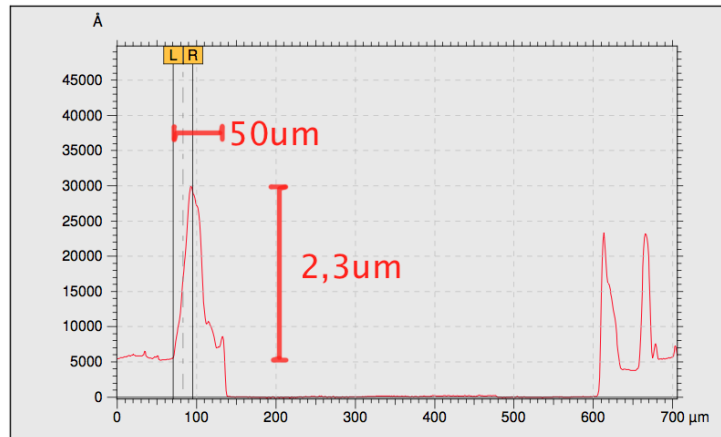


Figura 2.16: Analisi profilometrica della via hole

sarà mostrato in seguito, questa resistenza misurata è completamente dovuta alle piste di contatto.

Per comprendere se questa resistenza fosse dovuta al contatto fra i due materiali o piuttosto alla pista di interconnessione, si è calcolata la *resistenza per quadro* di un tipico pad di oro, come nella configurazione che si può vedere in figura 2.18.

La sua definizione deriva direttamente da quella di resistenza di un blocco di materiale conduttivo di lunghezza L , spessore H e larghezza W :

$$R = \rho \frac{L}{HW} = R_{\square} \frac{L}{W}$$

Dove la resistenza quadro R_q è definita, nel caso in cui lo spessore H sia costante, come:

$$R_{\square} = \frac{\rho}{H}$$

La *resistenza quadro*, o *sheet resistance*, è quindi un parametro che mette

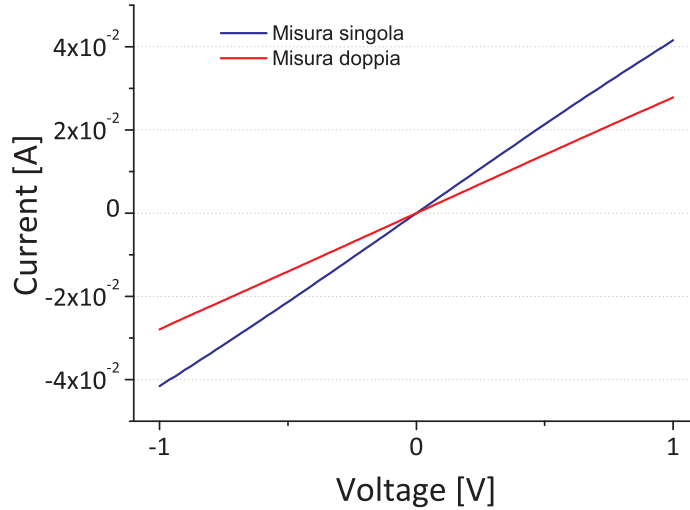


Figura 2.17: Caratteristica I-V del contatto elettrico

in evidenza come la resistenza di una pista di forma quadrata del materiale sia indipendente dal suo lato. Pertanto, per ottenere la resistenza totale di una pista è sufficiente moltiplicare la resistenza per quadro con il rapporto $\frac{L}{W}$.

Effettuando una misura di resistenza sulla struttura di pista in oro di figura 2.18 è effettuando il conteggio del numero totale di quadri (riportati in rosso, per ogni segmento, sulla figura), si ottiene:

$$R_{\square} = \frac{\text{resistenza misurata}}{\# \text{ quadri}} = \frac{31.49 \Omega}{4 + 2.5 + 25 + 6.1 + 4} = 0.758 \frac{\Omega}{\square}$$

Questo valore risulta in accordo con quello teorico ricavato per lo spessore della pista depositata $H = 30 \text{ nm}$. Infatti con una resistività dell'oro a 20°C di $\rho_{Au} = 2.3 \cdot 10^{-8} \Omega \cdot m$ si ottiene:

$$R_{\square} = \frac{\rho_{Au}}{H} = \frac{2.3 \cdot 10^{-8} \Omega \cdot m}{30 \cdot 10^{-9} m} = 0.767 \frac{\Omega}{\square}$$

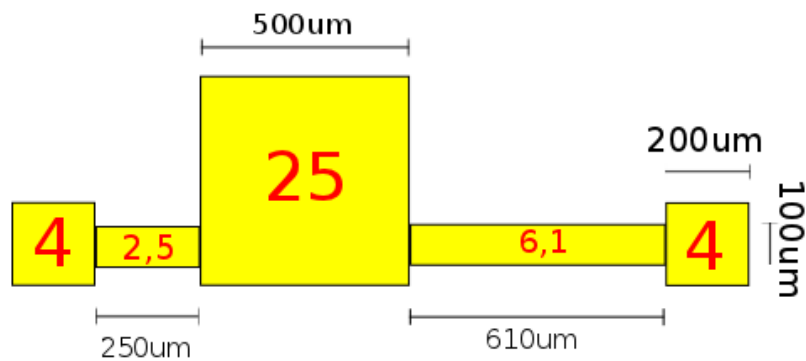


Figura 2.18: Pad analizzato per il calcolo della resistenza per quadro

pertanto è da ritenersi valida l'ipotesi secondo la quale la resistenza misurata non sia dovuta in alcuna parte al contatto oro/alluminio ma sia dovuta solo alle piste di interconnessione.

È quindi da sottolineare come il processo di creazione delle vias fornisca contatti funzionanti, con risultati ripetibili e che non introduce cadute di tensione non volute.

2.2.5 Deposizione dei gate

I gate per il pilotaggio degli OFET sono depositati tramite evaporazione di *alluminio*. Così come visto nella sezione 2.2.2 questo processo avviene in atmosfera di vuoto spinto controllato ($\simeq 1\mu\text{bar}$).

Così come per l'oro, di fondamentale importanza è l'integrità e l'ordine reticolare dei primi strati atomici depositati, pertanto si procederà inizialmente ad una evaporazione a bassi rate (max $0,2 \text{ \AA}/s$) per poi procedere ad un innalzamento del flusso (fino a $3 - 4 \text{ \AA}/s$) una volta raggiunti i $10 - 15 \text{ nm}$. Lo spessore del gate evaporato varia tra i 70 e i 100 nm , in base alla quantità di materia prima posta nella *source* di evaporazione.

2.3 Setup e metodologie di misura

Per caratterizzare in maniera completa i circuiti è necessario disporre di una adeguata strumentazione di misura. Date le dimensioni dei pad di contatto, dell'ordine dei centinaia di μm , si è optato per un sistema di *probing manuale Aspect L1* fabbricato dai *Wentworth Laboratories* unitamente a dei micromanipolatori manuali *PVX400* per il preciso posizionamento delle punte sul chip (figura 2.19). L'intero sistema è posto all'interno di una *glove box Braun MB10* in cui è mantenuta una atmosfera con una sovrappressione di azoto e con controllo dei livelli di ossigeno e H_2O al fine di evitare la contaminazione e il degradamento dei circuiti.

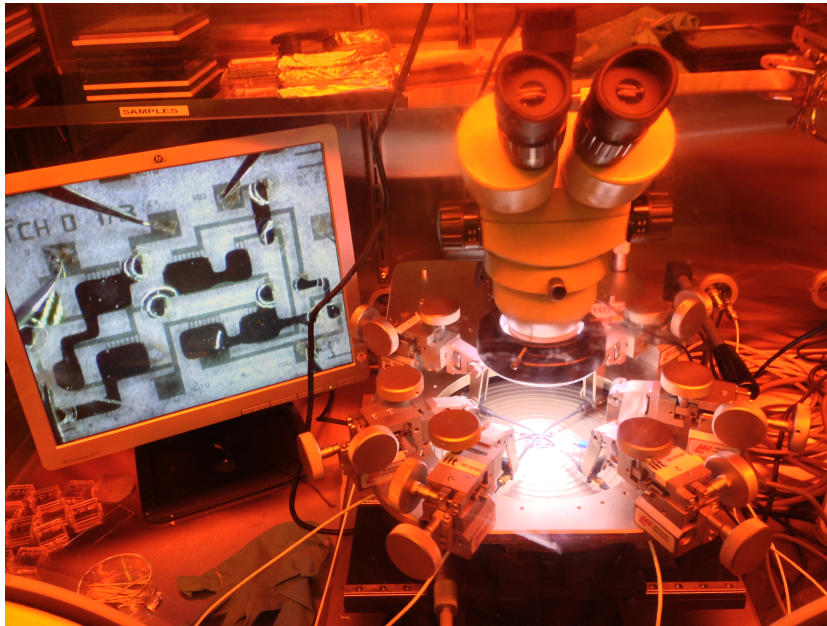


Figura 2.19: Sistema di probing Aspect L1 con microscopio a focale variabile, microcamera USB e manipolatori PVX400

Per le misure statiche sui transistor e come ausilio a quelle dinamiche è stato utilizzato il *Semiconductor Device Analyzer B1500A - SDA* prodotto da *Agilent Technologies* (figura 2.20), che permette l'utilizzo contemporaneo di 4 probe in modalità sia di lettura corrente/tensione che di applicazione di segnali elettrici con fondo scala di $\pm 100 V$. Spazio per la descrizione dei

parametri e impostazioni di misura sullo strumento verrà dato nella sezione 2.3.1.

Per la caratterizzazione dinamica si è utilizzato un oscilloscopio *Tektronix DPO2014* con banda massima di 300 MHz. Tuttavia per le misure effettuate, date le basse frequenze in gioco, si è scelto di limitare la banda dei canali di acquisizione a 20 MHz per diminuire il contributo di rumore sulla misura. Inoltre tale strumento prevede la possibilità di effettuare un gating⁴ dell'acquisizione, migliorando sensibilmente il rapporto fra segnale e rumore e fornendo una misura più accurata.

La resistenza di ingresso di ogni canale è di $1\text{ M}\Omega$. Proprio questa caratteristica crea dei problemi in fase di misura degli inverter e dei latch; l'impedenza di lettura non infinita permette alla corrente dei nodi di drain, che dovrebbe teoricamente scorrere solo fra i due transistor, di fluire nel nodo di uscita e quindi nella probe, falsando la misura. Infatti, dalle misure effettuate si nota come la resistenza vista guardando nel drain di un singolo transistor è dell'ordine dei $\text{M}\Omega$. Per questo motivo è stato necessario l'utilizzo di una *probe ad alta impedenza P5122* di Tektronix compatibile con l'oscilloscopio. Questa ha una impedenza di $100\text{ M}\Omega$, quindi la partizione del segnale fra questa resistenza e quella di ingresso dell'oscilloscopio ($1\text{ M}\Omega$) genererà un'attenuazione di un fattore 100 sull'ampiezza del segnale.

Per questa sonda la capacità parassita massima è di 4.6 pF ; questa simula in buona approssimazione la capacità di ingresso di un inverter. Considerando infatti il transistor di dimensioni minime per questa tecnologia, cioè con $W = 2000\text{ }\mu\text{m}$ e $L = 20\text{ }\mu\text{m}$, e una capacità per unità di area del PMMA di $C'_{ox} = 6\text{ nF/cm}^2$ si ottiene una stima per difetto della capacità di ingresso del singolo transistor, come $C_{GS} = C'_{ox}WL = 2.4\text{ pF}$. Un inverter avrà una capacità di ingresso totale pari al doppio di questa $C_{inv} = 2C_{GS} \simeq 4.8\text{ pF}$.

Al fine di essere certi di non avere limitazioni di misura riguardo i tempi di salita, si è voluto effettivamente confermare il dato di capacità parassita della probe fornito dal datasheet. Pertanto, utilizzando una resistenza di valore noto e fornendo un segnale impulsivo con tempo di salita trascurabile rispetto a quello che ci aspettiamo di vedere (dell'ordine del μs) e misurando-

⁴una media pesata su più campioni



Figura 2.20: Agilent Technologies B1500A Semiconductor Device Analyzer

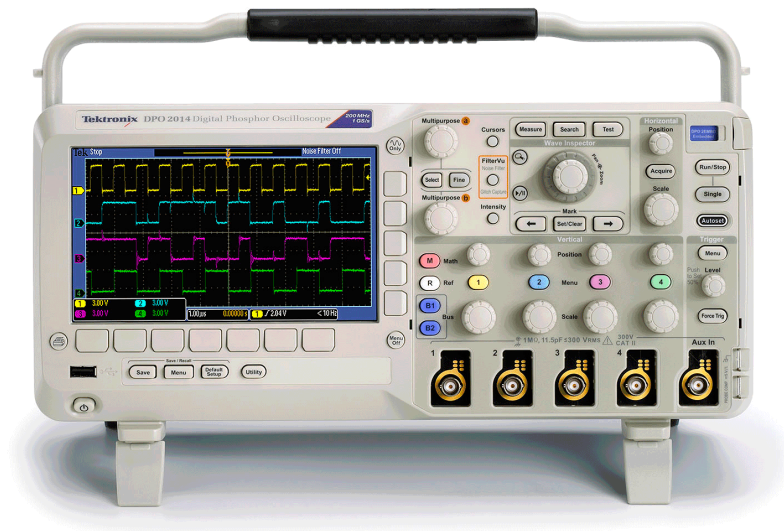


Figura 2.21: Oscilloscopio Tektronix DPO2014

ne il tempo di salita con la probe (che è in questo caso il nostro *Device Under Test - DUT*) siamo capaci di ricavare il parametro di capacità desiderato. Da facili considerazioni si può dire che il polo dominante può essere approssimato a $\tau = C_{STRAY,TOT}R_{KNOWN}$ che in prima approssimazione fornisce un *rise time* di $t_R = \tau \ln(2.2)$. I risultati sperimentali per due resistenze note sono riportati nella tabella:

R_{KNOWN}	$t_{R,IDEAL}$	$t_{R,REAL}$	$t_{R,REAL}/t_{R,IDEAL}$
511,6 k Ω	1,624 μs	4,737 μs	2,92
1,492 k Ω	4,736 ns	13,712 ns	2,89

Pertanto si può dire che la capacità $C_{REAL} \simeq 3 C_{IDEAL}$. In realtà è plausibile che questo risultato sia frutto di accoppiamenti capacitivi con le altre strumentazioni interne al laboratorio.

Al fine di fornire forme d'onda arbitrarie e dai voltaggi elevati, si è reso necessario l'utilizzo di amplificatori di segnale a larga banda che permettesero di erogare i segnali fino ai 70 V richiesti dalle procedure di misura. Sono stati utilizzati 3 amplificatori:

- 2 x Falco System WMA-300 5MHz High Voltage 50X Amplifier
- 1 x FLC Electronics A600 100X Voltage Amplifier

Come generatori di forme d'onda arbitrarie si è utilizzato per i *clock* un *Pulse Function Arbitrary Generator*, modello 81150A che può generare impulsi fino a 120MHz prodotto da *Agilent Technologies*. La possibilità di utilizzare di ogni uscita anche la sua negata (funzione svolta direttamente dallo strumento), ha permesso di ottenere clock in controfase molto precisi. Per la generazione del dato invece è stato utilizzato un generatore *Keithley 3390 50Mhz Arbitrary Wavegenerator*.

2.3.1 Routine di misura per misure statiche

Per misurare le caratteristiche statiche di funzionamento dei transistor tramite il SDA vengono definiti i parametri variabili, quelli da mantenere costanti e quelli di cui acquisire il valore.

Transcaratteristiche

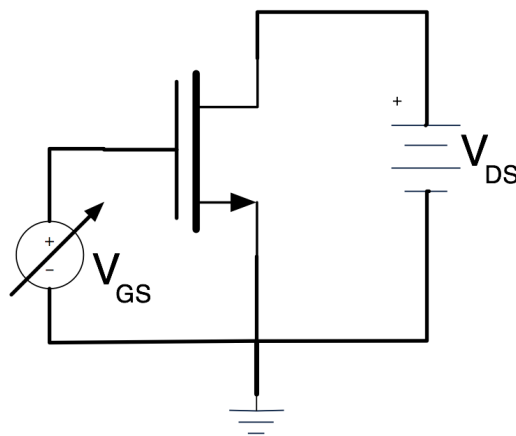


Figura 2.22: Circuito equivalente per la misura delle transcaratteristiche

Le transcaratteristiche esprimono la variazione della corrente in base allo stato di polarizzazione del gate e, quindi, della quantità di carica indotta all'interno del canale. Sono utili per l'estrapolazione dei parametri operativi degli OFET come *tensione di soglia*, *transconduttanza* e *rapporto I_{ON}/I_{OFF}* , ma danno anche informazioni sulla *mobilità del semiconduttore*.

In particolare i parametri utilizzati per la misura sono:

- Transistor nFET
 - $-10\text{ V} < V_G < +60\text{ V}$ con step di $+500\text{ mV}$
 - $V_D = +5\text{ V}$ per la transcaratteristica di funzionamento in zona ohmica
 - $V_D = +60\text{ V}$ per la transcaratteristica di funzionamento in zona di saturazione

- $V_S = 0 V$
- Transistor pFET
 - $-60 V < V_G < +10 V$ con step di $-500 mV$
 - $V_D = -5 V$ per la transcaratteristica di funzionamento in zona ohmica
 - $V_D = -60V$ per la transcaratteristica di funzionamento in zona di saturazione
 - $V_S = 0 V$

mentre i parametri acquisiti sono le correnti di Drain, Gate e Source.

Caratteristiche di uscita

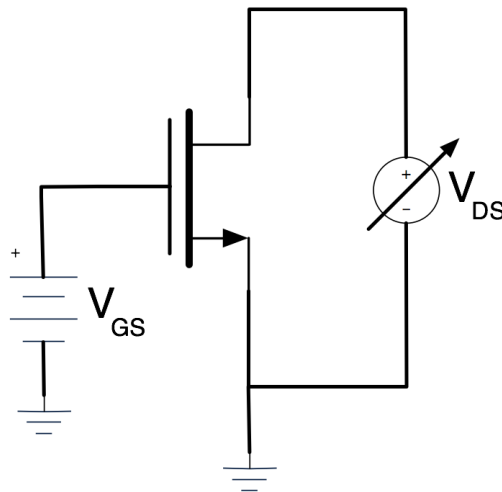


Figura 2.23: Circuito equivalente per la misura delle caratteristiche di uscita dei transistor

Questa tipologia di caratteristica statica mostra come la corrente di canale vari in base alla tensione applicata fra drain e source con una polarizzazione fissa del gate, come mostrato in figura 2.23.

Da queste è possibile stimare gli effetti non lineari come *resistenza di uscita non infinita* dovuta all'effetto di modulazione della lunghezza di canale, ma fornisce anche utili indicazioni riguardo la *resistenza di contatto*^[20].

I parametri di misura sono:

- Transistor nFET
 - $-10\text{ V} < V_D < 60\text{ V}$ con step di $+500\text{ mV}$
 - $V_G = \{0\text{ V}, 10\text{ V}, 20\text{ V}, 30\text{ V}, 40\text{ V}, 50\text{ V}, 60\text{ V}\}$
 - $V_S = 0\text{ V}$

- Transistor pFET
 - $-60\text{ V} < V_D < +10\text{ V}$ con step di -500 mV
 - $V_G = \{-0\text{ V}, -10\text{ V}, -20\text{ V}, -30\text{ V}, -40\text{ V}, -50\text{ V}, -60\text{ V}\}$
 - $V_S = 0\text{ V}$

i parametri acquisiti sono le correnti invece di Drain e Gate.

Inverter VTC

Una prima stima della bontà di una logica complementare è data dalla qualità del funzionamento del suo tassello fondamentale, cioè l'*inverter*. Questa può essere stimata in maniera statica tramite l'acquisizione della *Voltage Transfer Characteristic* - *VTC*.

Per effettuare la misura viene fatta variare la *tensione di gate* mantenendo polarizzato il dispositivo e andando a leggere la tensione sul nodo d'uscita. Graficando V_{OUT} in funzione di V_{IN} si ottiene la *VTC*. Altre utili informazioni possono essere estrapolate leggendo e riportando sempre in funzione di V_{IN} il valore di corrente di polarizzazione e di corrente di gate; è possibile inoltre ricavare facilmente il parametro di guadagno dell'amplificatore, definito come *derivata della VTC*.

Polarizzazione Transmission Gate e D Latch

Al fine di effettuare le misure dinamiche su Transmission gates e Latch si è presentata la necessità di una alimentazione molto precisa e ad alto voltaggio, pertanto è stato utilizzato proprio il SDA per fornire queste tensioni di polarizzazione.

Dimensionamento e layout di porte logiche e circuiti

3.1 Struttura

Al fine di testare il funzionamento di un circuito logico complementare si è scelta una struttura basata su un singolo strato di semiconduttore, ingegnerizzandone l'iniezione dei portatori tramite *CILs*.

Frutto di un approfondito studio da parte di *Yong-Young Noh*¹, la struttura racchiude in se molti anni di ricerca sul tema dei polimeri semiconduttori ambipolari^[35].

Il fine di questa ricerca è duplice: *i)* dimostrare come ingegnerizzando l'iniezione di carica tramite dei CILs si possano ottenere, a partire da un *unico* semiconduttore di tipo *ambipolare*, dei dispositivi *unipolari* atti quindi ad essere utilizzati in una logica di tipo complementare; *ii)* utilizzare tale tecnica per lo sviluppo di circuiti logici organici più complessi (Flip-Flops, Shift Registers, etc.), in prospettiva di applicazioni complete (*es.* elettronica di indirizzamento per schermi a *matrice attiva*).

¹Assistant Professor presso Department of Chemical Engineering, Hanbat National University - Republic of Korea

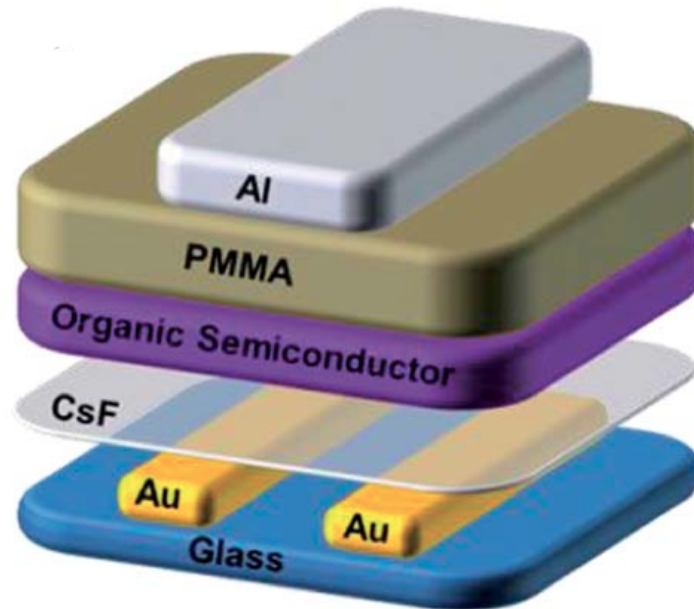


Figura 3.1: Struttura TGBC utilizzata per gli OFETs

La struttura, mostrata in figura 3.1, si basa sulla configurazione *staggered Top Gate Bottom Contacts TGBC* che, come visto in precedenza, è caratterizzata da una migliore iniezione di carica rispetto alle strutture coplanari per la presenza di un *overlap* tra il gate e i contatti di source e drain che permette di avere una regione di iniezione di carica molto più estesa rispetto al canale fisico definito dalla distanza fra i contatti; ciò diminuisce la *resistenza di contatto*^[20].

Scelta dei materiali

Riguardo il *dielettrico* utilizzato, si è scelto il *PMMA* – poly(metil-metacrilato) – essendo uno tra i più studiati in letteratura, con buone proprietà di adesione e facilità di processamento. Adottando tale materiale vi è la possibilità di utilizzare un solvente ortogonale al semiconduttore². È caratterizzato da costante dielettrica relativa $\epsilon_r = 3.6$ che, per uno spessore di circa 500 nm ,

²che permetta di sciogliere il dielettrico senza intaccare la struttura del semiconduttore

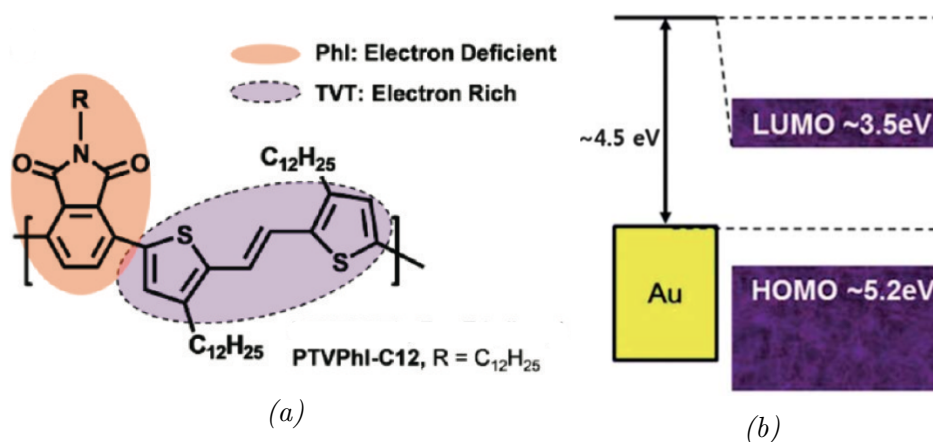


Figura 3.2: (a) Formula di struttura e (b) diagramma a bande al contatto con l'oro del PTVPhI-C12.^[35]

fornisce una capacità per unità di area $C'_{ox} = 6,37 \times 10^{-5} \text{ F/m}^2$.

È bene soffermarsi sulla scelta del *semiconduttore*: è stato scelto il PTVPhI-C12 che è un poly(thienylene-vinylene-co-phthalimide) funzionalizzato all'atomo di azoto del gruppo imidico con una catena dodecilesile, come mostrato in Figura 3.2a. La *funzionalizzazione* ha la caratteristica di migliorare la solubilità della struttura rendendola a tutti gli effetti *solubile in comuni solventi organici*.

Il polimero è stato sviluppato in modo da essere il più possibile ambipolare, sfruttando l'alternanza di gruppi *electron-rich* (thyenylene-vinylene) ed *electron-deficient* (phtalimide). La struttura mostra nella *backbone* del polimero una alternanza di legami singoli e doppi che sono indice di coniugazione π .

Così formato, il polimero possiede un *livello LUMO* pari a $-3,5 \text{ eV}$ e un *livello HOMO* pari a $-5,2 \text{ eV}$ quindi con una *bandgap energy* di $1,7 \text{ eV}$ che è relativamente bassa.

La figura 3.2b mostra il comportamento del semiconduttore al contatto con l'oro. A causa del *push-back effect*, discusso nella Sezione 1.x, la *work-function* dell'oro (pari a -5.1 eV per una superficie d'oro pulita e non accoppiato ad altri materiali) risulta diminuita in valore assoluto di circa 0.6 eV portandosi ad un valore quasi intermedio fra HOMO e LUMO. Tuttavia lo

sbilanciamento verso l'HOMO fornisce al dispositivo un comportamento tendenzialmente di tipo *p-type* con un $|\Delta E_e| \simeq 1 \text{ eV}$ e $|\Delta E_h| \simeq 0.7 \text{ eV}$.

Per lo sviluppo di logica complementare, quindi, si configura la necessità di una funzionalizzazione del contatto al fine di rendere il dispositivo trattato di tipo *n-type* tramite un *electron-injecting/hole-blocking layer*, identificato per questo tipo di applicazione nei *sali di fluoruro di cesio*, *CsF*. Unendo quindi il comportamento *p-type* dei dispositivi non trattati a quello *n-type* di quelli trattati risulta chiaro come sia possibile creare strutture logiche complementari.

I risultati ottenuti in letteratura posso essere schematizzati come in 3.3 comparando le prestazioni di un OFET *non trattato* con CsF (quindi con un comportamento atteso di tipo *p-type*) con quelle di un OFET con layer CsF (quindi *n-type*). Nella letteratura di riferimento^[35], per osservare l'andamento del *p-OFET* in zona di saturazione è stato polarizzato il *gate* nel range $-100 \text{ V} < V_g < 0 \text{ V}$, con il *source* a massa e il *drain* ad una tensione fissa di -80 V . Situazione duale riguardo l'*n-OFET* con $0 \text{ V} < V_g < +100 \text{ V}$, *source* a massa e *drain* a $+80 \text{ V}$.

Come le figure 3.3b e 3.3c mostrano, gli andamenti per i dispositivi trattati (*in blu*) esibiscono un comportamento migliore nel range di polarizzazione positiva del gate, piuttosto che in quello negativo, confermando pertanto ciò che ci si aspettava: i dispositivi muniti di inter-layer hanno effettivamente subito una modulazione della conduzione, privilegiando l'iniezione di elettroni a quella di lacune all'interno del canale.

È stata investigata quale sia la causa di questa variazione nel comportamento del materiale^[36]. L'inserimento del charge injection layer modifica l'energetica di contatto dell'interfaccia; il risultato è quello di un miglioramento del comportamento *n-type* della struttura, come si può notare dal diagramma a bande riportato in figura 3.4.

Le interazioni alle interfacce Au/CsF e CsF/semiconduttore sono state investigate in letteratura tramite tecnica UPS (*ultraviolet photoemission spectroscopy*)^[36]. Come mostra la figura 3.5a la binding energy (*cfr. Appen-*

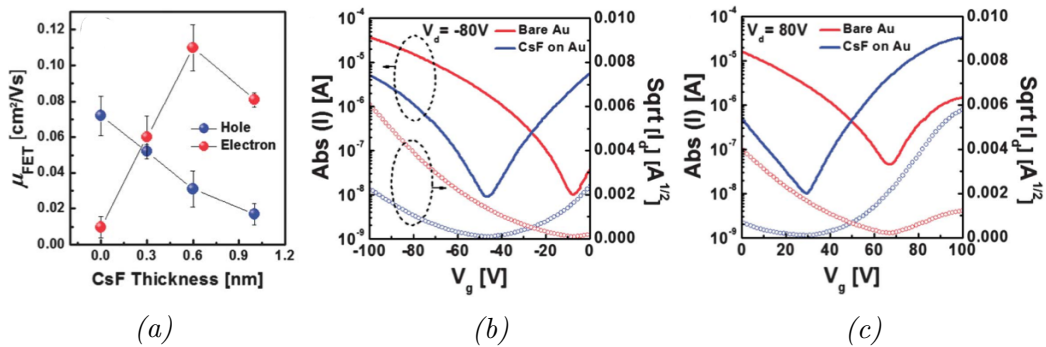


Figura 3.3: (a) Mobilità di elettroni e lacune al variare dello spessore del CsF layer, (b) range $-100\text{ V} < V_g < 0\text{ V}$ e (c) range $0\text{ V} < V_g < +100\text{ V}$.^[35]

dice A) aumenta all'aumentare dello spessore dello strato di CsF e questo risulta in una progressiva diminuzione della work-function dell'oro, con una saturazione a -3.9eV (figura 3.5b).

I motivi del miglioramento delle caratteristiche *n-type* sono duplici: *i*) l'inserimento del CsF all'interfaccia con l'oro determina uno strato di carica, sotto forma di dipoli di superficie, su cui cade il potenziale di contatto con l'effetto di un abbassamento del livello di vuoto in corrispondenza del layer, mostrato in figura 3.4; *ii*) le misure UPS effettuate all'interfaccia CsF/semiconduttore indicano l'aumento della binding energy nel punto di secondary cut-off della curva e pertanto una riduzione del *livello di Fermi*, che si muove verso il livello LUMO, all'aumentare dello spessore del CsF; si tratta, quindi, di un effetto di *doping* del semiconduttore.

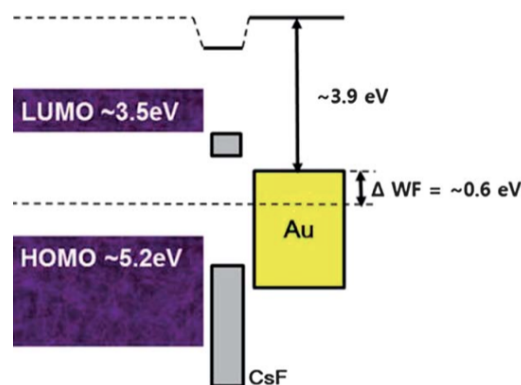


Figura 3.4: Diagramma a bande con CsF layer.^[35]

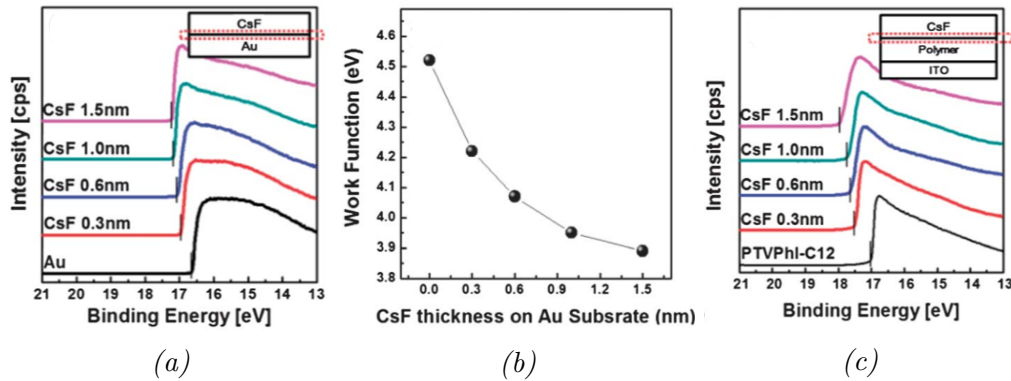


Figura 3.5: (a) Spettro UPS e (b) variazione della work-function dell'oro in base allo spessore dello strato di CsF. (c) Spettro UPS per l'interfaccia CsF/semiconduttore.^[36]

Lo studio sulla mobilità di elettroni e lacune in base allo spessore dell'interlayer (figura 3.3a) mostra chiaramente che all'aumentare di quest'ultimo la mobilità elettronica aumenta mentre quella delle lacune diminuisce. La $\mu_{FET,e}$ si assesta attorno ad un valore di circa $0,8 \text{ cm}^2/Vs$ diventando comparabile con la $\mu_{FET,h}$ in assenza di interlayer; pertanto i dispositivi sembrano bilanciati dal punto di vista delle mobilità.

È stata notata una forte dipendenza delle performance dallo spessore dell'interlayer depositato. Infatti, per quanto lo strato di *fluoruro di cesio* sia noto per essere un forte dopante *n-type* – come tutta la famiglia dei sali di cesio – esso manifesta proprietà isolanti in caso di grandi spessori.

La letteratura^[36] ci dimostra (figura 3.6c) come la *mobilità elettronica* raggiunga un picco per un tempo di deposizione di circa 6 secondi, mostrando poi una diminuzione delle performance per tempi superiori dove prevale il comportamento isolante del materiale. Le restanti curve mostrano come il comportamento di *tipo p* degradi all'aumentare del tempo di deposizione, in modo opposto al comportamento di *tipo n*.

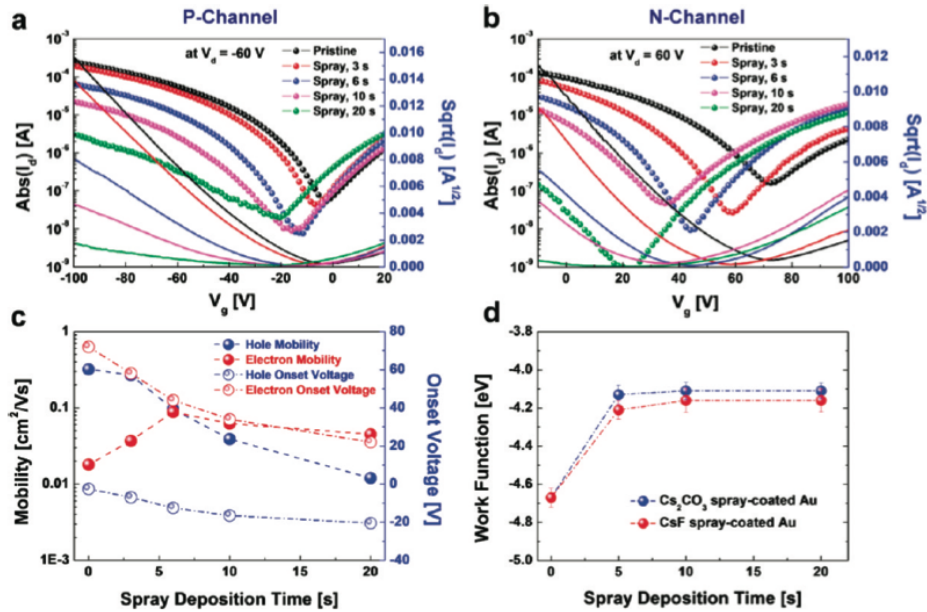


Figura 3.6: Risultati sperimentali di letteratura in dipendenza del tempo di deposizione del CsF .^[36]

3.2 Layout

Come già detto, lo scopo della ricerca è quello di dimostrare la possibilità di creare circuiti logici complementari basandosi sulla funzionalizzazione dei contatti. Pertanto si è deciso di non limitarsi all'implementazione e misura di singoli transistor, ma di andare più a fondo investigando il funzionamento di strutture più complesse sulla base delle caratteristiche dei transistor riportate in letteratura e sopra descritte.

3.2.1 Layout del singolo transistor

La configurazione base del transistor è del tipo *TGBC*, scelta per sia per la maggiore facilità di fabbricazione che per i vantaggi che essa comporta in quanto a resistenza di contatto, come già visto nel Capitolo 1.

Tuttavia come si può notare dalla figura 3.7 è stata scelta una struttura con source e drain *interdigitati* per poter ottenere un grande $\frac{W}{L}$ salvaguardando l'occupazione di area.

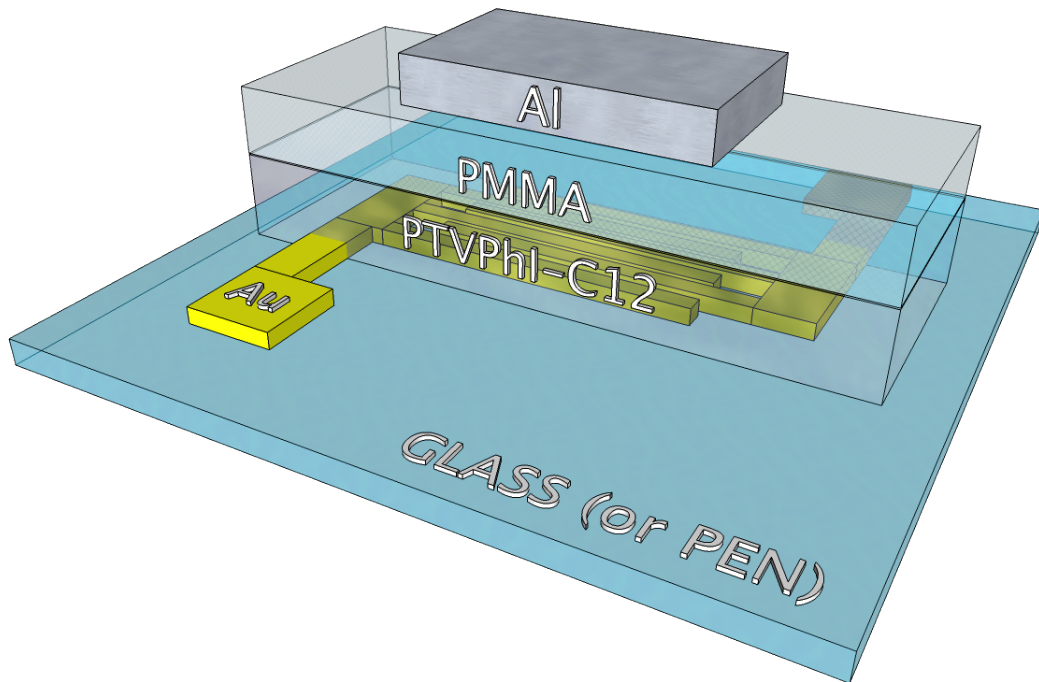


Figura 3.7: Visuale 3D della struttura di transistor implementata. Si possono notare terminali di source e drain con struttura interdigitata.

La scelta della W_{min} è un punto cruciale in quanto c'è la necessità di avere una corrente abbastanza elevata per bilanciare la bassa mobilità dei semiconduttori organici. Pertanto a fronte di una lunghezza di canale $L = 20 \mu m$ è stata scelta una $W_{min} = 2000 \mu m$ in modo tale da ottenere un rapporto $\frac{W}{L}|_{min} = 100$. Tutti i transistor pFET fabbricati hanno rapporto di forma pari a 100 mentre per gli nFET, nelle configurazioni circuitali in cui $\frac{W_n}{W_p} = 3$, si raggiunge anche un rapporto $\frac{W}{L} = 300$.

Particolare attenzione è stata data anche alla dimensione dei *pad* per il contatto dei terminali di source e drain, facendoli di dimensioni $500 \mu m \times 500 \mu m$ in modo da consentire un facile contatto con le probe di misura.

Il gate è stato progettato concordemente con i margini di allineamento delle *shadow masks* per l'evaporazione del gate che hanno feature minima pari a $100 \mu m$. Questo avviene per via manuale tramite ausilio di magneti che permettano sia di tenere fissato il dispositivo alla maschera di evaporazione, che di effettuare micro spostamenti del dispositivo al fine di porlo nella giusta posizione.

Ogni layer del progetto – gate, contatti o interlayers – è dotato di *shadow masks*, cioè maschere metalliche di *acciaio inossidabile 302 HR* commissionate e prodotte nel Regno Unito da *Photofab*. Queste hanno la funzione di rendere selettivi i processi su specifiche aree. Ad esempio, per depositare lo strato di iniezione/blocco di carica è necessaria una shadow mask che durante il processo (spray coating) mantenga scoperte solo le zone dei contatti di source e drain dei transistor nFET.

Per comprendere se questa tecnologia per produzione di logica complementare sia affidabile, bisogna dimostrare che i tasselli fondamentali della logica scelta siano funzionanti tanto quanto ripetibili. Grazie al lavoro di *Alessandro Ranieri*, sono stati progettati diversi chip che contengono varie combinazioni di strutture circuitali base per dimostrare il funzionamento di circuiti logici complementari.

Le topologie che andremo ad analizzare sono l'*inverter* (fig. 3.9), il *transmission gate* (fig. 3.10), il Latch di tipo D (fig. 3.11) e infine il Flip Flop di tipo D (fig. 3.12). Al fine di rendere più agevole la lettura dei layout, è proposta la legenda dei layer di costruzione.



Figura 3.8: Legenda per l'interpretazione dei layer di costruzione.

3.2.2 Inverter

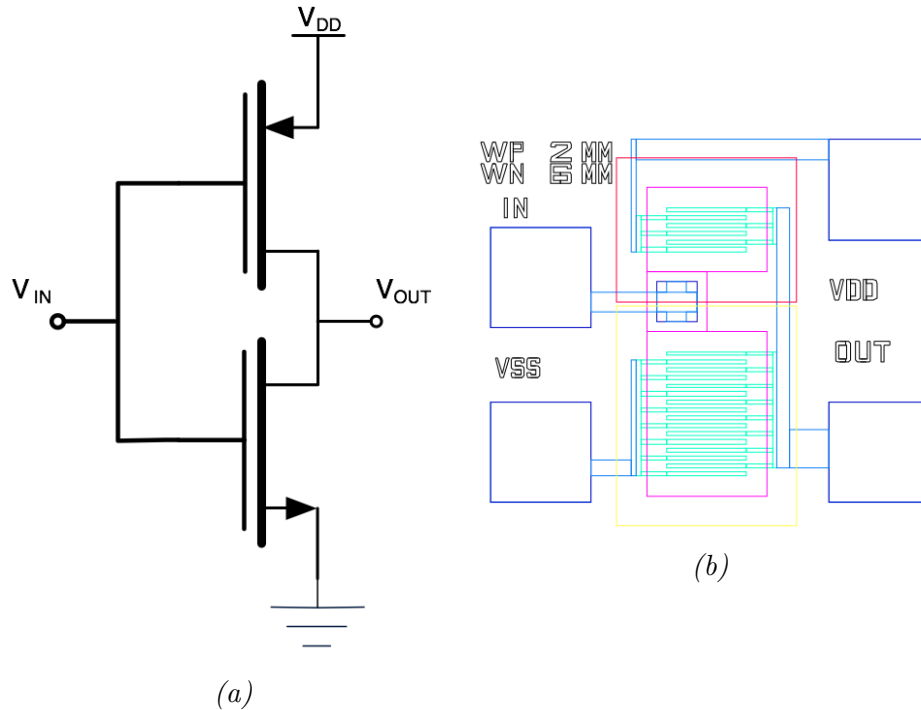


Figura 3.9: Schematico (a) e layout (b) di un inverter con $\frac{W_n}{W_p} = 3$

L'inverter, o *invertitore logico*, è una delle porte logiche fondamentali e trova la sua migliore realizzazione tramite una logica di tipo complementare. La sua funzione logica è semplice: l'uscita è pari al valore logico invertito dell'ingresso.

Di questa porta sono state implementate tre diverse versioni con $\frac{W_n}{W_p} = 1$, $\frac{W_n}{W_p} = 2$ e $\frac{W_n}{W_p} = 3$ al fine di capire quale fosse il dimensionamento che meglio riuscisse a bilanciare il dispositivo; inoltre tramite questo accorgimento si cerca di avere resistenze R_{ON} identiche e quindi di ottenere lo stesso valore di *rise-time* e *fall-time*. Infatti, a causa delle differenze di processo e alla maggiore area totale del chip rispetto al singolo transistor, non si può essere sicuri di raggiungere il risultato di letteratura in cui $\mu_e = \mu_h$ aspettandoci pertanto uno sbilanciamento fra le due parti.

Nel caso in cui il risultato di letteratura fosse confermato anche dalle misure sul circuito integrato, ci aspetteremmo di vedere una *VTC (Voltage Transfer Characteristic)* dell'inverter perfettamente bilanciata - con *soglia logica* pari a $V_{LT} = \frac{V_{DD}}{2}$ relativamente al dispositivo con $\frac{W_n}{W_p} = 1$ - e tempi di salita e di discesa uguali.³

3.2.3 Transmission gate

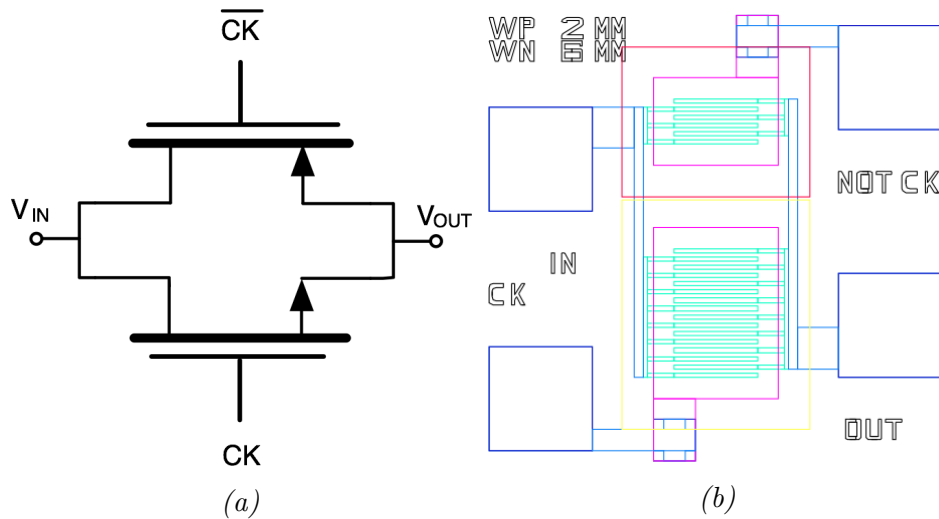


Figura 3.10: Schematico (a) e layout (b) di un transmission gate con $\frac{W_n}{W_p} = 3$

Come si può notare dalla figura, la struttura è quella di due transistor, un pFET e un nFET, con source e drain in comune. Viene utilizzato come *switch on/off* per segnali. La presenza di transistor di entrambe le specie è da giustificarsi con la migliore conduzione degli *0 logici* da parte degli nFET e degli *1 logici* da parte dei pFET; si evitano così perdite di livello che comporterebbero problemi in una tecnologia con bassi margini di rumore.

³La soglia logica di un inverter è definita come la tensione di ingresso per cui avviene una commutazione logica dell'uscita

3.2.4 Latch D

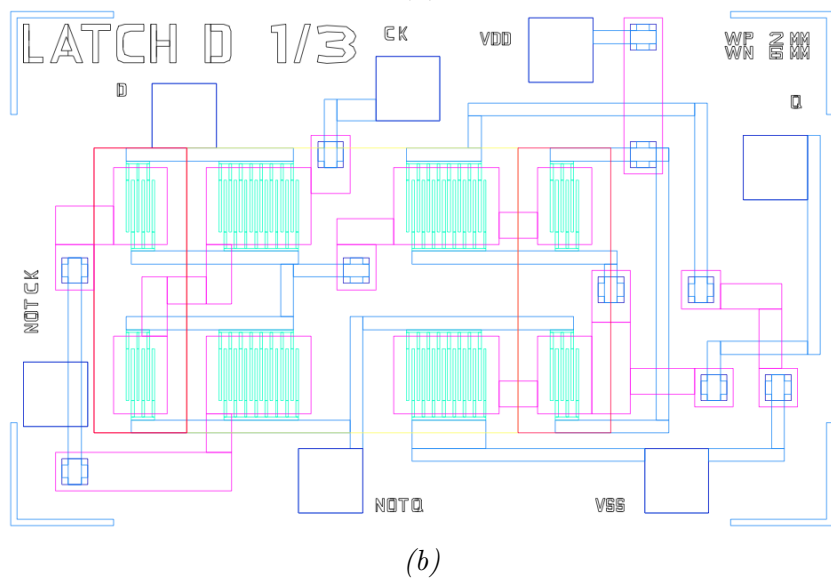
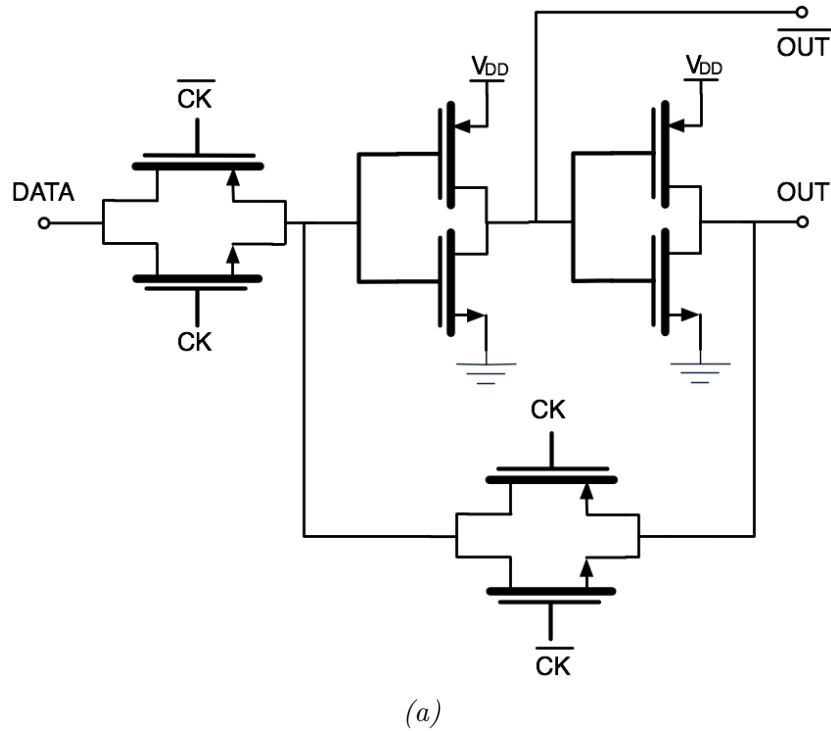


Figura 3.11: Schematico (a) e layout (b) di un Latch D con $\frac{W_n}{W_p} = 3$

L'ottimizzazione delle caratteristiche di *inverter* e *transmission gate* ci permette di rendere più affidabili quelle topologie circuitali che sono derivate dall'unione di questi due blocchi fondamentali, ossia Latch e Flip Flop. La struttura Latch implementata è quella di un *D-Latch quasi statico*. Quando il clock che comanda i transmission gates è alto, l'uscita risulta trasparente al dato in ingresso e commuta assieme ad essa. Diversamente, quando il clock è basso, l'uscita rimane al valore che aveva il dato nel momento della commutazione. Si comporta, quindi, come un blocco di memoria comandato da un clock.

3.2.5 Flip-flop D

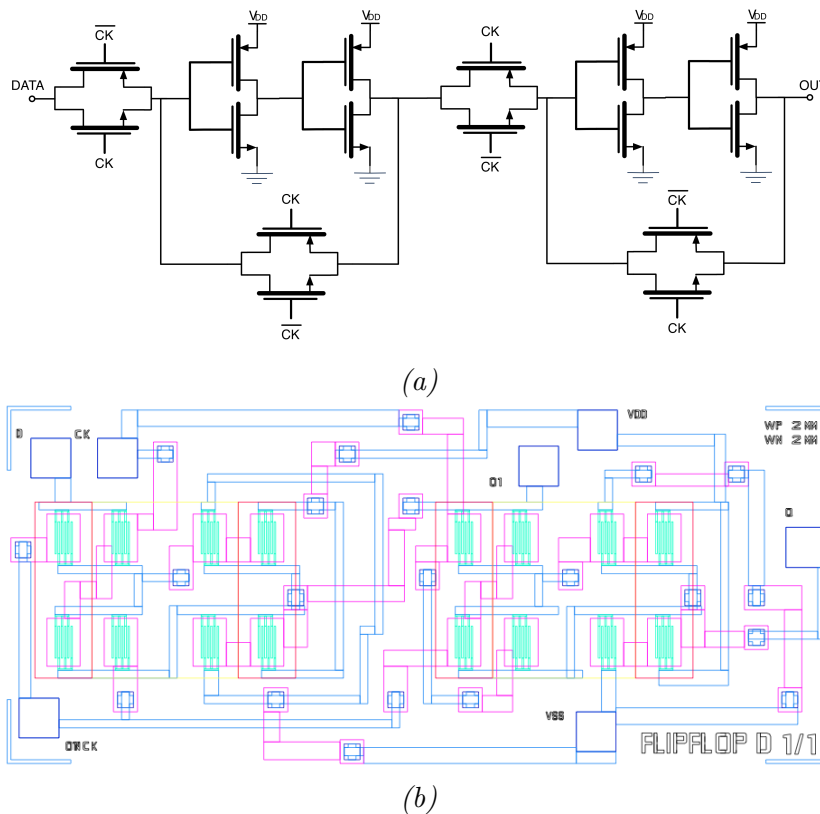


Figura 3.12: Schematico (a) e layout (b) di un Flip Flop D con $\frac{W_n}{W_p} = 1$

Il Flip Flop D può essere visto come l'unione di due D Latch i cui clock che comandano i transmission gates sono in controfase. Pertanto l'uscita del dispositivo non sarà sensibile alle variazioni del dato durante tutto il periodo in cui il clock è alto, ma registrerà solo quelle durante il fronte di salita (o discesa) del clock. Si dice che il dispositivo è *edge triggered*.

3.3 Tipologie di chip implementati

Come accennato, per permettere lo studio di quale sia la configurazione pratica che maggiormente permetta il bilanciamento di transistor $nFET$ e $pFET$ sono state implementate diverse versioni dei chip.

3.3.1 Chip L3

Questo circuito integrato, mostrato in figura 3.13a, è il fulcro del lavoro descritto in questo elaborato e sul quale si sono concentrate tutte le operazioni di misura. Su questo sono state integrati:

- 10 D Latch
- 6 Inverter
- 6 Transmission gates

Il rapporto $\frac{W_n}{W_p}$ è pari a 3 per tutti i componenti.

3.3.2 Chip L12

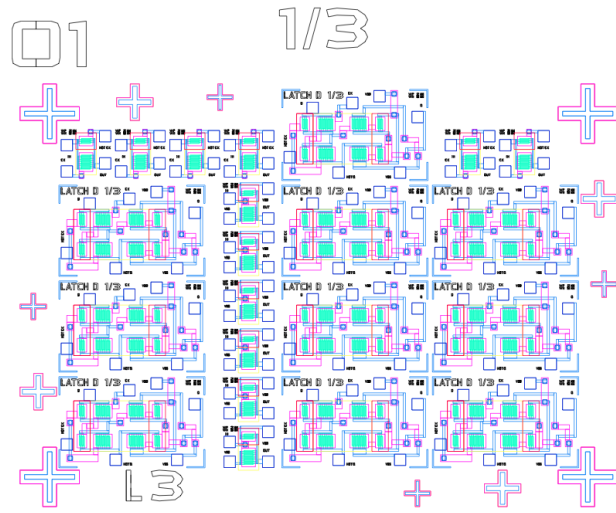
Come si può vedere in figura 3.13b, per questo dispositivo sono stati inseriti dispositivi con diversi $\frac{W_n}{W_p}$, pari sia ad 1 che a 2.

Dispositivi con $\frac{W_n}{W_p} = 1$

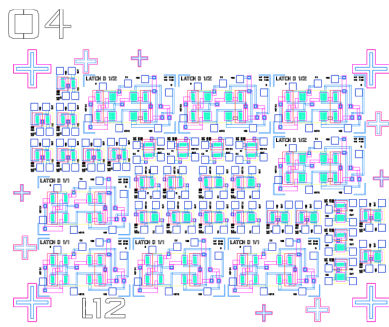
- 4 D Latch
- 7 Inverter
- 6 Transmission gates

Dispositivi con $\frac{W_n}{W_p} = 2$

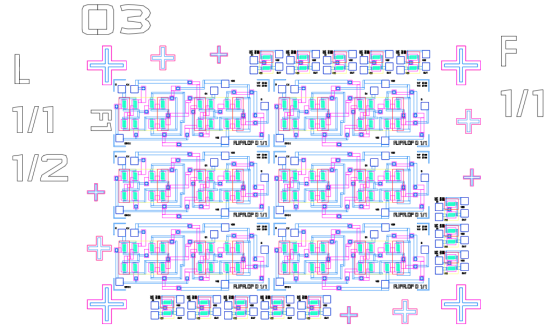
- 4 D Latch
- 7 Inverter
- 6 Transmission gates



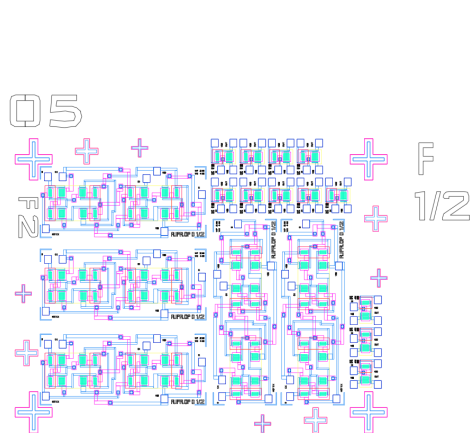
(a) Chip L3



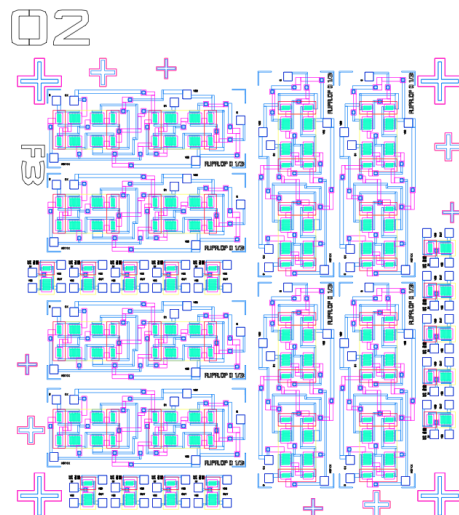
(b) Chip L12



(c) Chip F1



(d) Chip F2



(e) Chip F3

Figura 3.13: Tipologie di chip implementate per lo studio della logica

3.3.3 Chip F1

A differenza dei chip descritti precedentemente questo (figura 3.13c) contiene tra le topologie circuitali anche i *D Flip Flop*. Tutti i dispositivi hanno $\frac{W_n}{W_p} = 1$:

- 6 D Flip Flop
- 13 Inverter

3.3.4 Chip F2

Anche questo (figura 3.13d), come il chip F1, contiene Flip Flops, tutti con $\frac{W_n}{W_p} = 2$.

- 5 D Flip Flop
- 12 Inverter

3.3.5 Chip F3

È il chip che si estende maggiormente in dimensioni (figura 3.13e) e contiene:

- 9 D Flip Flop
- 13 Inverter

Caratterizzazione dei singoli transistor

Il primo step del lavoro di caratterizzazione dei chip è stata l'analisi del funzionamento dei transistor e l'estrapolazione di informazioni relative al semiconduttore. I transistor presi in considerazione nella seguente analisi hanno $\frac{W}{L}\Big|_n = 300$ e $\frac{W}{L}\Big|_p = 100$, essendo stato utilizzato il *Chip L3* (sezione 3.3.1) caratterizzato da $\frac{W_n}{W_p} = 3$.

Nella seguente descrizione ci riferiremo alle caratteristiche di un unico transistor, generalizzando i risultati ottenuti per tutti quelli del chip, essendo stata notata una certa omogeneità dei dati acquisiti con una varianza minima. Su circa 30 dispositivi misurati, si è osservata una varianza di $\pm 0.1 \frac{cm^2}{Vs}$ riguardo le mobilità e di ± 2 punti sui valori di guadagno degli inverter.

4.1 Chip #1

Come già accennato il processo di fabbricazione è avvenuto in collaborazione con la *Hanabat University* della *Repubblica di Korea*, dove sono stati effettuati i processi di spin coating di semiconduttore e dielettrico e lo spray coating dell'interlayer di iniezione di carica sui contatti dei dispositivi che dovranno diventare *n-type*. I dispositivi, dopo essere stati ricevuti, hanno subito lo step di evaporazione del gate (e a volte quello di creazione delle vias) dopo cui è stato possibile passare alla caratterizzazione.

I livelli di mobilità del semiconduttore riportati in letteratura per questa combinazione di materiali sono di $0.07 \text{ cm}^2/\text{Vs}$ per le lacune (in assenza di interlayer CsF) e di $0.12 \text{ cm}^2/\text{Vs}$ per gli elettroni (con interlayer CsF - valore massimo in regione di saturazione).

Sin dalle prime fasi, tuttavia, i dispositivi trattati con interlayer di *sali di cesio* hanno mostrato di essere degradati nelle prestazioni ed essere ben al di sotto dei livelli di corrente e mobilità attesi; mostrano infatti una mobilità $\mu_{n,MAX} \simeq 10^{-3} \frac{\text{cm}^2}{\text{Vs}}$ (figura 4.1b). In regime di saturazione la corrente corrispondente ad una tensione di gate $V_G = 60 \text{ V}$ è di $0.35 \cdot 10^{-6} \text{ A}$.

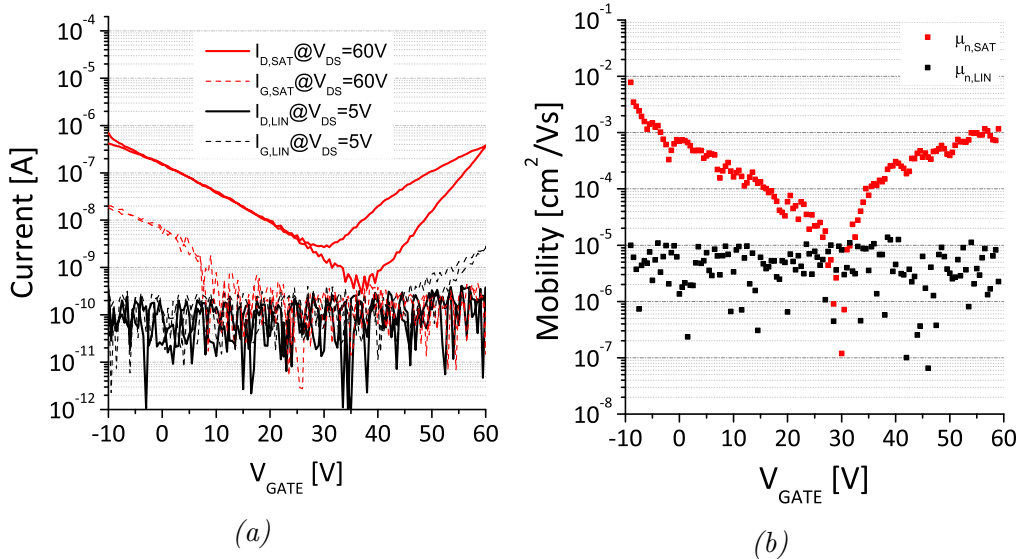


Figura 4.1: Curve di corrente (a) e mobilità (b) per i transistor nFET trattati con sali di cesio, al loro arrivo

Diversamente avviene per la mobilità delle lacune che risulta da subito essere conforme ai valori attesi (figura 4.2b). La corrente per $V_G = -60$ V in regime di saturazione è in questo caso di $10 \cdot 10^{-6}$ A.

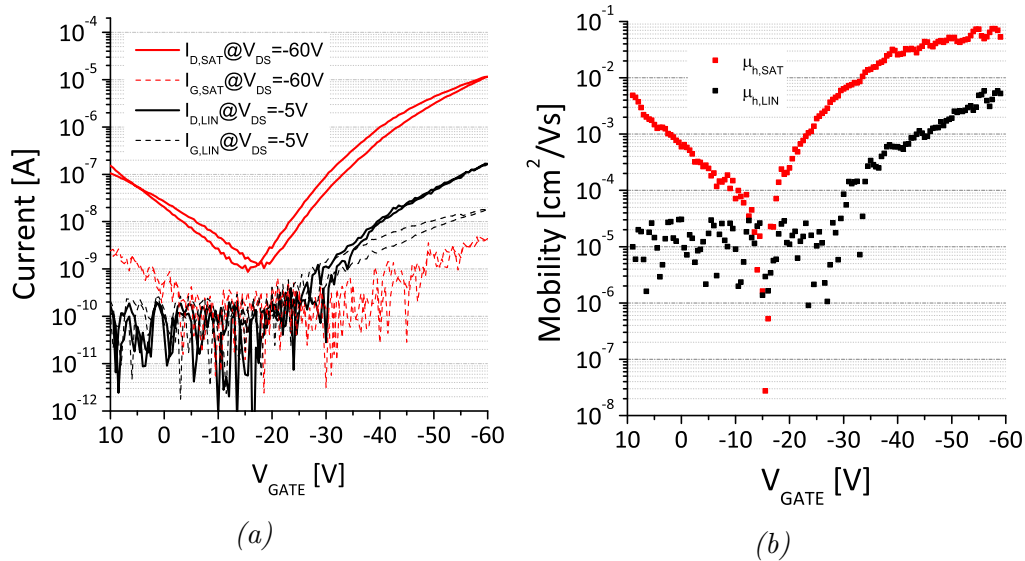


Figura 4.2: Curve di corrente (a) e mobilità (b) per i transistor pFET, al loro arrivo

La degradazione delle caratteristiche può essere spiegata con l'igroscopicità del fluoruro di cesio data la sua proprietà di essere una molecola estremamente polare. Infatti, per quanto siano stati utilizzati metodi di sigillazione dei componenti, la minima quantità di umidità presente è stata intrappolata e trattenuta dai sali.

Ipotizzandosi un fenomeno di intrappolamento di umidità, si è cercato di recuperare le caratteristiche tramite un opportuno annealing. Un trattamento termico infatti permetterebbe alle molecole di H_2O intrappolate di essere liberate, consentendo al polimero di ritornare alla sua naturale conformazione e ai valori iniziali di mobilità elettronica.

4.1.1 Trattamenti termici

Essendo il processo totalmente nuovo e mai sperimentato, non essendoci alcuna indicazione in letteratura, si è scelto di cominciare con trattamenti

termici da un'ora ad 80°C per osservare l'evoluzione delle caratteristiche del dispositivo.

Trattamenti a 80 °C

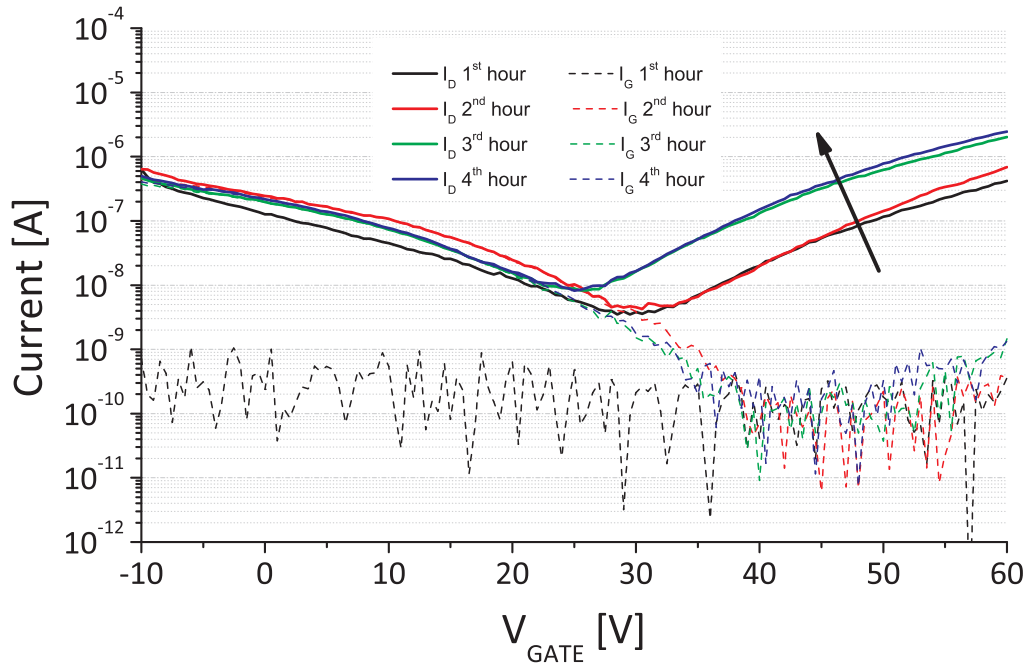


Figura 4.3: Grafico di comparazione comparazione delle correnti durante i quattro trattamenti a 80°C da un'ora

Sono stati effettuati quattro trattamenti termici consecutivi della durata di un'ora ognuno alla temperatura di 80°C; alla fine di ogni trattamento i dispositivi sono stati caratterizzati. Le transcaratteristiche sono riportate in figura 4.3 dove si possono notare gli effetti dei trattamenti.

È possibile riassumere in una tabella i valori dei parametri registrati:

Trattamento	$I_{DS} @ V_{GS} = +60 V$ [$10^{-6} A$]	$\mu_{n,MAX}$ [cm^2/Vs]	V_T [V]
1	0.3	$1 \cdot 10^{-3}$	40
2	0.7	$6 \cdot 10^{-3}$	42
3	1.3	$8 \cdot 10^{-3}$	39
4	2	$8 \cdot 10^{-3}$	38

Si nota un effettivo aumento delle correnti per il transistor nFET e lo stesso dicasi per le mobilità. La tensione di soglia (definita nel paragrafo 1.2.2) risulta diminuita seppur in maniera non marcata.

Per ciò che riguarda i livelli di gate leakage in regime di saturazione, questi risultano dominanti per basse tensioni di pilotaggio del gate ($V_G < 25 V$), per le quali risulta $|I_D| = |I_{GD}|$. Questo significa che quando l'nFET è spento e in saturazione dovremmo vedere, per valori di V_G sempre meno positive, solo l'accensione del pFET parassita (*cf.* misure figura 3.3), in realtà a dominare è la I_{GD} . Questo perchè con V_G sempre meno positive aumenta la V_{GD} quindi si accumulano lacune in all'interfaccia drain/dielettrico. La situazione può essere schematizzata come in figura 4.4. Per polarizzazioni di gate maggiori della soglia ($V_G > V_{T,n}$), il transistor entra in conduzione e risulta $I_{DS} > I_{GD}$ per cui $I_D \simeq I_{DS}$.

Tuttavia livelli così alti di corrente di leakage non possono essere giustificati solo come generazione dovuta alla polarizzazione data l'elevata resistenza tra drain e gate – dell'ordine delle centinaia di $M\Omega$ – ma sono da accreditarsi alla ambipolarità del semiconduttore e al comportamento dello stesso transistor da *pFET* che per basse polarizzazioni positive è in fase di spegnimento.

È importante sottolineare come l'elevato leakage possa essere causato dalla non perfetta funzione dielettrica del PMMA, dalla possibile diffusione all'interno della struttura del transistor di ioni del sale, dovuta con tutta probabilità ai trattamenti termici effettuati, trasportati dagli elevati e ripetuti campi elettrici applicati durante le fasi di caratterizzazione. Infatti tra la prima e la seconda ora di trattamento si è notato un netto incremento dei valori di leakage, come mostrato in figura 4.5b.

Annealing 12 ore a 90 °C

Non essendo stato raggiunto il valore target di mobilità si è deciso di procedere ad un trattamento più lungo, che durasse tutta la notte (12 ore), a 90°C. I risultati sono mostrati in figura 4.6 dove si nota un incremento sia

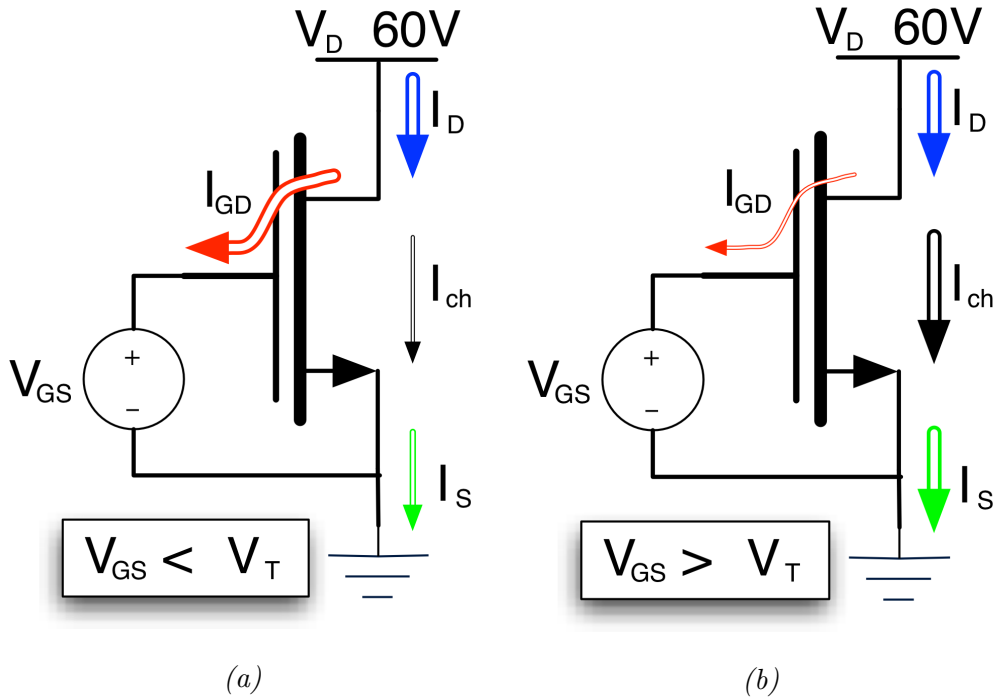


Figura 4.4: Schematizzazione dell'andamento della corrente di gate.

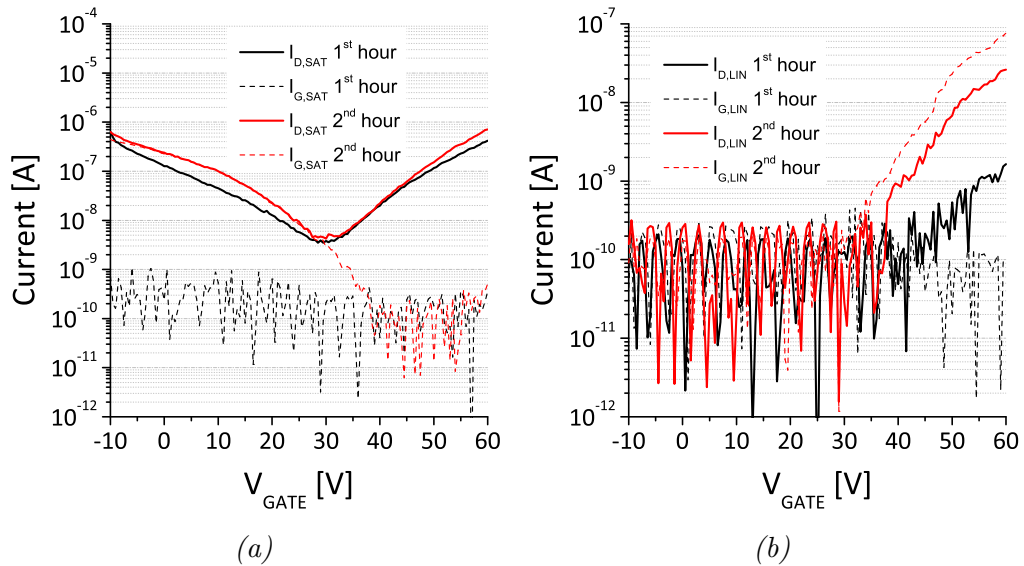


Figura 4.5: Grafico di comparazione delle correnti di drain e gate sia in zona di saturazione (a) che in zona lineare (b) tra le prime due ore di trattamento.

della corrente massima di saturazione, che arriva a un valore di $1.1 \cdot 10^{-6} A$, sia di mobilità che raggiunge gli $0.06 \text{ cm}^2/Vs$. La tensione di soglia risulta mediamente di $38.5 V$.

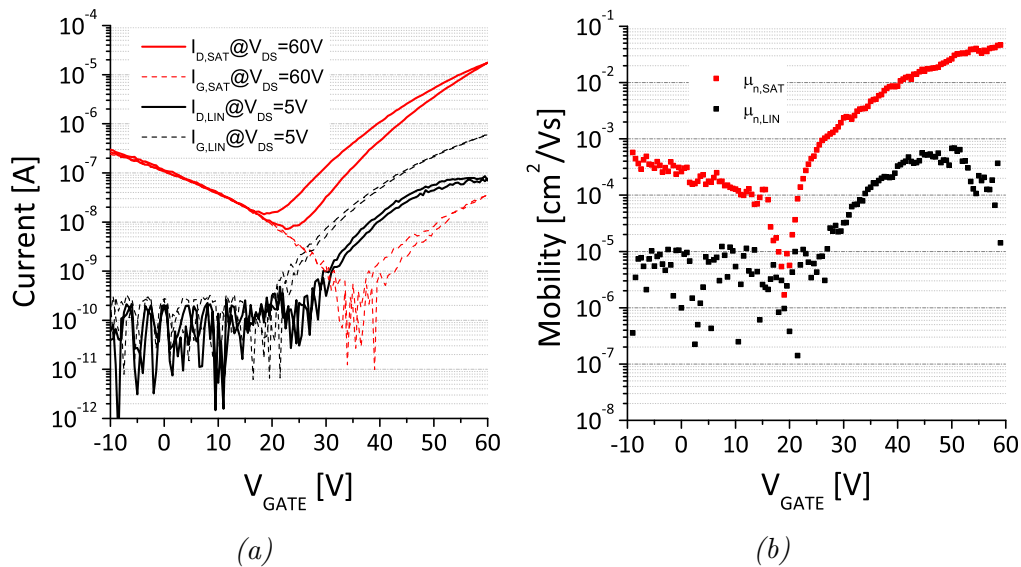
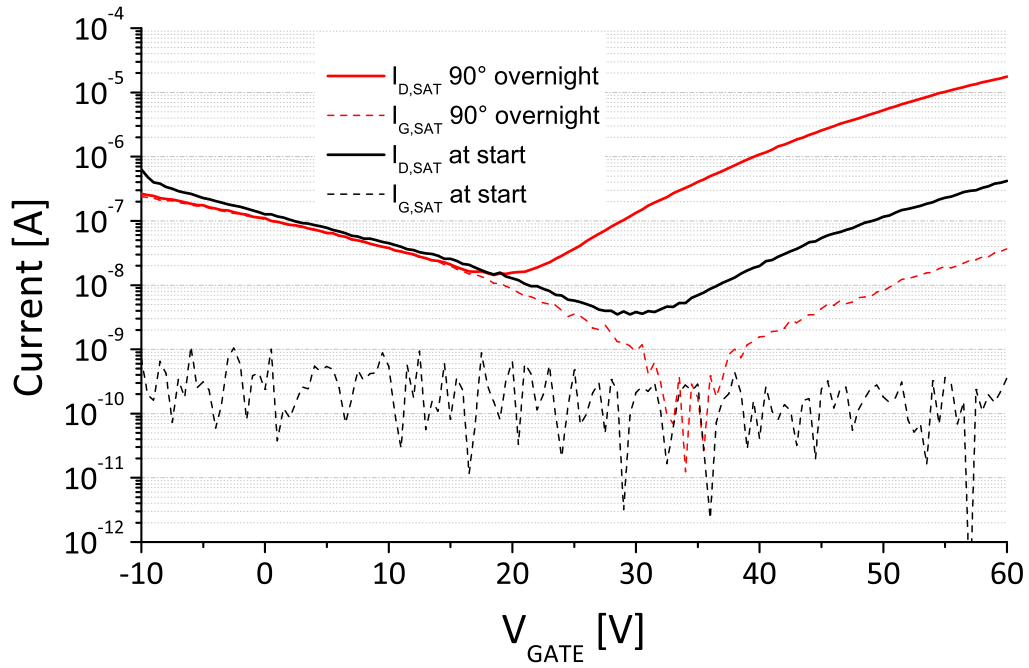


Figura 4.6: Caratteristiche di trasferimento e mobilità dopo il trattamento overnight a $90^\circ C$

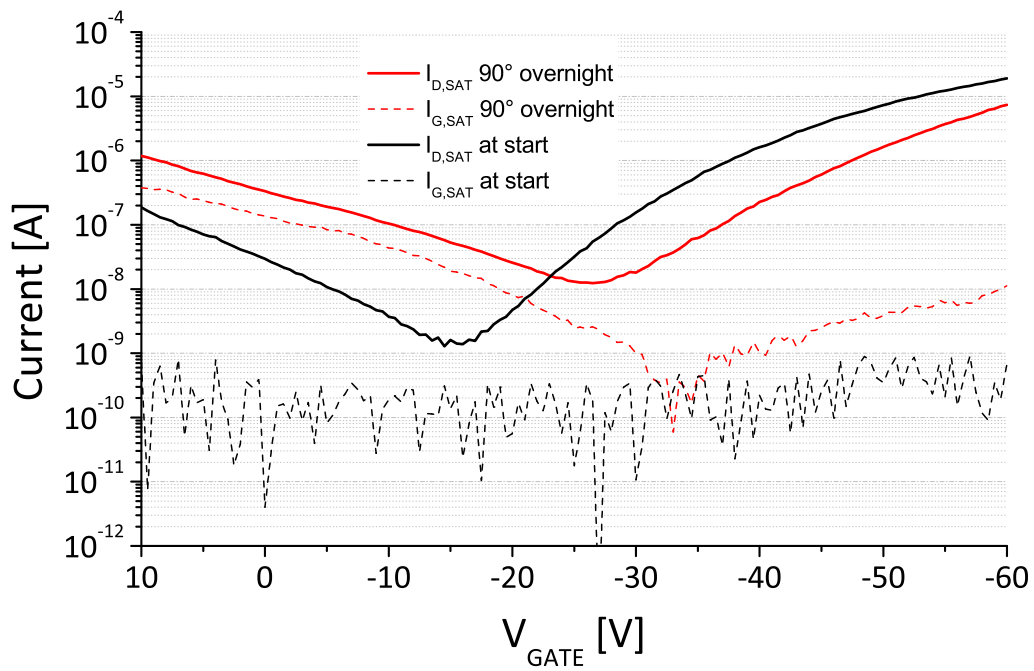
Per comprendere di quale entità sia il miglioramento rispetto alla condizione iniziale, è bene fare una comparazione con la corrente alla condizione di partenza (figura 4.7). Il miglioramento dell'nFET è di quasi due ordini di grandezza sia per quanto riguarda la corrente in regione di saturazione che in regione lineare, tuttavia dopo i trattamenti termici i valori di corrente di gate in fase lineare sono estremamente più alti delle correnti di drain nella stessa regione di funzionamento; ciò presuppone un pessimo – se non alcun – funzionamento in zona ohmica dei transistor.

Al contempo però le performance dei transistor pFET peggiorano, mostrando un aumento della tensione di soglia e del leakage, con conseguente abbassamento della massima corrente per $V_G = -60 V$.

Dopo questa sessione di annealing si è notato anche un bilanciamento delle correnti di drain fra transistor nFET e pFET che raggiungono lo stesso valore in regime di saturazione e con $V_G = 60 V$, come mostra la figura 4.8.



(a)



(b)

Figura 4.7: Comparazione delle correnti alla condizione di partenza e dopo il trattamento overnight di 90°C per transistor nFET (a) e pFET (b)

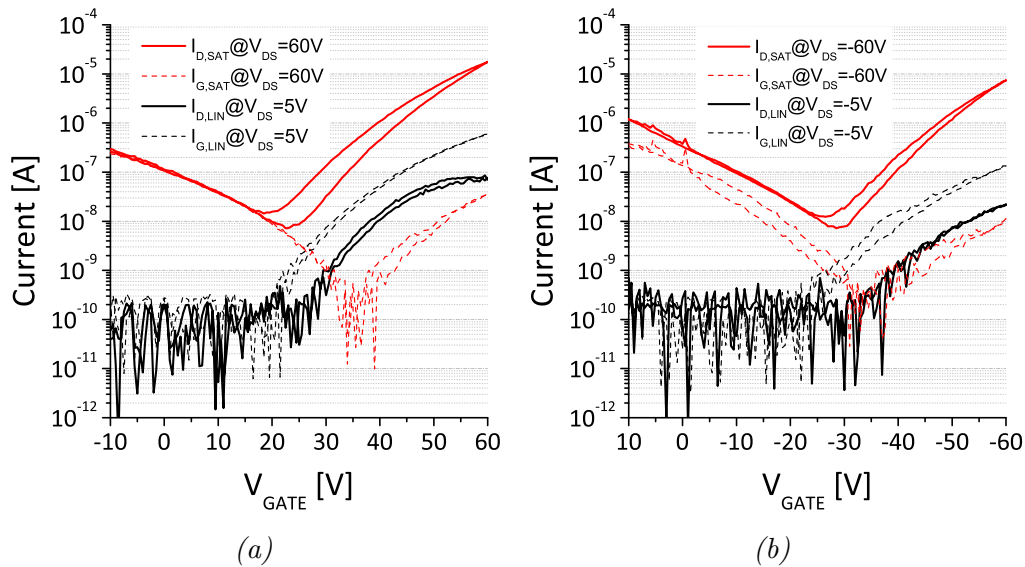


Figura 4.8: Bilanciamento delle correnti in transistor nFET (a) e pFET (b)

Presupposto ciò, vien naturale pensare che un inverter possa avere soglia logica pari a metà della tensione di alimentazione; infatti la soglia logica è determinata dal mismatch delle correnti di drain dei due transistor. Questo è confermato dai dati sperimentali e dalla VTC dell'inverter (figura 4.9) dove si può notare una caratteristica estremamente bilanciata. Il valore di guadagno massimo dell'inverter $\partial V_{out}/\partial V_{in}$ è di 22.82. È da notare come, per quanto i dispositivi non siano particolarmente spinti nelle prestazioni e abbiano caratteristiche particolarmente degradate in alcune loro zone di funzionamento (zona lineare), gli inverter mostrino comunque delle buone caratteristiche di lavoro.

Annealing 12 ore a 110 °C

Dato che il valore target di mobilità è di $0.1 \frac{cm^2}{Vs}$, si è deciso di continuare con i trattamenti di annealing al fine di verificare se un esposizione ad una maggiore temperatura potesse giovare in termini di mobilità e corrente erogata.

Un nuovo trattamento di 12 ore ad una temperatura di 110 °C ha portato ai seguenti risultati: il valore di mobilità elettronica massima in regime di

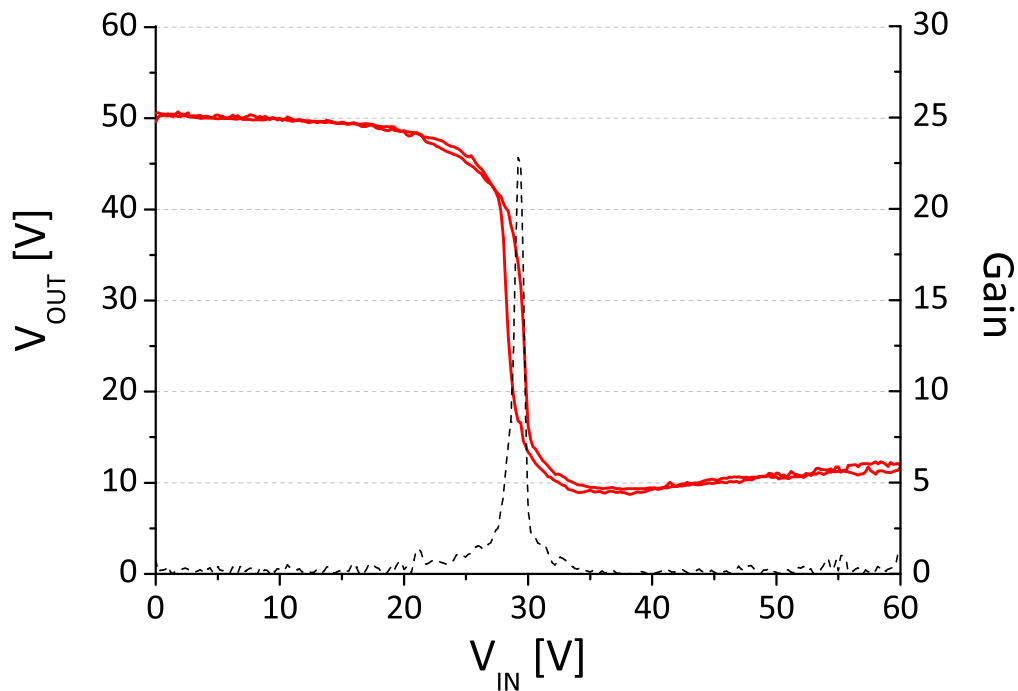


Figura 4.9: VTC di un inverter con correnti bilanciate: la soglia logica è a $V_{DD}/2$

saturation è rimasto pari a $0.06 \frac{cm^2}{Vs}$, tuttavia vi è stato un incremento delle correnti massime di saturazione a $V_G = 60V$ – probabilmente dovuto alla contemporanea diminuzione della tensione di soglia del dispositivo a $38V$ – con valori di punta di $3 \cdot 10^{-6} A$.

È da sottolineare come, diversamente dagli altri casi fin ora analizzati, in questo caso ci sia un buon comportamento in zona di funzionamento lineare; la corrente di drain è maggiore di quella di gate di circa un ordine di grandezza. Ciò si può essere visto in maniera chiara in figura 4.11 dove sono messe a confronto le caratteristiche dei transistor prima e dopo il trattamento a $110^\circ C$.

Essendo rimaste immutate le caratteristiche di corrente e mobilità dei pFET, i valori di corrente di saturazione per $|V_G| = 60V$ saranno sbilanciati verso l'nFET. Quindi ci si aspetta che la caratteristica di trasferimento dell'inverter non abbia più soglia logica pari a $V_{DD}/2$ ma sia piuttosto spostata verso sinistra essendo il transistor nFET più conduttivo del pFET, come dimostra la figura 4.12. La maggior conduttività del transistor n ha effet-

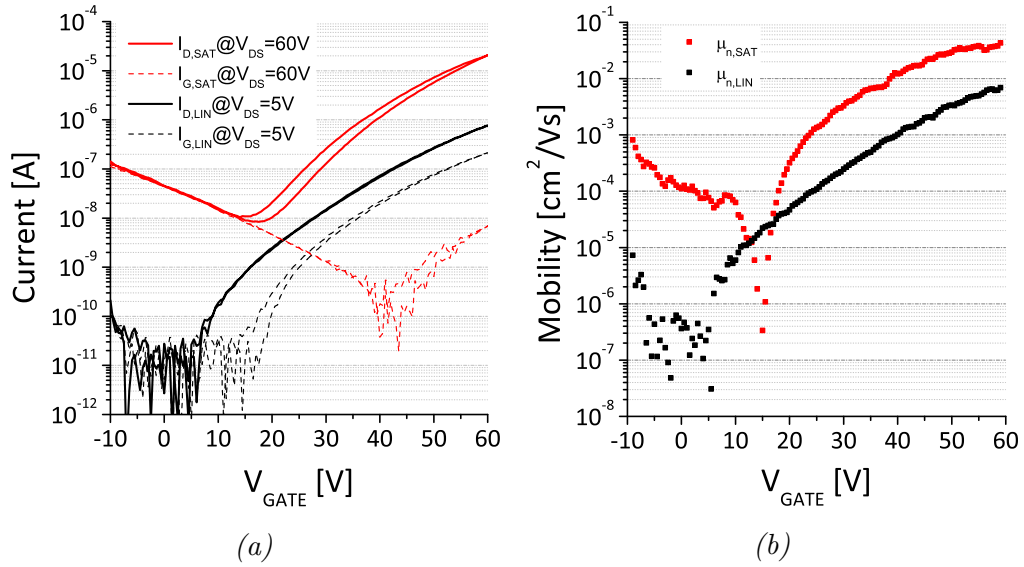


Figura 4.10: Curve di corrente (a) e mobilità (b) per i transistor nFET dopo il trattamento overnight a 110 °C

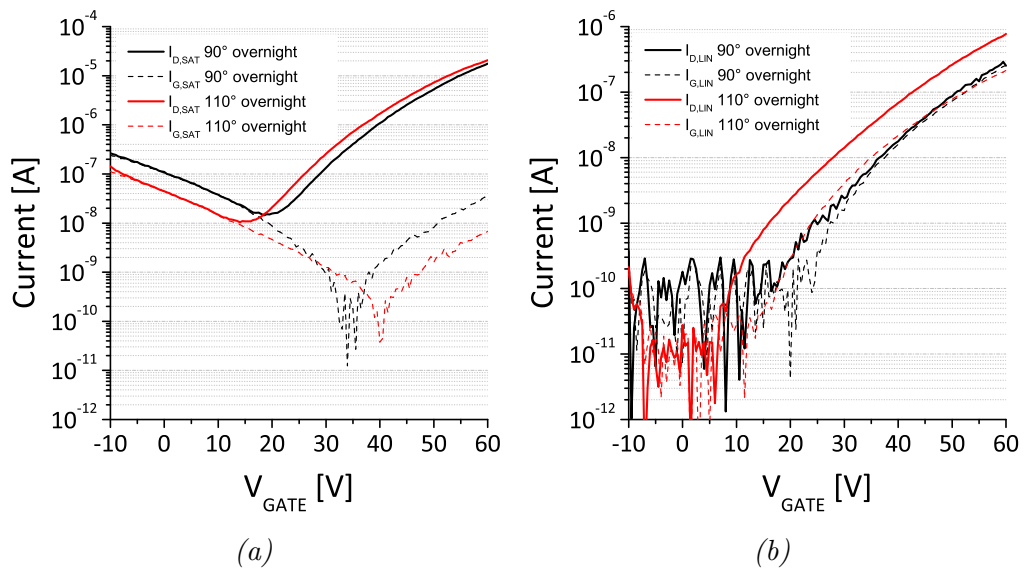


Figura 4.11: Comparazione delle caratteristiche del transistor dopo i 90° overnight e 110° overnight in zona di saturazione (a) e lineare (b)

to anche sul guadagno massimo, rendendo più veloce la scarica del nodo di uscita, portandolo a 24.85.

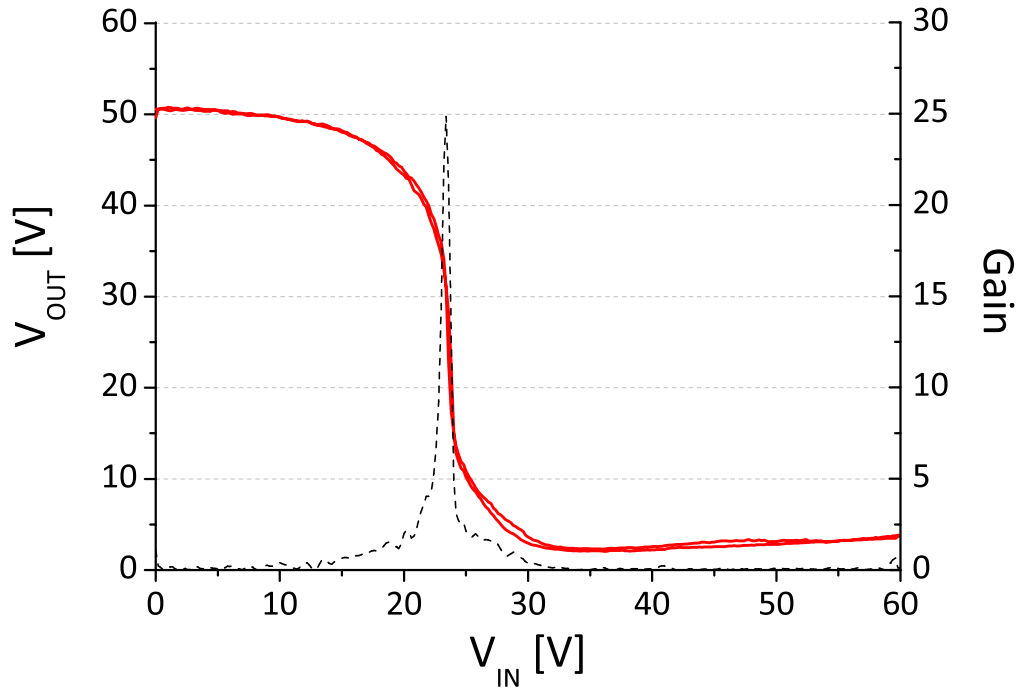


Figura 4.12: VTC di un inverter dopo trattamento overnight a 110 °C

Si può notare come rispetto alla VTC dell'inverter dopo il trattamento a 90 °C, riportata in figura 4.9, quella dopo l'annealing a 110 °C raggiunga un valore più vicino al rail negativo per alti valori dell'ingresso. Il fenomeno per il quale non si ha il completo raggiungimento del rail negativo sarà spiegato nella sezione 5.1.

4.2 Chip #2

Al fine di introdurre lo step tecnologico di creazione delle *via holes* (sezione 2.2.4) è stato deciso di effettuare gli ultimi passi di fabbricazione su un altro chip. Visti i risultati ottenuti sul chip #1 è stato scelto di eseguire un annealing a 110°C per 24 ore.

Ciò che risulta da questo trattamento è proprio il raggiungimento del valore di mobilità di saturazione atteso: $\mu_{n,MAX} = 0.095 \frac{\text{cm}^2}{\text{Vs}}$ con un forte abbassamento della tensione di soglia a $V_T = 33 \text{ V}$. La concomitanza di questi fattori porta la corrente a raggiungere valori molto alti, pari a $90 \cdot 10^{-6} \text{ A}$, come conferma figura 4.13.

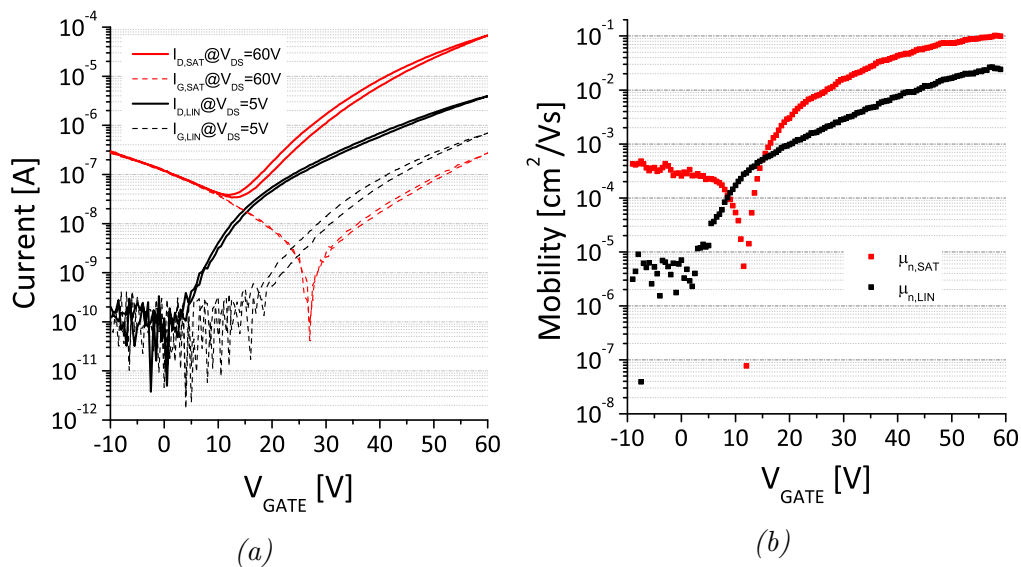


Figura 4.13: Curve di corrente (a) e mobilità (b) per i transistor nFET del chip #2 dopo il trattamento overnight a 110°C

Per quanto riguarda invece le prestazioni dei transistor pFET si nota come le prestazioni in zona di saturazione rimangono costanti mentre si ha un degradamento della zona lineare, come si può vedere anche in figura 4.14. La tensione di soglia mantiene un valore nell'intorno di $|V_T| = 38 \text{ V}$.

Dato il grande sbilanciamento di correnti ($90 \cdot 10^{-6} \text{ A}$ dell'nFET contro gli $1.5 \cdot 10^{-6} \text{ A}$ del pFET a $|V_G| = 60 \text{ V}$) ci si aspetta una VTC dell'inverter formato dalla combinazione di questi due transistor che abbia un valore

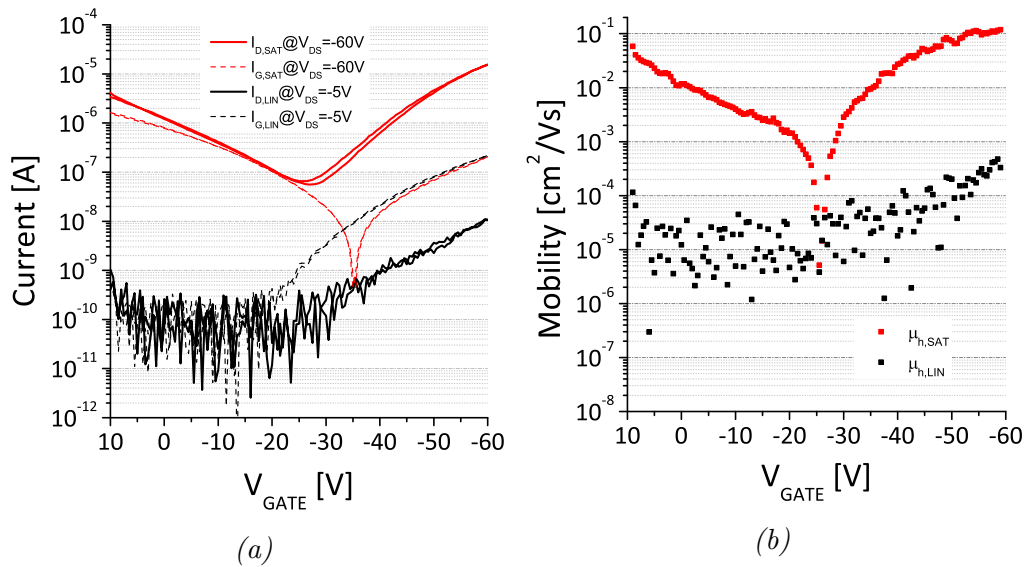


Figura 4.14: Curve di corrente (a) e mobilità (b) per i transistor pFET del chip #2 dopo il trattamento overnight a 110 °C

di soglia logica minore, con guadagni elevati e una tensione estremamente prossima al rail negativo per alte polarizzazioni del gate. Queste aspettative sono confermate dalle misure sperimentali, come riportato in figura 4.15, con valori di guadagno pari a 28.8 e rail negativo quasi raggiunto.

Un *terzo chip* è stato completato con gli ultimi step di fabbricazione e annealing a 110 °C. Questo riporta risultati sovrapponibili a quelli del chip #2 e pertanto non ne verrà riportata la caratterizzazione a livello di transistor. Tale chip è stato utilizzato soltanto per le misure di tipo dinamico e sarà pertanto oggetto di studio del capitolo 5.

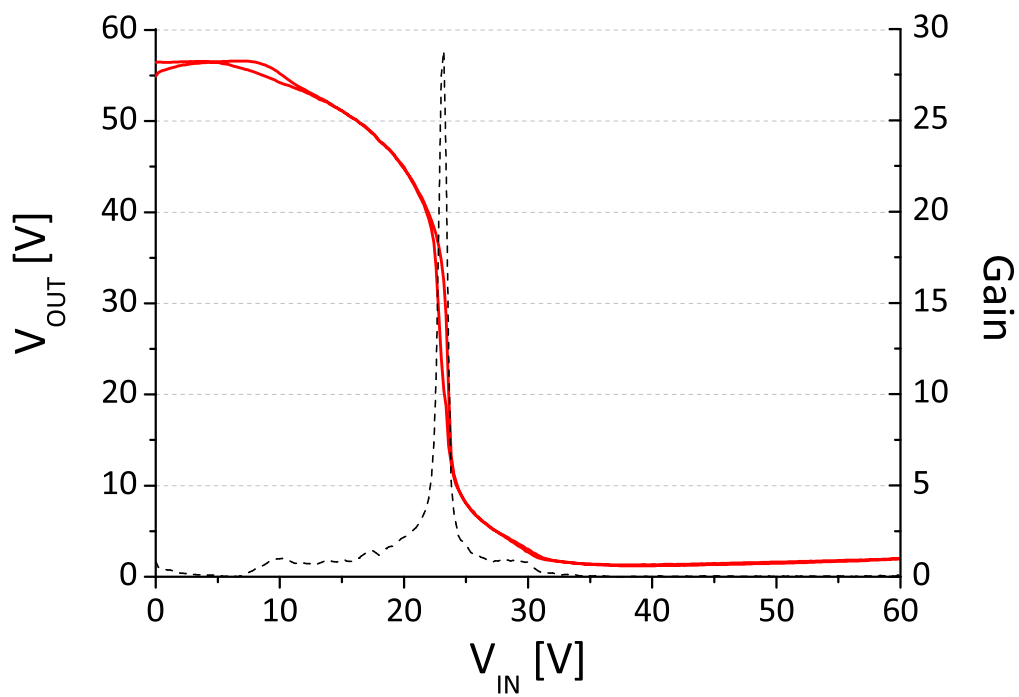


Figura 4.15: VTC di un inverter del chip #2 dopo un trattamento di 24 ore a 110 °C

Caratterizzazione delle porte logiche complementari

Il capitolo riporta la caratterizzazione delle porte logiche presenti sul chip prendendone in considerazione sia il comportamento statico che dinamico e dimostrandone il corretto funzionamento.

5.1 Inverter

Essendo il tassello fondamentale della logica, ci si è soffermati in modo particolare sia sulla sua caratterizzazione statica che su quella dinamica.

5.1.1 Caratterizzazione statica

Come già anticipato nel capitolo 4, le prestazioni di un invertitore logico sono strettamente collegate a quelle dei propri transistor; risulta utile richiamare i risultati ottenuti e già analizzati tramite la VTC di figura 5.1 i parametri dei cui transistor sono riportati in tabella 5.1.

Si nota come i parametri dei due transistor siano sbilanciati, con correnti che differiscono quasi di un ordine di grandezza, fenomeno dovuto principalmente alla diminuzione della tensione di soglia dell'nFET e al suo maggiore $\frac{W}{L}$.

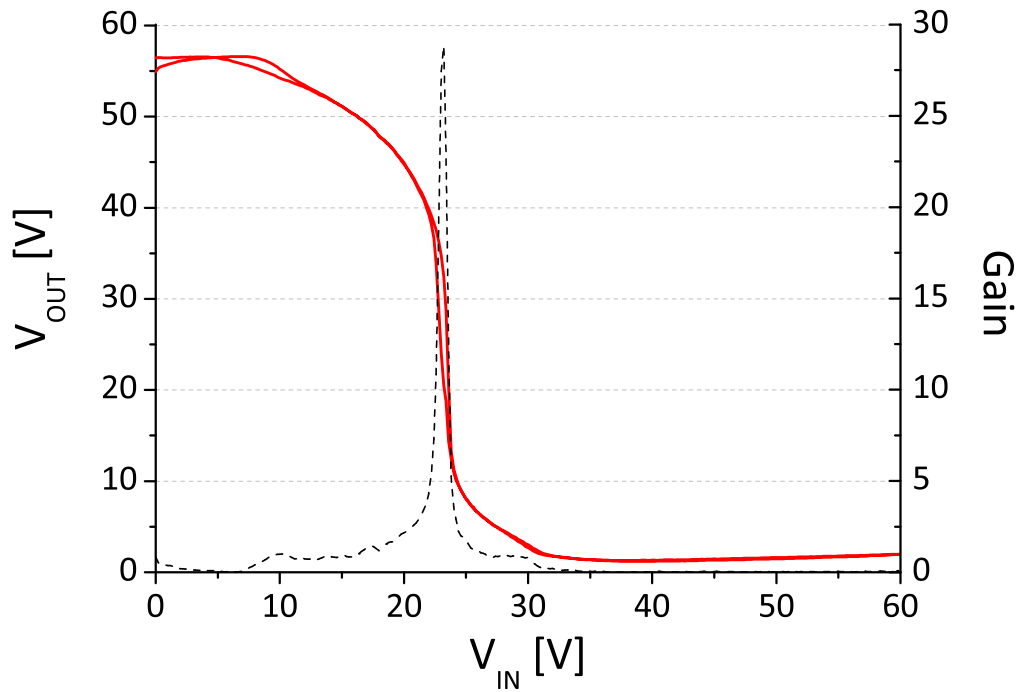


Figura 5.1: VTC di un inverter del chip #2

nFET ($W/L = 300$)			pFET ($W/L = 100$)		
$\mu_{n,MAX}$	$V_{T,n}$	$I_{D,MAX}$	$\mu_{h,MAX}$	$V_{T,p}$	$I_{D,MAX}$
$0.095 \text{ cm}^2/Vs$	33 V	$90 \cdot 10^{-6} A$	$0.1 \text{ cm}^2/Vs$	-38 V	$1.5 \cdot 10^{-6} A$

Tabella 5.1: Parametri relativi ai singoli transistor dell'inverter di figura 5.1.

Per quanto la VTC rispecchi un andamento invertente quasi *rail-to-rail*, questa si discosta da quella di un inverter ideale, la cui caratteristica è in figura 5.2a.

Questo può esser notato anche si osserva l'andamento della corrente richiesta all'alimentazione. Idealmente, infatti, la corrente richiesta – e pertanto la dissipazione di potenza, data dal prodotto $P_{DISS} = V_{DD}I_{DD}$ – dovrebbe essere nulla se non quando entrambe i transistor entrano in conduzione e cioè nella parte centrale della caratteristica.

La figura 5.2b mostra l'andamento della corrente richiesta all'alimentazione: si ha un grande flusso di corrente anche per polarizzazioni in cui non sarebbe teoricamente previsto. Questo effetto è dovuto alle correnti di gate leakage che generano percorsi conduttivi verso massa.

Il non raggiungimento perfetto dei rail positivo e negativo è sempre da attribuirsi ai leakage di gate; lo schema descritto in figura 5.3 spiega intuitivamente quale sia il meccanismo per il quale si ha questa non idealità.

Immaginiamo la situazione in cui $V_{IN} = 0 \rightarrow 60\text{ V}$, nella quale il transistor nFET si trova subito in una zona di piena saturazione con $V_{DS} \simeq V_{GS} = 60\text{ V}$ – figura 5.3a – e inizia a scaricare il nodo di uscita. L'effetto della corrente di leakage inizia a pesare nel momento in cui il transistor si porta in regione di funzionamento lineare dove si comporta come una resistenza di valore finito pari a $R_{ON} = \frac{\partial I_D}{\partial V_{DS}} = \frac{1}{2k'(V_G - V_T)}$. La presenza del transistor pFET superiore che, come mostrato nei precedenti capitoli, ha una sua corrente I_{OFF} per $V_{GS} = 0$ genera uno sbilanciamento del nodo il cui bilancio di correnti è $I_{OFF} + I_{GD,p} + I_{GD,n} = I_{ON}$. All'aumentare della polarizzazione di ingresso, la corrente di gate leakage aumenta, andando ad innalzare ancora di più il potenziale al nodo. Questo effetto può essere visto nella VTC come un andamento non costante, ma monotono crescente, della tensione di uscita una volta superata la tensione di soglia logica.

La ricerca di una logica *full swing* che raggiunga entrambe gli estremi positivi e negativi della dinamica è dovuta principalmente alla robustezza fornita in termini di margini di rumore. Un metodo intuitivo per effettuare la stima del *margin di rumore* del caso peggiore^[37] è quello di massimizzare

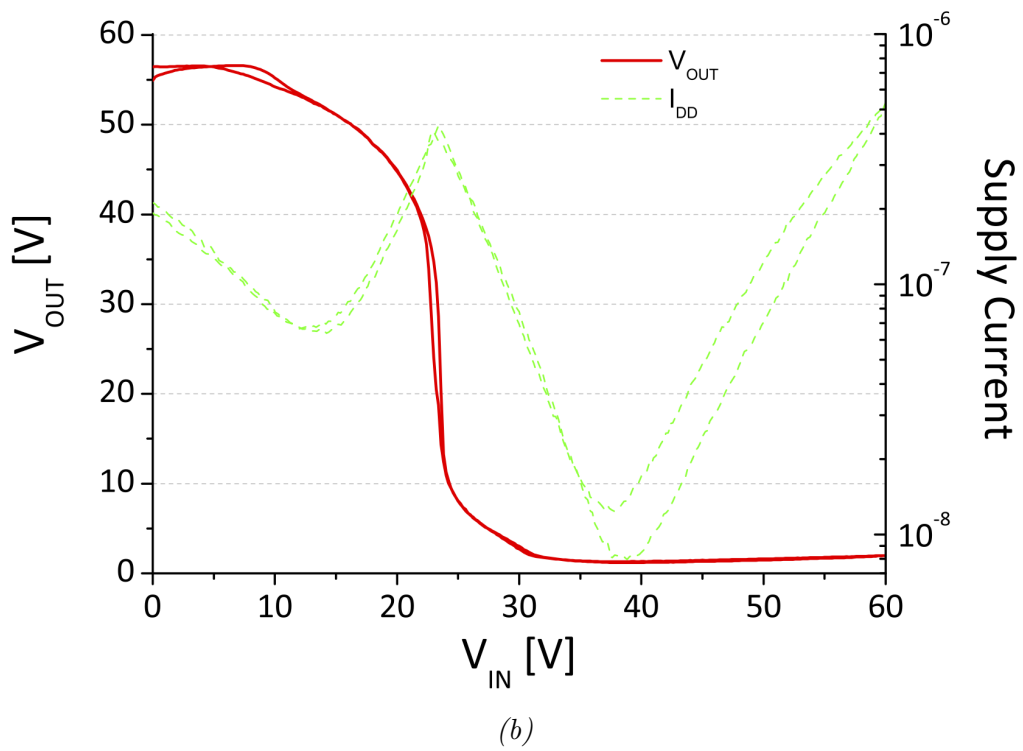
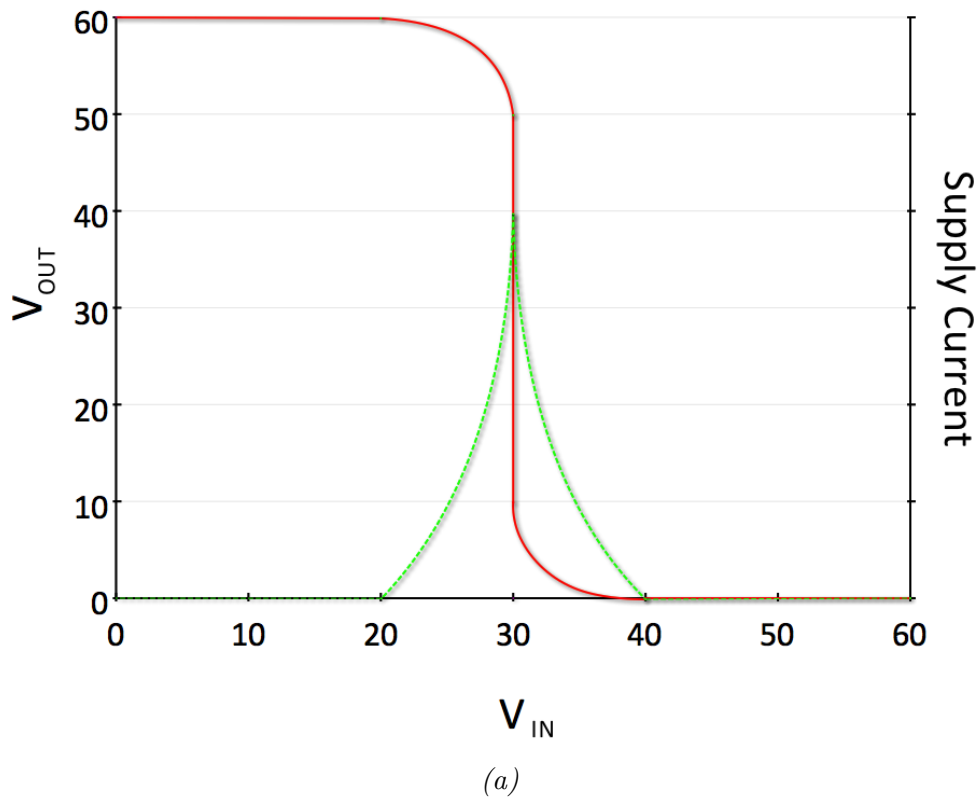


Figura 5.2: Caratteristiche di trasferimento ideale (a) e reale (b) a confronto

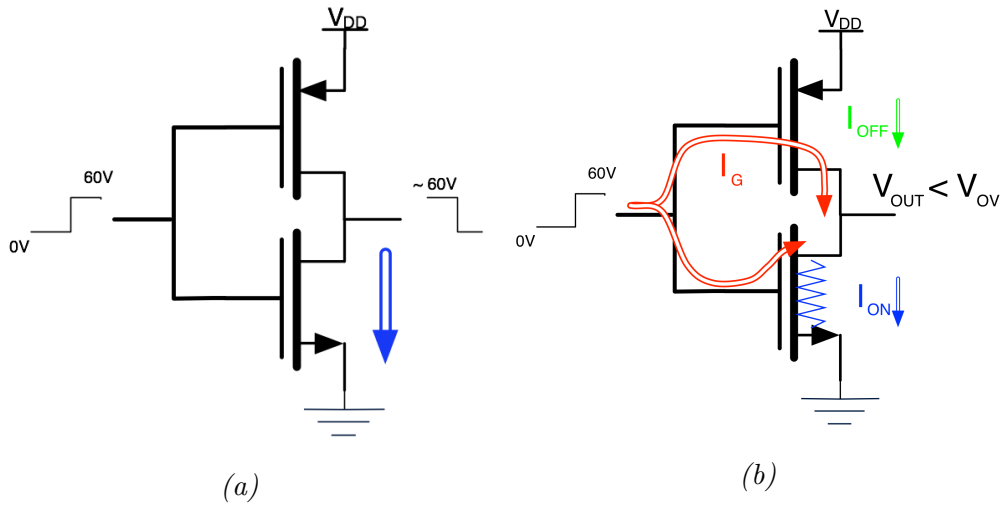


Figura 5.3: Schematizzazione di uno switch $0 \rightarrow 1$ dell'ingresso e relative correnti

l'area del quadrato costruito nel loop creato fra la VTC $V_{OUT} = f(V_{IN})$ e la $V_{OUT} = f^{-1}(V_{IN})$ come mostrato in figura 5.4.

Il valore trovato è di:

$$NM = 16 V$$

cioè il 26.67% della tensione di alimentazione V_{DD} . Per studiare il funzionamento che un inverter avrebbe in una situazione reale – cioè plausibilmente con un altro inverter in cascata – è stato simulato un carico di corrente di $100 nA$ sul nodo di uscita, con verso coerente a quello che avrebbero le correnti di gate leakage della porta successiva (figura 5.5a). La scelta di tale valore è stata effettuata in base ad una approssimazione per eccesso della media delle correnti di leakage rilevate durante le misure che si attestava attorno ai $10 nA$.

Misurando la tensione del nodo d'uscita dell'inverter si nota che, coerentemente con quanto discusso prima riguardo il raggiungimento dei rail di tensione, il verso della corrente imposta abbassa la tensione del nodo facendo abbassare tutta la VTC, permettendo il raggiungimento del rail negativo ma al contempo accentuando l'allontanamento da quello positivo.

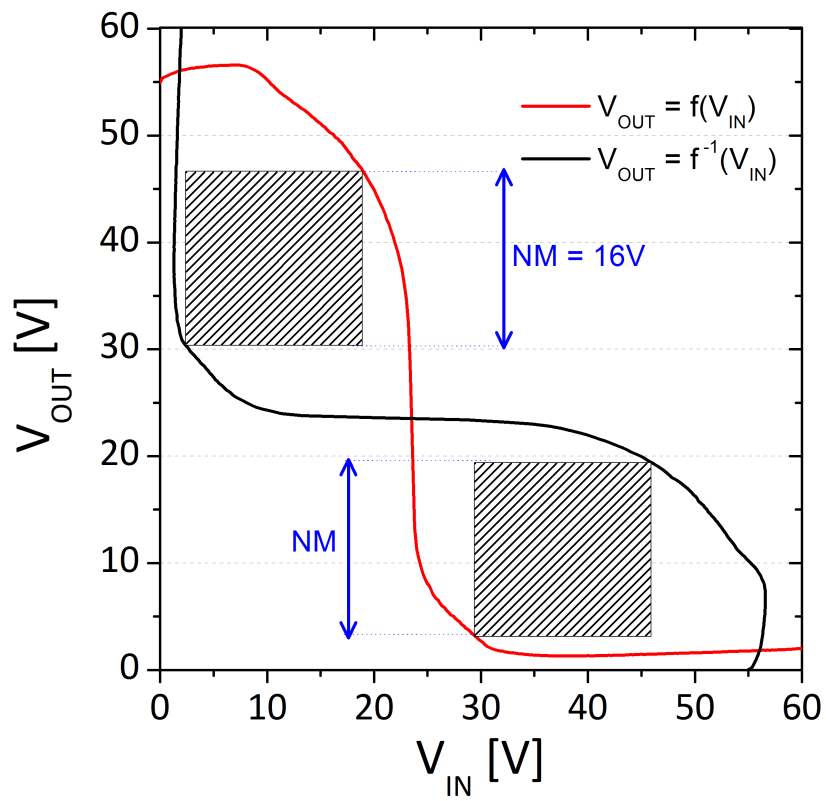
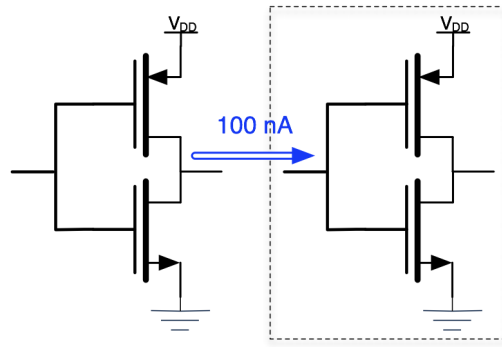
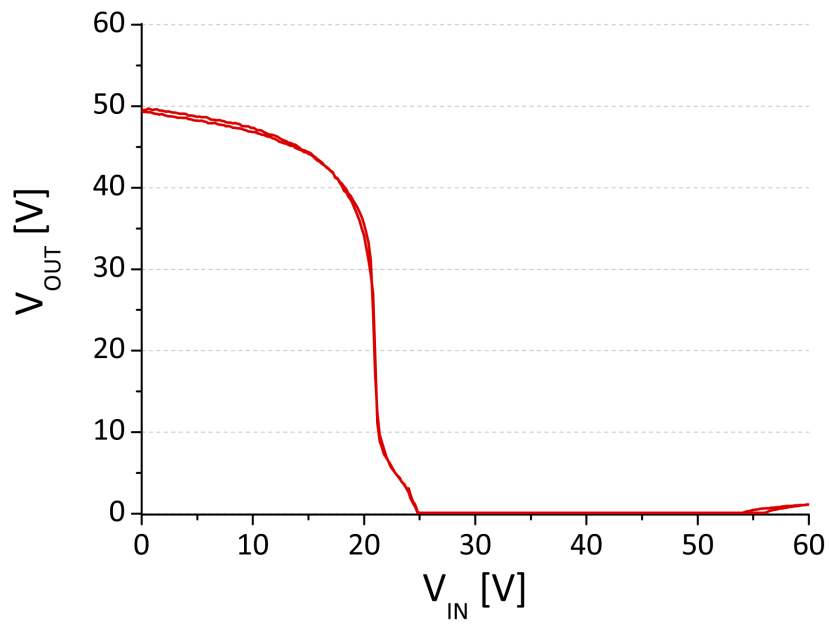


Figura 5.4: Estrapolazione delle informazioni sul margine di fase a partire dalle VTC di un invertitore



(a)



(b)

Figura 5.5: Schematizzazione (a) e VTC (b) di un inverter con carico di 100 nA sul nodo d'uscita

Quindi è possibile dire che nonostante la degradazione della VTC dovuta al carico, la funzionalità dell'inverter è preservata, permettendo un normale svolgimento di eventuali funzioni logiche più complesse.

Si è notata anche una certa dipendenza delle caratteristiche di trasferimento degli inverter dalla loro posizione sul dispositivo, come mostrato in figura 5.6. Questo effetto può essere dovuto al gradiente di temperatura che si viene a creare sul chip durante i trattamenti di annealing. La figura mostra come aumentando la distanza dal centro del chip il valore di soglia logica si sposti da sinistra a destra, in altre parole il transistor nFET diventa sempre meno conduttivo.

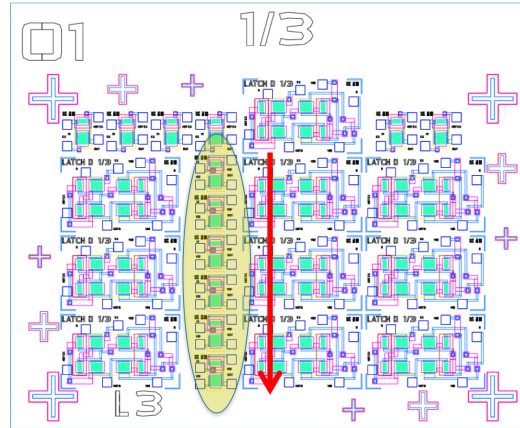
5.1.2 Caratterizzazione dinamica

Il passo successivo nella caratterizzazione delle porte logiche è una misura di tipo dinamico. Polarizzato il dispositivo, si fornisce un segnale variabile in ingresso al dispositivo – tipicamente un'onda quadra – e se ne legge l'uscita tramite l'utilizzo di un oscilloscopio.

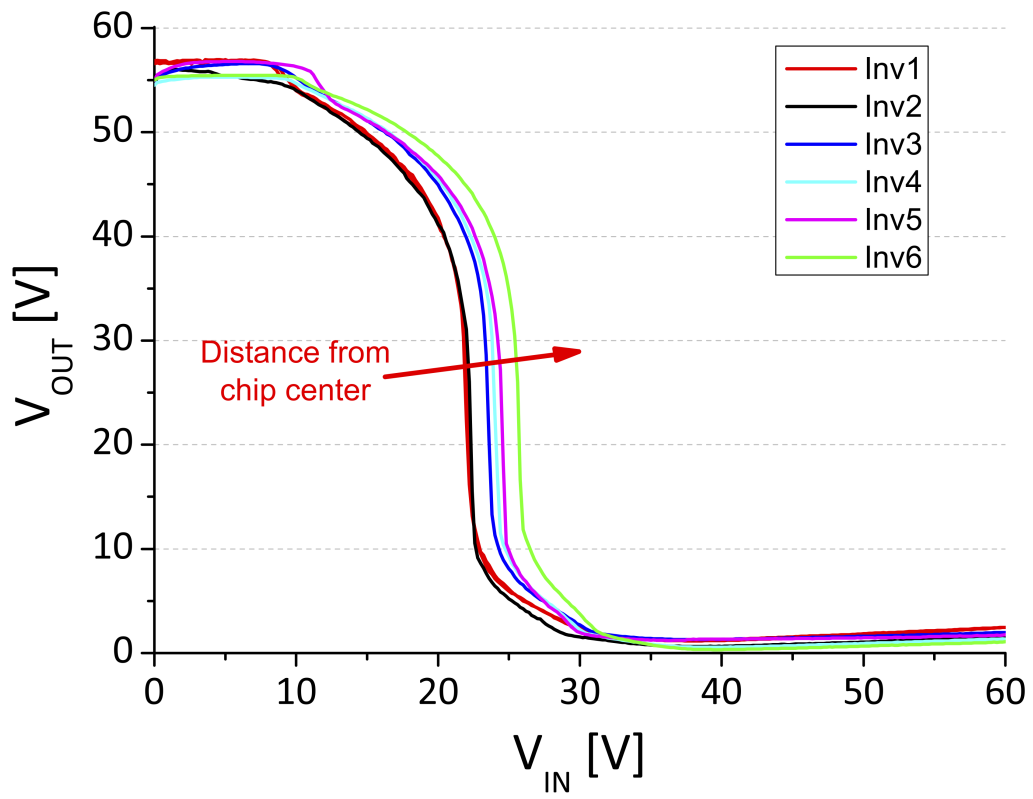
I principali requisiti dinamici di un inverter sono relativi all'ampiezza di uscita, che deve essere sufficiente da permettere la commutazione di un inverter successivo, e ai tempi di salita e discesa – dipendenti dalla R_{ON} e dalla capacità di carico – che devono essere i più piccoli possibile al fine di non limitare le prestazioni.

I risultati di figura 5.7 riportano le forme d'onda di ingresso e uscita rispettivamente a 40 Hz e 10kHz. Si può notare come mentre nel primo caso (figura 5.7a), cioè a bassa frequenza, ci sia un comportamento di inversione perfetto, nel secondo caso non si ha alcuna inversione e prevale il fenomeno del *clock feedthrough* (figura 5.7b). Gli *spike* di tensione sui fronti del segnale di ingresso sono dovuti ad effetti capacitivi.

Data la conferma sperimentale, si vuole investigare quale sia il taglio in frequenza del dispositivo. Non essendo la struttura pensata per un lavoro

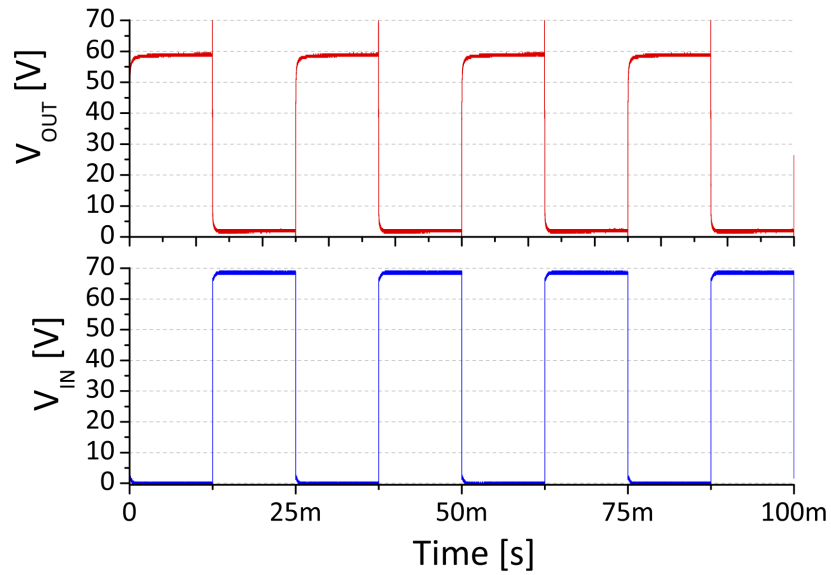


(a)

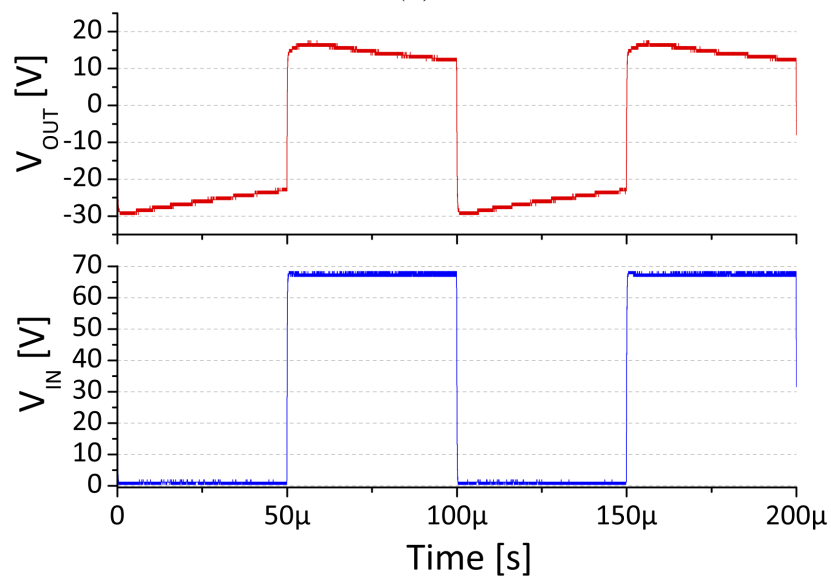


(b)

Figura 5.6: Dipendenza delle VTCs (b) degli inverter dalla posizione sul chip (a)



(a)



(b)

Figura 5.7: Forme d'onda di ingresso e uscita per l'inverter a 40 Hz (a) e 10 kHz (b)

ad alte frequenze ci si aspetta una frequenza di cut-off non troppo elevata e sicuramente inferiore ai 10kHz.

Il principale fattore limitante è dato dalle grandi capacità C_{GS} e C_{GD} – dovute all'overlap del gate con i terminali di source e drain – che fanno diminuire la frequenza di taglio del singolo transistor, pari a:

$$f_T = \frac{g_m}{2\pi(C_{GS} + C_{GD})}$$

La valutazione della frequenza di taglio della funzione di trasferimento in/out dell'inverter è stata fatta misurando l'ampiezza della forme d'onda sul nodo d'uscita e graficando il guadagno della configurazione. Come mostra la figura 5.8, che riporta il fitting polinomiale dei dati sperimentali, la frequenza di taglio¹ è nell'intorno dei 500Hz.

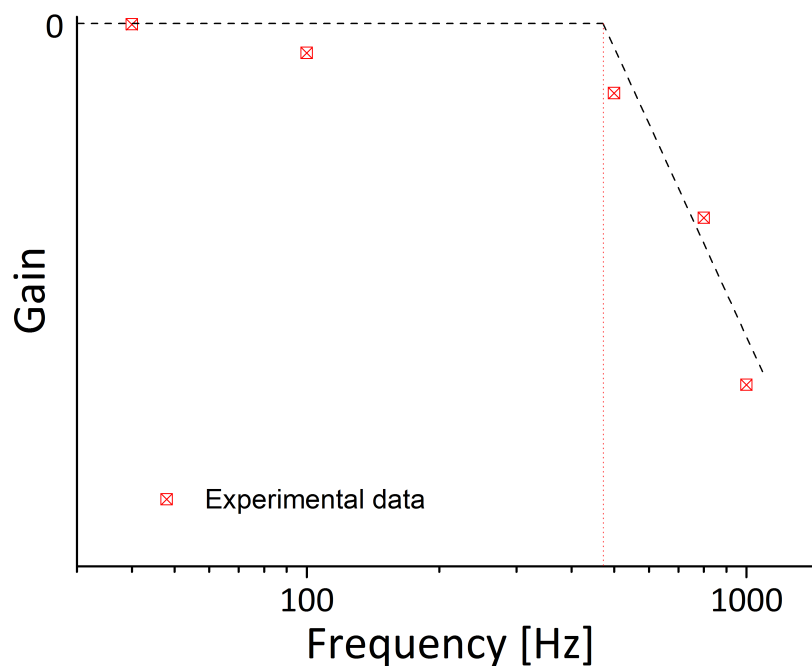


Figura 5.8: Guadagno della configurazione al variare della frequenza per la stima della frequenza di taglio

¹frequenza a -3dB dal guadagno a bassa frequenza

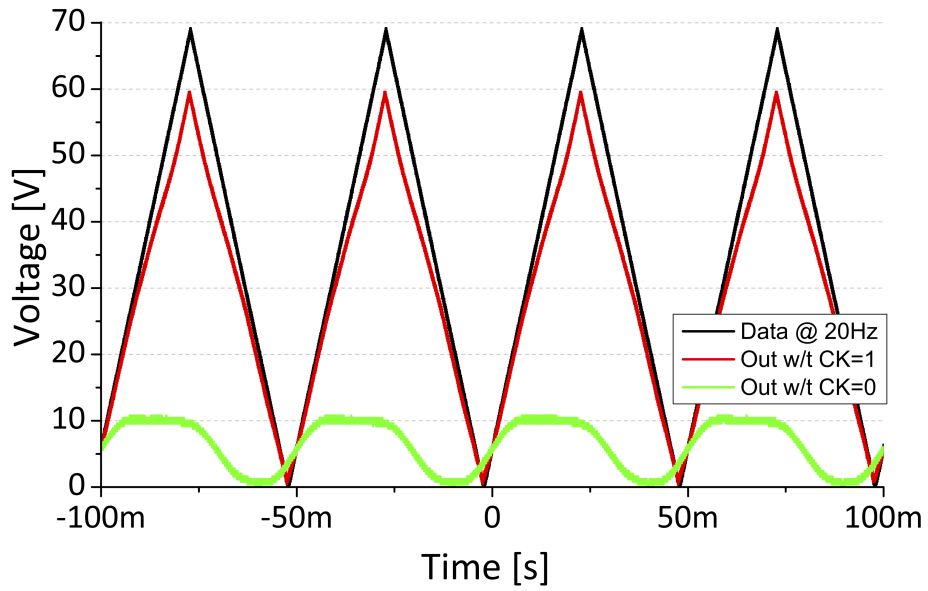
5.2 Transmission gate

Come anticipato nella sezione 3.2.3, il transmission gate è la soluzione circuitale CMOS che sopperisce alle perdite di dinamica negli switch attivi a singolo pass-transistor.

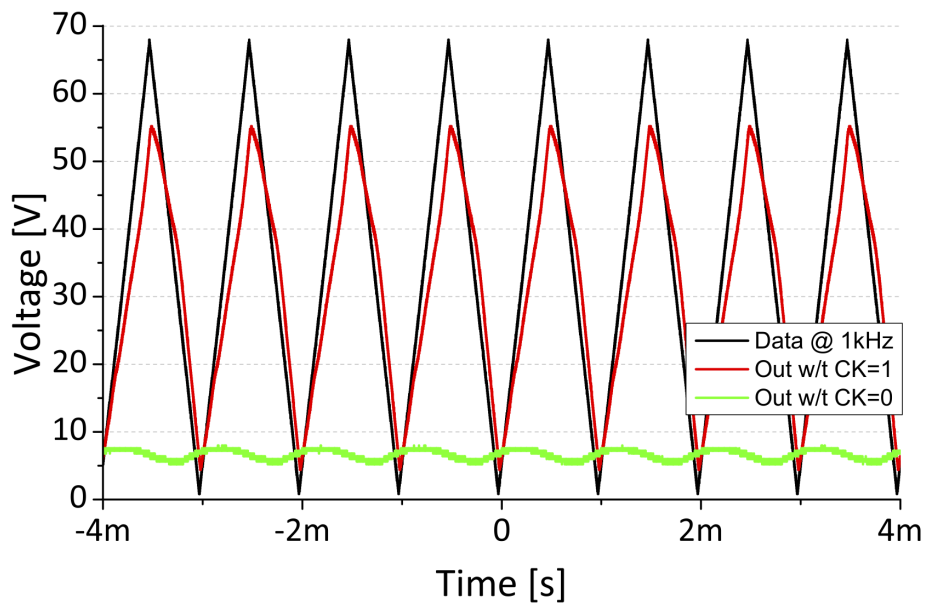
In quanto switch on/off, quindi, le specifiche che devono essere soddisfatte sono semplici ma al contempo stringenti: il segnale deve passare a piena dinamica quando il clock è nella fase alta e non passare quando il clock è basso. Quest'ultimo requisito richiede pertanto che il *feedthrough* capacitivo del segnale abbia una ampiezza tale da non generare un errore logico – facendo, ad esempio, commutare un inverter – in una eventuale funzione logica.

In figura 5.9 sono riportate le forme d'onda in ingresso e uscita sia in fase di CK alto (transmission gate ON) che in fase di CK basso (transmission gate OFF).

Si può notare come i requisiti richiesti siano soddisfatti, il segnale passa quasi a completa dinamica nella fase in cui il clock è alto mentre il feedthrough attraverso la struttura è minimo quando il clock è basso. In quest'ultimo caso è da notare come l'ampiezza del segnale diminuisca all'aumentare della frequenza del dato.



(a)



(b)

Figura 5.9: Tensione di uscita in fase di ON, OFF e tensione di ingresso per un transmission gate con frequenza del dato di 20Hz (a) e 1kHz (b)

5.3 Latch

Il funzionamento del latch di tipo D è stato richiamato nella sezione 3.2.4, pertanto ci limiteremo a mostrare i risultati ottenuti.

Ciò che si richiede è ottenere un comportamento di trasparenza al dato durante la fase in cui il clock è alto e un effetto memoria – rispetto allo stato del dato al momento della commutazione – per tutto il periodo in cui il clock è basso. Questo comportamento è dimostrato in figura 5.10.

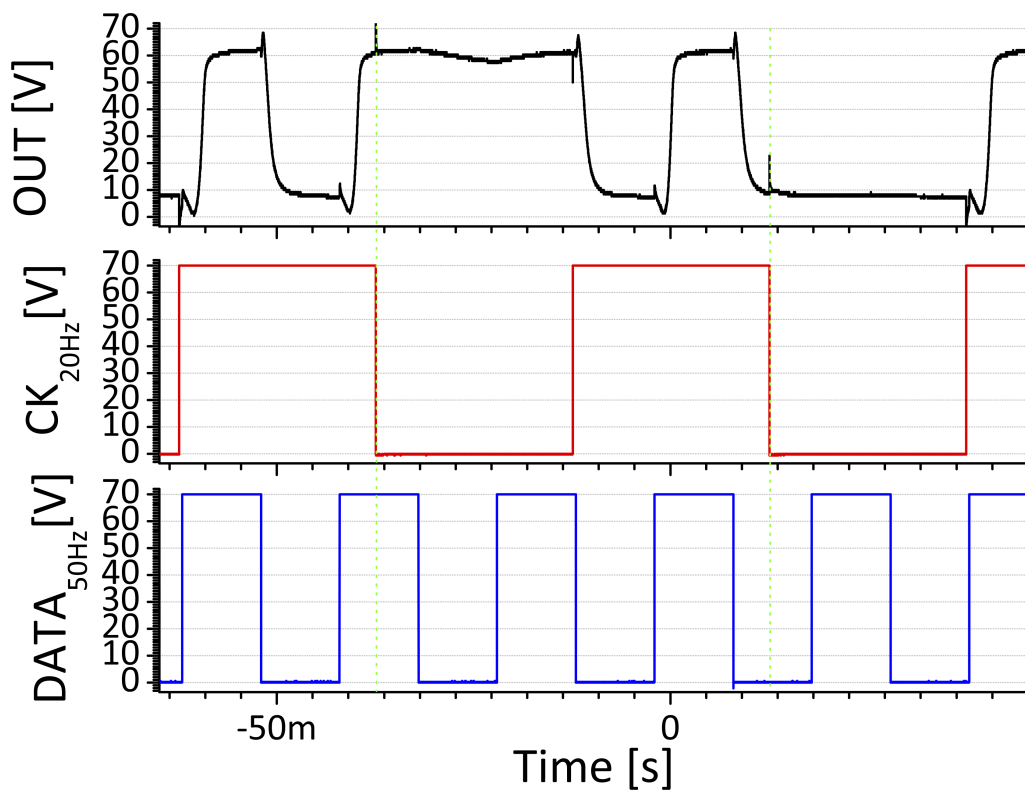


Figura 5.10: Dimostrazione del corretto funzionamento del D Latch

Il risultato è di particolare interesse poiché mostra come effettivamente siano soddisfatte le specifiche di funzionamento. Durante il periodo di trasparenza (clock alto) il dato è riportato correttamente in uscita e alla prima commutazione alto-basso del clock, il valore dell'uscita viene mantenuto a quello assunto prima della commutazione. Una volta nuovamente alto il clock, l'uscita segue nuovamente il dato in ingresso.

Questo dimostra come sia possibile creare circuiti logici a più transistor – in questo caso 8 transistor che funzionano contemporaneamente – per generare funzioni logiche desiderate, anche complesse.

Conclusioni

Il lavoro svolto ha riguardato la fabbricazione, caratterizzazione e dimostrazione del funzionamento di circuiti organici in una logica di tipo complementare utilizzando un semiconduttore polimerico ambipolare e contatti appositamente trattati per permettere la complementarità dei dispositivi.

Inizialmente si è affrontata la problematica dell'ottimizzazione dei singoli OFET. L'igroscopicità dei sali di cesio utilizzati per ottimizzare l'iniezione di elettroni nel semiconduttore, infatti, produce una forte degradazione delle caratteristiche dei dispositivi esposti per lungo tempo alle condizioni ambientali durante la loro spedizione. Si è dimostrato come sia possibile recuperare completamente le caratteristiche di mobilità elettronica di saturazione tramite opportuni trattamenti termici (24 ore a 110 °C), ritornando ai valori definiti da letteratura ($\mu_e \simeq \mu_h \simeq 0.1 \text{ cm}^2/Vs$) con tensioni di soglia rispettive di $V_{T,n} = 33 \text{ V}$ e $V_{T,p} = -38 \text{ V}$.

La necessità di trattamenti termici prolungati ha altresì denotato un aumento delle correnti di leakage di gate. Grazie ad uno studio è stato possibile giungere ad un trade-off che, per quanto non abbia rimosso completamente il problema, ha reso i dispositivi così realizzati sufficientemente buoni per la realizzazione di logica complementare. Questo è stato un punto cruciale per procedere all'integrazione dei singoli dispositivi in porte logiche.

Sono stati quindi integrati OFET n e p, fabbricando strutture circuitali che hanno richiesto lo step di creazione delle *via-holes*, per le quali è stata utilizzata la tecnica dell'ink-jet printing, che si è dimostrato non introdurre

alcuna modificazione alla struttura dei circuiti preservandone le prestazioni.

Per gli inverter si sono ottenute buone caratteristiche di trasferimento ingresso / uscita con valori di guadagno elevati ($\left. \frac{\partial V_{OUT}}{\partial V_{IN}} \right|_{MAX} = 32$). I valori di margine di rumore trovati, $NM = 16 V$, sono soddisfacenti, pari al 26.67 % della tensione di alimentazione V_{DD} . Inoltre è da notare l'elevata riproducibilità dei risultati da porta a porta sia sullo stesso chip che su chip diversi. Questi dati ci danno indicazione sulla robustezza dell'approccio adottato. Infatti, nonostante i livelli di leakage della struttura, la funzionalità logica è mantenuta perfettamente.

Successivamente sono stati integrati FET per le realizzazione di transmission gates. Anche queste porte hanno mostrato un corretto funzionamento logico.

Per ultimo, inverter e transmission gates sono stati integrati per la realizzazione di un Latch di tipo D. Le misure dinamiche effettuate mostrano la corretta funzionalità logica del Latch. Questo risultato, non scontato, prova come sia possibile far funzionare contemporaneamente anche un alto numero di transistor (8 per il D Latch) e suggerisce che sarà possibile creare strutture più complesse.

In definitiva i risultati ottenuti aprono la strada alla fabbricazione, tramite le tecniche descritte, di topologie circuitali che integrino un maggior numero di transistor permettendo di creare funzioni logiche più complesse. Questi potranno poi essere combinati per ottenere circuiti elettronici completi come, ad esempio, un'elettronica per indirizzamento di matrici di schermi a matrice attiva.

Bibliografia

- [1] C.D. Dimitrakopoulos and P.R.L Malenfant. Organic thin film transistors for large area electronics. *Adv. Mater.*, 14, 99, 2002.
- [2] H. Klauk. Organic thin-film transistors. *Chem. Soc. Rev.*
- [3] F. Garnier. Photogeneration of charge in solid films of alpha-sexithiophene. *Chem. Phys.*, 227:253, 1998.
- [4] Alessandro Troisi. Charge transport in high mobility molecular semiconductors: classical models and new theories. *Chem. Soc. Rev.*, 40,2347–235, 2011.
- [5] Marta Mas-Torrent et al. Role of molecular order and solid-state structure in organic field-effect transistor.
- [6] Julius Edgar Lilienfeld. Method and apparatus for controlling electric current. *US Patent 1 745 175*, 1930.
- [7] D. Kahng and M. M. Atalla. Ire solid-state devices research conference. *Carnegie Institute of Technology, Pittsburgh*, 1960.
- [8] G.H. Heilmeyer. Surface studies of alpha-copper phthalocyanine films. *Journal of Physics and Chemistry of Solids*, 1964.
- [9] A. Tsumura, H. Koezuka, and T. Ando. Macromolecular electronic device: Field-effect transistor with a polythiophene thin film. *Applied Physics Letters*, 1986.

-
- [10] Gerwin Gelinck, Paul Heremans, Kazumasa Nomoto, and Thomas D. Anthopoulos. Organic transistors in optical displays and microelectronic applications. *Advance Materials*, Progress Report, 2010.
- [11] D. J. Gundlach and T. N. Jackson. Solvent-induced phase transition in thermally evaporated pentacene films. *Applied Physics Letters*, 1999.
- [12] Gilles Horowitz. Interfaces in organic field effect transistors. *Adv. Polym. Sci.*, 2009.
- [13] Christopher R. Newma et al. Introduction to organic thin film transistors and design of n-channel organic semiconductors. *Chemistry of Materials*, 2004.
- [14] R. T. Tung. Recent advances in schottky barrier concepts. *Mat. Sci. Eng.*, 2001.
- [15] I. H. Campbell et al. Controlling charge injection in organic electronic devices using selfassembled monolayers. *Appl. Phys. Lett.*, 71, 3528.
- [16] Jung-Pyo Hong et al. Tuning of ag work functions by self-assembled monolayers of aromatic thiols for an efficient hole injection for solution processed triisopropylsilylethynyl pentacene organic thin film transistors. *Appl. Phys. Lett.*, 92, 143311.
- [17] Robert W. Zehner et al. Tuning the work function of gold with self-assembled monolayers. *Langmuir*, 15, 1121-1127.
- [18] et al Kipyong Hong. Improved n-type bottom-contact organic transistors by introducing a poly(3,4-ethylenedioxythiophene):poly(4-styrene sulfonate) coating on the source/drain electrodes. *Appl. Phys. Lett.*, 97, 103304.
- [19] Alessandro Luzio et al. Enhanced thin-film transistor performance by combining 13.6-n-sulfinylacetamidopentacene with printed pedot:pss electrodes. *Chem. Mat.*, 23, 1061-1069.

-
- [20] Dario Natali and Mario Caironi. Charge injection in solution-processed organic field-effect transistors: Physics, models and characterization methods. *Adv. Mater*, 10.1002, 2012.
- [21] E.Smits M. Colle E. Cantatore B. de Boer P.W.M. Blom T.D. Anthopoulos, S. Setayesh and D.M. deLeuw. Air-stable complementary-like circuits based on organic ambipolar transistors.
- [22] S. Setayesh E. van Veenendaal B.H. Huisman P.W.M. Blom J.C.Hummelen U.Scherf E.J. Meijer, D.M. de Leeuw and T.M.Klapwijk. Solution-processed ambipolar organic field-effect transistors and inverters. *Nat. Mater*.
- [23] L.Torsi A.Dodabalapur, H.E.Katz and R.C.Haddon. Organic heterostructure field-effect transistors. *Science*.
- [24] J.Zaumseil and H.Sirringhaus. Electron and ambipolar transport in organic field-effect transistors. *Chem. Rev*.
- [25] Jeong Ho Cho et al. Printable ion-gel gate dielectrics for low-voltage polymer thin-film transistors on plastic. *Nature*, 7.
- [26] Sunho Jeon et al. Stable aqueous based cu nanoparticle ink for printing well-defined highly conductive features on a plastic substrate. *Langmuir*, 27, 3144–3149.
- [27] Mario Caironi et al. High yield, single droplet electrode arrays for nanoscale printed electronics. *ACS Nano*, 4, 1451–1456.
- [28] Yong-Yong Noh et al. Downscaling of self-aligned, all-printed polymer thin-film transistors. *nature*, 2007.
- [29] Jason Doggart et al. Inkjet printing narrow electrodes with $<50 \mu\text{m}$ line width and channel length for organic thin-film transistors. *Appl. Phys. Lett.*, 2009.
- [30] Adam Neil Kensington. The physics and chemistry of surfaces. 3rd ed. 1941 Oxford University Press.

-
- [31] X. Xu et al. Criterion for reversal of thermal marangoni flow in drying drops. *Langmuir*, 26, 1918-1922, 2009.
- [32] Kara L. Mak et al. Fast evaporation of spreading droplets of colloidal suspensions. *Langmuir*, 27, 11347–11363, 2011.
- [33] Hua Hu et al. Marangoni effect reverses coffee-ring depositions. *J. Phys. Chem.*, 110, 7090-7094, 2006.
- [34] Robert D. Deegan et al. Capillary flow as the cause of ring stains from dried liquid drop. *Nature*, 389, 827-829, 1997.
- [35] M. Caironi and YY. Noh. Charge injection engineering of ambipolar field-effect transistors for high-performance organic complementary circuits. *ACS Appl. Mater. Interfaces*, 3, 3205-3214, 2011.
- [36] YY. Noh. Electron injection enhancement by a cs-salt interlayer in ambipolar organic field-effect transistors and complementary circuits. *J. Mater. Chem.*, 22, 16979 - 16985, 2012.
- [37] J.Genoe S.De Vusser and P.Heremans. Influence of transistor parameters on the noise margin of organic digital circuits. *IEEE Trans. Electron Devices*, 53(4) 601-610, 2006.