

# **Politecnico di Milano**

Scuola di Ingegneria Industriale e dell'Informazione

Corso di Laurea Specialistica in Ingegneria Elettronica

Dipartimento di Elettronica, Informazione e Bioingegneria



## **Improved Telemetry EBB**

Tesi di Laurea di: Flavio Felici  
matricola: 749843

Relatore: Prof. Michele Norgia

Anno Accademico 2012-2013



*su che andiamo..*

## Abstract

Il lavoro presentato in questo documento riguarda gli aspetti principali della progettazione e dimensionamento dell'interfacce di acquisizione e comunicazione per un prototipo di scheda di telemetria per satelliti. Viene inoltre presentata la progettazione di un software in linguaggio C per la programmazione del test equipment RASTA, apparecchiatura comunemente utilizzata per i test dei sistemi utilizzati in ambito spaziale.

La prima parte del documento è dedicata allo studio dei requisiti e alla loro traduzione in circuiti elettronici, mentre la seconda è focalizzata sulla realizzazione del software e dei test elettrici e funzionali della scheda realizzata.

# Indice

Abstract .....	1
<u>Indice .....</u>	<u>2</u>
<u>Elenco delle figure.....</u>	<u>3</u>
<u>Elenco delle tabelle .....</u>	<u>4</u>
<u>Capitolo 1 .....</u>	<u>5</u>
<u>La telemetria.....</u>	<u>5</u>
1.1 Introduzione alla Telemetria .....	5
1.2 Obbiettivi.....	7
<u>Capitolo 2 .....</u>	<u>9</u>
<u>Requisiti di progetto .....</u>	<u>9</u>
2.3 Interfaccia di Acquisizione Segnali Bi-Livello .....	16
2.4 Interfaccia di Acquisizione Segnali Switch.....	18
2.5 Interfaccia di Comunicazione 1553.....	20
<u>Capitolo 3 .....</u>	<u>27</u>
<u>Progetto delle Interfacce.....</u>	<u>27</u>
3.1 Progetto Interfaccia Acquisizione Segnali di Temperatura.....	29
3.2 Progetto Interfaccia Acquisizione Segnali Analogici .....	32
3.3 Circuito di Guadagno ed Offset variabile.....	35
3.4 Campionamento del Segnale .....	40
3.5 Interfaccia Segnali Bi-Livello .....	43
3.6 Interfaccia Segnali Switch.....	45
3.7 Interfaccia di Comunicazione Protocollo 1553.....	46
<u>Capitolo 4 .....</u>	<u>49</u>
<u>Programmazione Test Equipment RASTA .....</u>	<u>49</u>
4.1 RASTA 101 .....	50
4.2 Sistema Operativo Real-Time RTEMS .....	51
4.3 Gaisler IP CORE GR1553B .....	53
4.4 Creazione di una Lista di Descrittori Tramite il Driver Gaisler.....	57
<u>Capitolo 5 .....</u>	<u>60</u>
<u>Test Elettrici e Funzionali .....</u>	<u>60</u>

5.1 Test Interfacce .....	60
<u>Capitolo 6 .....</u>	<u>70</u>
<u>Conclusioni.....</u>	<u>70</u>
<u>Bibliografia.....</u>	<u>72</u>
<u>Ringraziamenti .....</u>	<u>73</u>
<u>Appendice.....</u>	<u>74</u>

## Elenco delle figure

Figura 2.2 Variazione Resistenza del termistore al variare della temperatura .	13
Figura 2.3 Acquisizione segnale di temperatura da termistore .....	14
Figura 2.4 Acquisizione double-ended segnali analogici.....	16
Figura 2.5 Schema acquisizione segnale BDM.....	18
Figura 2.6 Schema acquisizione segnali switch .....	19
Figura 2.7 Impedenza della stub al variare della lunghezza (@1MHz) .....	22
Figura 2.9 Tipologie word standard MIL-STD-1553.....	25
Figura 3.1 Funzione di trasferimento ad anello aperto op27.....	30
Figura 3.3 Schema amplificatore per strumentazione .....	33
Figura 3.4 Common Mode Rejection Ratio dell'INA utilizzato .....	34
Figura 3.5 Schematico esemplificativo interfaccia segnali analogici .....	34
Figura 3.7 Valori ideali resistenze circuito Guadagno/Offset variabile .....	37
Figura 3.7 Conversione in differenziale dell'uscita catene analogiche.....	41
Figura 3.8 Trasferimento circuito da single-ended a differenziale .....	42
Figura 3.9 Andamento segnale differenziale in ingresso ADC.....	42
Figura 3.11 Schematico essenziale dell'interfaccia bi-livello.....	44
Figura 3.12 Schematico essenziale acquisizione segnali switch.....	46
Figura 3.13 Accoppiamento al bus 1553 tramite trasformatore .....	48
Figura 4.1 RASTA 101 Test Equipment .....	51
Figura 4.2 IP core installati nell'FPGA a bordo della scheda di I/O.....	54
Figura 4.3 Struttura dei transfer e branch descriptor.....	55
Figura 4.4 Alcuni registri chiave per il core 1553 <sup>14</sup> .....	57
Figura 5.1 BC-RT 1553 command word (segnale positivo e negativo).....	61

Figura 5.2 Messaggio 1553 RT-BC con risultato acquisizione 0V.....	62
Figura 5.3 Messaggio 1553 RT-BC con risultato acquisizione 2.5V.....	63
Figura 5.4 Messaggio 1553 RT-BC con risultato acquisizione 5V.....	64
Figura 5.5 risultato acquisizione con $G=1$ e $OFF=1.75V$ .....	65
Figura 5.6 risultato acquisizione con $G=2$ e $OFF=1.75V$ .....	66
Figura 5.7 risultato acquisizione con $G=4$ e $OFF=1.75V$ .....	67
Figura 5.8 risultato acquisizione con $G=8$ e $OFF=1.75V$ .....	68

## Elenco delle tabelle

Tabella 2.1 Caratteristiche elettriche principali segnali di temperatura.....	15
Tabella 2.2 Caratteristiche elettriche principali segnali analogici .....	16
Tabella 2.3 Caratteristiche elettriche principali segnali bi-livello .....	18
Tabella 2.4 Caratteristiche elettriche principali segnali switch.....	19
Tabella 3.1 Valori nominali per i DAC di Guadagno e OFFSET .....	39
Tabella 5.1 Valori per DAC di guadagno ed offset su circuito reale .....	69

# Capitolo 1

## La telemetria

Con il termine telemetria si fa riferimento a tutti gli apparati tecnologici atti alla misurazione dei parametri di un sistema, e alla loro trasmissione. La parola infatti deriva dal Greco antico: tele-metron, letteralmente “misurazione a distanza”.

### 1.1 Introduzione alla Telemetria

Nell’accezione più moderna del termine la telemetria è solitamente un apparato elettronico installato a bordo di un sistema madre complesso, e che misura i valori di interesse del sistema.

I parametri fisici misurati dipendono molto dalla tipologia di sistema madre in cui la scheda di telemetria è installata, ma solitamente si tratta di valori come: temperatura, velocità, tensione, corrente, pressione, ecc.. ecc..

Tali misurazioni sono acquisite tramite l’ausilio di sensori sparsi nei punti chiave del sistema sotto monitoraggio, per essere poi trasmesse in un centro di raccolta per una loro successiva elaborazione.

Attraverso l’analisi dei dati di telemetria il progettista può avere una chiara idea del comportamento e dello stato del sistema nelle varie fasi di funzionamento. La telemetria svolge quindi un ruolo chiave nell’individuare

tempestivamente, o addirittura preventivamente, possibili malfunzionamenti o errori di progetto.

In ambito spaziale, ed in particolare riguardo ai satelliti, si intuisce facilmente come la telemetria sia uno degli aspetti chiave per il successo della missione.

In caso di avaria di un satellite è infatti molto complicato e costoso intervenire manualmente per effettuare la riparazione, se non addirittura impossibile. Monitorare da terra lo stato del satellite attraverso la telemetria ed eventualmente intervenire tempestivamente con comandi a distanza (noti come telecomandi) prima che il problema comprometta la missione, diventa allora di vitale importanza.

Per avere un quadro complessivo sullo stato di salute di un satellite si rende necessario monitorare una gran quantità di parametri, tra i quali si possono ricordare:

- tensione delle batterie di bordo
- stato dei relè nelle varie schede del computer di bordo
- tensioni di alimentazione
- temperatura all'interno del satellite
- acquisizione di segnali di controllo digitali

Tutti questi dati vengono acquisiti e spediti a terra dove, dopo una rielaborazione da parte dei calcolatori della stazione di controllo, vengono analizzati dagli addetti al mantenimento in orbita del satellite.

Con l'aumentare delle funzioni, e quindi della complessità dei componenti che compongono i satelliti di ultima generazione, la mole di dati da monitorare e rielaborare è diventata molto difficile da gestire dagli operatori che seguono lo stato del satellite dalla stazione di terra.

Infatti se da un lato per trasmettere a terra tutti i parametri acquisiti serve una quantità considerevole di banda, che quindi non può essere utilizzata per la trasmissione dei dati di missione, da un altro questa gran quantità di dati scaricati a terra rischia di "intasare" di informazioni gli addetti al controllo, facendo potenzialmente perdere di vista un' anomalia di funzionamento del satellite.

Ecco perché nasce da parte dell'ente spaziale europeo (ESA) l'esigenza di avere una nuova scheda di telemetria che, oltre a compiere le normali funzioni di acquisizione e raccolta dati, svolga anche un'elaborazione automatica dei dati "in loco", evitando un massiccio e costoso, in termini di tempo e risorse, monitoraggio umano. Aggiungendo capacità di elaborazione alla scheda di telemetria, la stragrande maggioranza delle misurazioni effettuate a bordo vengono elaborate autonomamente sul satellite stesso, evitando di intasare le preziose bande radio e trasmettendo a terra solo i dati di vitale importanza: focalizzando l'attenzione degli operatori di terra solo su eventuali anomalie di funzionamento.

## 1.2 Obiettivi

L'ESA ha commissionato ad una delle aziende leader nel settore aerospaziale, l'italo-francese Thales-Alenia Space il progetto di un'unità di elaborazione di telemetria con le capacità sopra descritte: il che si traduce nella programmazione di un FPGA.

Sarà l'FPGA a raccogliere ed opportunamente elaborare i dati raccolti dai sensori e gestire l'interfacciamento con il computer di bordo del satellite.

Tuttavia per far sì che l'FPGA possa essere sviluppata e testata è necessario progettare una scheda prototipo capace di acquisire dati ed interfacciarsi con il computer di bordo (o apparecchi che ne simulino il comportamento).

Scopo di questa tesi di laurea è collaborare al progetto ed al test della scheda prototipo, nel gergo chiamata Elegant Breadboard (EBB). In particolare il lavoro di chi scrive questo documento si basa su due aspetti chiave: il progetto ed il dimensionamento delle interfacce di acquisizione dati, e lo sviluppo di un software di test che simuli la comunicazione con il computer di bordo tramite interfaccia 1553.

La scheda prototipo è creata appositamente per ospitare e permettere il completo funzionamento e test dell'unità di elaborazione di Improved Telemetry richiesta dall'agenzia spaziale europea; per questo motivo il suddetto prototipo è chiamato Improved Telemetry EBB.

Tuttavia all'interno di questo documento per fare riferimento alla scheda di telemetria nel suo complesso la si chiama semplicemente TMU (Telemetry Unit).

Il lavoro di tesi è avvenuto presso la sede di Milano della Thales-Alenia Space, lavorando a stretto contatto con il team di progetto dell'FPGA e rispettando le specifiche e standard dell'European Cooperation for Space Standardization (ECSS).

## Capitolo 2

### Requisiti di progetto

I principali requisiti della TMU si basano sul numero e sul tipo di interfacce di acquisizione e sul protocollo di comunicazione usato per scambiare dati con il computer di bordo. Questi requisiti rispecchiano le esigenze standard per una scheda di telemetria in ambito spaziale.

I requisiti del progetto richiedono che la scheda di telemetria possa essere in grado di acquisire:

- canali analogici differenziali
- canali analogici di temperatura
- canali bi-livello
- canali switch

Per quanto riguarda sia i canali analogici differenziali che i canali analogici di temperatura è richiesto che la scheda di telemetria possa acquisire con un guadagno ed un offset variabile.

Questa è una peculiarità di quest'unità e tale caratteristica permette una maggior versatilità di acquisizione: è infatti possibile, in caso di segnali con piccola escursione, applicare un'amplificazione: in tal modo si può garantire che il segnale sfrutti appieno la dinamica d'ingresso dell'ADC. Questo

permette di non perdere performance in termini di precisione di acquisizione quando vengono campionati segnali analogici caratterizzati da piccole variazioni attorno al valor medio. Mentre il requisito sull'offset variabile consente, applicando un offset opportuno, di portare a centro dinamica il segnale acquisito. In tal modo, amplificando il segnale, si possono apprezzare piccole variazioni del segnale attorno al suo valor medio, sempre rispettando la dinamica d'ingresso dell'ADC.

C'è da notare che questa tecnica è applicabile poiché i segnali di telemetria che saranno acquisiti hanno un comportamento ben noto: si tratta infatti di valori di tensione che rispecchiano le tensioni delle batterie bordo o della lettura di sensori di temperatura. E' quindi chiaro che proprio per loro natura questi segnali non subiranno variazioni di livello veloci e che rispetteranno sempre vincoli di range ben definiti.

Inoltre è bene puntualizzare che pur applicando un guadagno i segnali, la performance della catena di acquisizione in termini di SNR non migliorano: infatti amplificando il segnale viene di pari passo amplificato anche il rumore ad esso associato.

Ciò nonostante, la caratteristica di poter sempre sfruttare appieno la dinamica d'ingresso dell'ADC è un visto come un grosso vantaggio per questo tipo di unità.

Come già menzionato in precedenza, di tutta la mole di dati acquisiti e poi elaborati dall'FPGA, solo quelli rilevanti vengono passati al computer di bordo per poi essere trasmessi. E' richiesto che la TMU utilizzi lo standard 1553 per effettuare tale comunicazione. Questo standard, originariamente utilizzato per soli scopi militari dal dipartimento della difesa americano, per via della sua grande affidabilità, robustezza ed immunità dai disturbi, è ormai stato assimilato nell'industria aerospaziale.

Questi sono, ad un alto livello, i requisiti fondamentali del prototipo di scheda di telemetria progettato. Si possono quindi delineare i blocchi fondamentali che compongono il progetto; tali blocchi sono evidenziati in figura 2.1

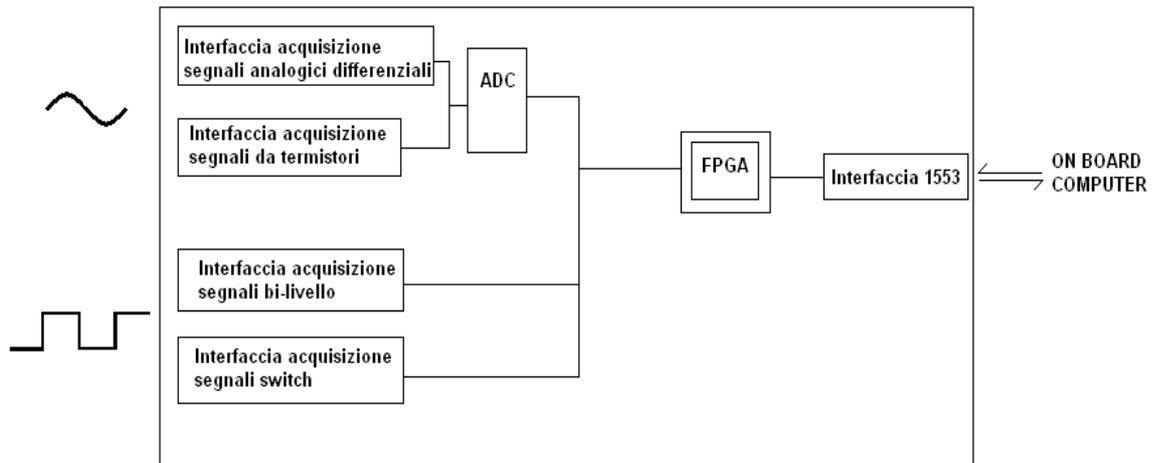


Figura 2.1 SCHEMA A BLOCCHI TMU

## 2.1 Interfaccia di acquisizione segnali di temperatura

Come già accennato, il monitoraggio della temperatura è una caratteristica molto comune tra le schede di telemetria nei più svariati ambiti ingegneristici. Anche in ambito spaziale è molto importante avere un monitoraggio costante e preciso delle temperature raggiunte sia all'interno che all'esterno del satellite. A causa dell'ambiente estremo in cui si trova ad operare il satellite, sia si trovi orbitando attorno alla terra (quindi in un orbita bassa - Low Earth Orbit - LEO) sia si trovi in orbita stazionaria rispetto alla terra (quindi ad una grande distanza superficie terrestre -High Earth Orbit - HEO), il range di temperatura a cui sono sottoposti i componenti esterni al satellite, ma anche interni, è critico e molto stressante gli apparati elettronici. Infatti a seconda dell'orientamento del satellite rispetto al sole, alcune sue superfici irraggiate dai raggi solari possono raggiungere temperature del centinaio di gradi centigradi sopra lo zero, mentre allo stesso tempo tutte le altre superfici in ombra possono essere a svariate decine di gradi sotto lo zero. I componenti all'interno del satellite, pur risentendo di queste variazioni estreme di temperatura dello scudo esterno, grazie allo scambio di calore tra i vari componenti risentono meno delle variazioni e tendono ad avere una temperatura più costante. Ciò nonostante, è obbligatorio che tutti i componenti elettronici utilizzati all'interno del satellite

debbano avere un funzionamento garantito nel range di temperatura che generalmente va  $-50^{\circ}\text{C}$  ai  $+120^{\circ}\text{C}$ .

C'è da notare che, a differenza dell'elettronica sviluppata per le applicazioni terrestri, non essendoci aria attorno ai componenti elettronici del satellite, questi non possono dissipare calore per convezione, ma solo per conduzione ed irraggiamento. Ecco perchè è bene che tutti i componenti interni al satellite e lo scudo esterno siano termicamente collegati tra loro, in tal modo il calore sia dovuto all'irraggiamento solare di un lato del satellite, sia dovuto alla dissipazione di calore dei componenti elettronici interni, è condiviso con l'intera massa del satellite e quindi la temperatura risultante risulta mediata e quindi più bassa.

Ciò detto, si comprende come il monitoraggio della temperatura sia un aspetto fondamentale per la scheda di telemetria. Visto il grande range di temperatura in cui la misurazione deve essere effettuata, visto il criterio di elevata affidabilità necessaria in ambito spaziale e dato che la risoluzione di misura richiesta è dell'ordine di un grado centigrado (non quindi ad alta risoluzione), la tecnica utilizzata per rilevare la temperatura è quella di monitorare la tensione di un termistore.

Il termistore è essenzialmente una resistore, il cui valore di resistenza varia linearmente (o per lo meno idealmente) con la temperatura. Polarizzando il termistore con una tensione (o corrente) nota e leggendo la differenza di potenziale ai suoi capi, si può risalire alla temperatura del componente. Essendo il componente stato posizionato a contatto termico con la zona del satellite di cui si è interessati alla temperatura, monitorando la tensione ai capi del resistore si ha una misurazione della temperatura d'interesse. Generalmente i termistori si dividono in due grandi famiglie: PTC e NTC; i primi, Positive Temperature Coefficient sono dei componenti la cui resistenza aumenta con l'aumentare della temperatura (proprio come un normale resistore, dove l'aumento della temperatura causa un incremento dell'energia media degli elettroni e quindi un aumento della velocità del loro moto libero casuale, aumentandone gli scontri e quindi la resistenza al passaggio di corrente elettrica); mentre i Negative Temperature Coefficient sono dei termistori

realizzati con dei materiali semiconduttori dove l'aumento di temperature aumenta la promozione di elettroni in banda di conduzione, facilitando maggiormente il passaggio di corrente e quindi diminuendo la resistenza elettrica del componente.

In figura 2.2<sup>4</sup> è possibile vedere la caratteristica di un termistore comunemente utilizzato in ambito spaziale.

### RESISTANCE V TEMPERATURE TABLE

Temp. °C	Ohms	Temp. °C	Ohms	Temp. °C	Ohms	Temp. °C	Ohms
-60	1,342,000	20	18,410	62	3,894	106	1,065
-55	957,000	22	16,950	64	3,647	108	1,011
-50	690,000	24	15,620	66	3,419	110	959.5
-45	503,700	25	15,000	68	3,206	112	911.3
-40	371,300	26	14,410	70	3,009	114	866.0
-35	276,200	28	13,310	72	2,826	116	823.3
-30	207,500	30	12,300	74	2,657	118	783.2
-25	157,200	32	11,370	76	2,498	120	745.3
-20	120,100	34	10,530	78	2,351	122	709.7
-15	92,600	36	9,756	80	2,213	124	675.9
-10	71,940	38	9,047	82	2,085	126	644.3
-5	56,310	40	8,397	84	1,965	128	614.3
0	44,420	42	7,800	86	1,853	130	585.9
2	40,490	44	7,253	88	1,749	132	559.0
4	36,930	46	6,747	90	1,652	134	533.8
6	33,740	48	6,282	92	1,560	136	509.9
8	30,840	50	5,855	94	1,475	138	487.0
10	28,230	52	5,460	96	1,395	140	465.5
12	25,860	54	5,096	98	1,320	145	416.7
14	23,720	56	4,758	100	1,250	150	373.6
16	21,780	58	4,448	102	1,185	160	302.4
18	20,010	60	4,160	104	1,123		

Figura 2.2 Variazione Resistenza del termistore al variare della temperatura

Come già menzionato, la lettura del termistore può avvenire con un circuito essenziale, semplicemente monitorando la differenza di potenziale ai capi del termistore. La tensione rilevata viene quindi campionata da un ADC il cui output viene fornito all' FPGA che, in fase di programmazione è stato fornito della caratteristica del termistore in uso, attraverso una semplice elaborazione della tensione campionata dell'ADC può risalire alla temperatura del termistore.

In figura 2.3 è possibile vedere schematicamente due possibili circuiti per l'acquisizione del segnale dal termistore.

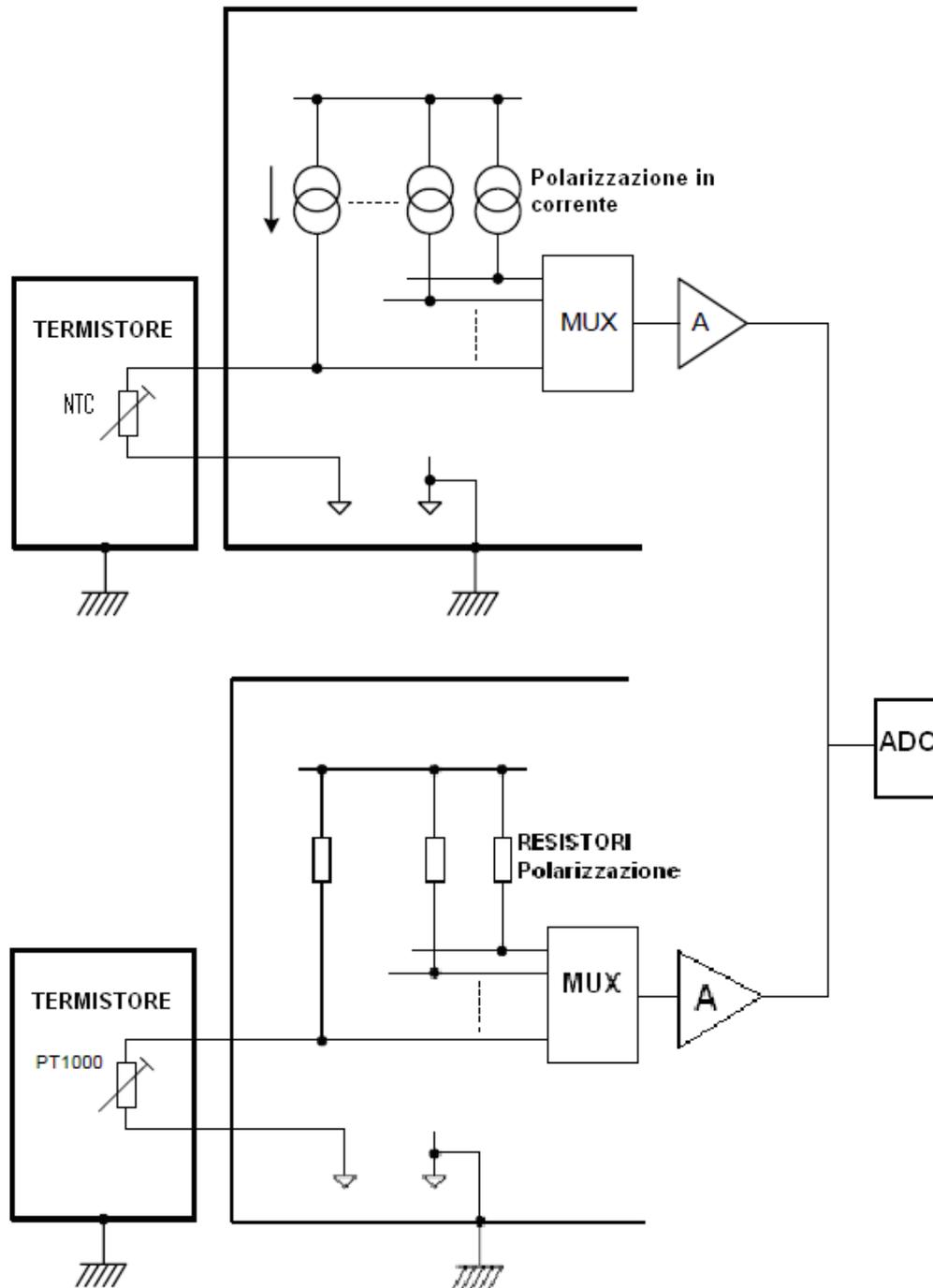


Figura 2.3 Acquisizione segnale di temperatura da termistore

Da notare che è la stessa scheda di telemetria a fornire alimentazione e riferimento di massa per la polarizzazione del termistore, è quindi necessaria solo una lettura single-ended della tensione del componente.

Le caratteristiche elettriche richieste per l'acquisizione dei segnali di temperatura sono riassunte nella tabella 2.1. La TMU è stata progettata utilizzando come linee guida e rispettando tali requisiti.

Range di tensione	0÷5 V
Banda del segnale	1 Hz
Impedenza d'ingresso catena acquisizione	>1 M $\Omega$
Tipo di acquisizione	Single-Ended
Errore massimo catena acquisizione	1%

Tabella 2.1 Caratteristiche elettriche principali segnali di temperatura

## 2.2 Interfaccia di Acquisizione Segnali Analogici

La TMU deve anche essere in grado di acquisire segnali analogici: infatti è sotto forma di questo tipo di segnale che viene monitorata la tensione delle batterie di bordo, la tensione dei pannelli solari, i livelli delle alimentazioni ecc.. ecc..

Per evitare che il modo comune o eventuali disturbi alterino la misura di tensione rilevata, è richiesto l'acquisizione di questo segnale sia di tipo double-ended. In questo modo lo stadio d'ingresso differenziale dell'amplificatore che riceve il segnale in ingresso alla TMU reietterà qualsiasi livello di tensione comune tra i due conduttori del segnale. Nella figura 2.4 è schematicamente illustrata l'acquisizione di segnali analogici in configurazione double-ended.

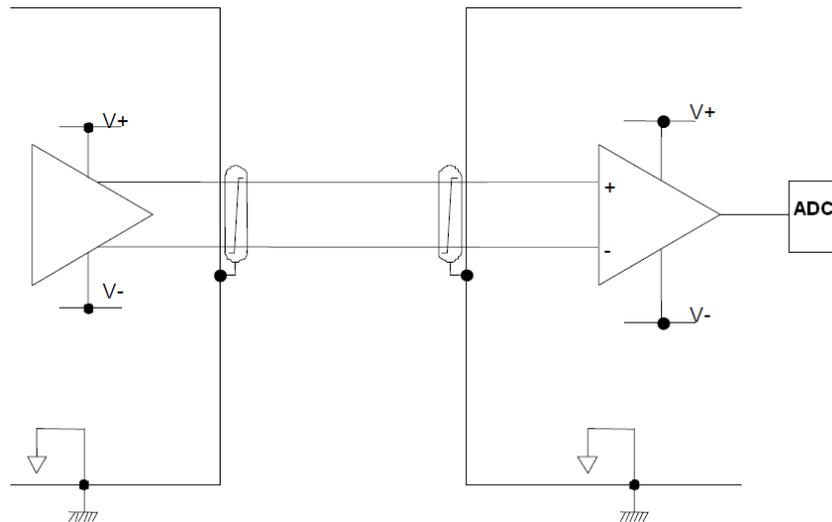


Figura 2.4 Acquisizione double-ended segnali analogici

I segnali da acquisire con questo tipo di interfaccia, data la loro natura di "tensioni di monitoraggio" sono lentamente variabili nel tempo e hanno un range di variazione ben definito.

La tabella 2.2 riassume le caratteristiche elettriche principali dell'interfaccia di acquisizione dei segnali analogici.

Range di tensione	0÷5 V
Banda del segnale	1 Hz
Impedenza d'ingresso differenziale catena acquisizione	>1 MΩ
Tipo di acquisizione	Double-Ended Differenziale
Errore massimo catena acquisizione	1%

Tabella 2.2 Caratteristiche elettriche principali segnali analogici

## 2.3 Interfaccia di Acquisizione Segnali Bi-Livello

L'interfaccia per segnali bi-livello ha il compito di monitorare delle tensioni che possono assumere esclusivamente due valori: un livello logico alto (nominalmente pari a 5V) e un livello logico basso (nominalmente 0V). Questa

interfaccia è richiesta nella scheda di telemetria perchè attraverso questi livelli di tensione discreti le varie schede elettroniche che compongono il satellite possono comunicare le loro status alla scheda di telemetria. Certamente, essendoci solo due livelli di tensione ammessi, l'informazione comunicata è essenzialmente di tipo "ON/OFF" ed è quindi utile solo per un monitoraggio ad alto livello; infatti per monitorare lo stato di una periferica la scheda di telemetria comanda periodicamente l'acquisizione del livello di tensione del canale bi-livello e lo comunica all'FPGA per la conseguente elaborazione.

Per far sì che eventuali interferenze e disturbi possano alterare la lettura di tensione, la scheda di telemetria interpreta come valore di 1 logico non solo la tensione nominale di 5V, ma il range di tensione che va da 2.3V fino a 5V. Analogamente viene interpretata come zero logico una il range di tensione che va da 0 fino a 0.9V.

Per evitare che eventuali modi comuni possano falsare la tensione nel percorso tra la scheda che comunica il proprio status e la scheda di telemetria che lo legge, l'interfaccia bi-livello è double ended: ogni canale di questa interfaccia è composto da due conduttori, uno che trasporta il segnale di tensione e l'altro che porta il riferimento di massa. Infatti questo evita che differenze nel livello del riferimento di massa tra schede periferiche e scheda di telemetria possano creare false letture.

In figura 2.5 è possibile vedere schematicamente un tipico circuito per l'acquisizione dei segnali bi-livello.

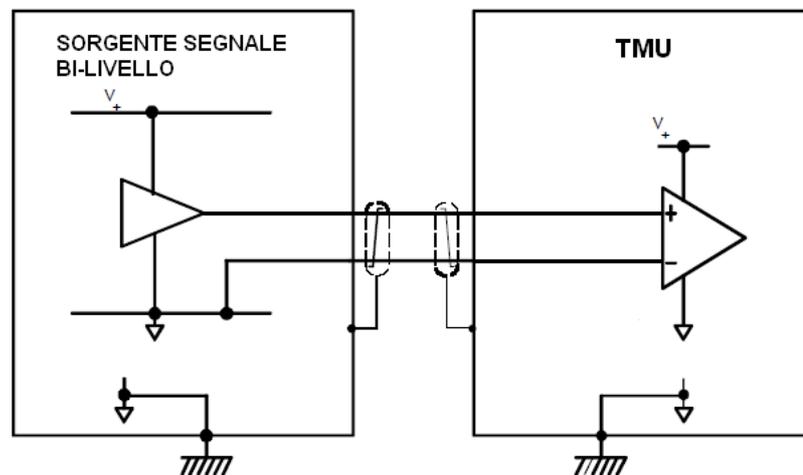


Figura 2.5 Schema acquisizione segnale BDM

Le caratteristiche elettriche principali dell' interfaccia bi-livello sono riassunte nella tabella 2.3

Livello nominale tensione 0 logico	0 V
Livello nominale tensione 1 logico	5 V
Range di tensioni interpretate come 0 logico	0-0.9V
Range di tensioni interpretate come 1 logico	2.3-5V
Tipo di interfaccia	Double-Ended

Tabella 2.3 Caratteristiche elettriche principali segnali bi-livello

## 2.4 Interfaccia di Acquisizione Segnali Switch

L'interfaccia per segnali switch è utilizzata per monitorare lo stato dei relè del satellite. Infatti alcune schede del satellite, o alcuni componenti presenti in esse, comunicano il proprio status attraverso lo stato di relè. Risulta quindi utile avere un tipo di interfaccia adatta a campionare lo stato di questi componenti per trarne informazioni utili. I relè essenzialmente sono degli interruttori che possono quindi avere solo due stati di funzionamento: circuito aperto o circuito chiuso. Dal punto di vista elettrico quindi, l'interfaccia per acquisire l'informazione di un relè aperto deve rilevare una situazione di alta impedenza (spesso i relè sono in pull-up e quindi a questo stato è associata una tensione positiva, generalmente +5V). Invece nel caso in cui il relè è chiuso l'interfaccia vedrà una bassa impedenza (spesso il relè si chiude verso massa e quindi a questo stato è associata la tensione di massa). I relè sono componenti spesso utilizzati quando serve un interruttore di tipo meccanico, che quindi può sopportare correnti elevate con bassa caduta di potenziale. Di contro i relè hanno una massima frequenza di switching relativamente bassa comparata ai transistor di potenza. Il comportamento elettrico dei relè è equivalente ai circuiti che terminano in open collector, dove appunto gli stati dell'uscita possono essere generalmente o bassa o altissima impedenza. Quindi questo tipo

di interfaccia è adatta sia ad acquisire informazioni da relè sia da circuiti open collector.

Per evitare possibili differenze tra i livelli di massa tra la scheda che ospita il relè e la scheda di telemetria che campiona il livello di tensione del segnale, quest'interfaccia è composta da due conduttori, uno che è connesso in pull-up all'alimentazione (della scheda di telemetria) e l'altro connesso al riferimento di massa della scheda di telemetria. In questo modo entrambe i poli dell'interruttore sono riferiti ai livelli di tensione della scheda che campiona la tensione, evitando false letture.

In figura 2.6 è possibile vedere schematicamente un tipico circuito per l'acquisizione dei segnali switch.

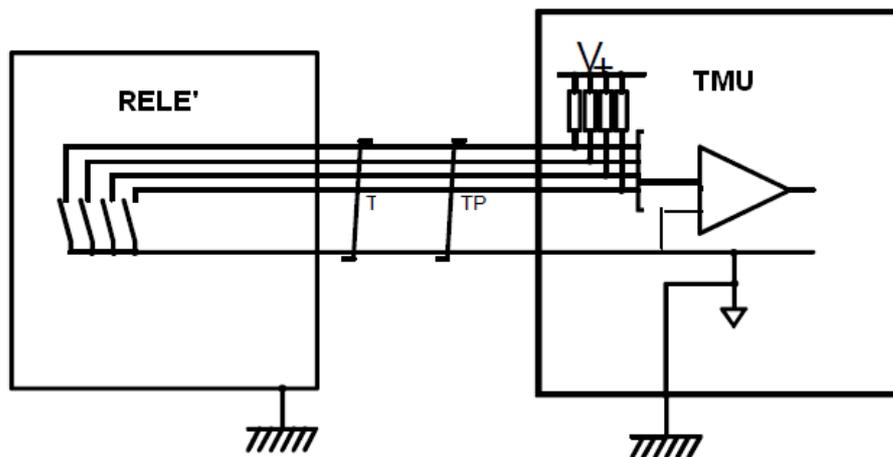


Figura 2.6 Schema acquisizione segnali switch

Le caratteristiche elettriche principali dell' interfaccia switch sono riassunte nella tabella 2.4

Impedenza stato aperto	$> 1M\Omega$
Impedenza stato chiuso	$< 50\Omega$
Corrente massima stato chiuso	10mA
Tipo interfaccia	Double-Ended

Tabella 2.4 Caratteristiche elettriche principali segnali switch

## 2.5 Interfaccia di Comunicazione 1553

Il MIL-STD-1553 è uno protocollo di comunicazione standard pubblicato dal Dipartimento della Difesa Americano (DOD) che definisce le caratteristiche meccaniche, elettriche e funzionali di un bus di dati seriale. Fu originariamente progettato per un uso prettamente dedicato all'aviazione militare ma, vista la sua grande affidabilità, è stato con il tempo adottato anche dall'esercito, marina e anche in ambito spaziale (sia militare che civile). Il bus è composto da due coppie di conduttori: una coppia nominale e l'altra ridondata. Normalmente i dati vengono scambiati su una sola coppia di conduttori in funzionamento nominale, lasciando la seconda coppia funzionare solo in caso di malfunzionamento della prima. Ma è anche possibile usare entrambe i bus contemporaneamente per fare una doppia verifica dei dati ricevuti. Vista la grande affidabilità dello standard, sia in termini di hardware che di protocollo, dalla sua prima pubblicazione nel 1973 è stato largamente utilizzato nei velivoli utilizzati nelle missioni più critiche. Per citarne alcuni si ricordano, in ordine cronologico: l'F-16 Falcon (aviazione americana), l'F15 Eagle (aviazione americana), l'AH-64 Apache (esercito americano), l'F-18 Hornet (marina americana), ma anche dallo Svedese Saab JAS 39 ed addirittura dal russo MIG-35. Con il passare del tempo lo standard si è leggermente evoluto, con le modifiche applicate dal MIL-STD-1553A e successivamente al MIL-STD-1553B, che è la versione corrente ancora in uso tutt'oggi. Tuttavia le principali modifiche tra le varie versioni dello standard si concentrano più su aspetti di protocollo che dal punto di vista di caratteristiche elettriche.

Come accennato il bus consiste in una coppia di conduttori con impedenza caratteristica  $Z_0$  che può essere compresa tra i 70 e gli 85  $\Omega$  ad una frequenza di 1MHz, che è la frequenza di funzionamento dello standard. Spesso i connettori utilizzati sono di tipo "twinax", i quali consistono in un cavo coassiale intrecciato e schermato (lo standard specifica il numero di "rotazioni" del cavo per piede di lunghezza e la percentuale minima di schermatura del cavo). Pur essendo i conduttori schermati, data la grande affidabilità necessaria

a questo tipo di standard, per garantire immunità ad eventuali disturbi elettromagnetici i segnali che viaggiano sul bus sono trasmessi con Codifica Manchester. I dati infatti non sono codificati per livelli di tensione, ma bensì per transizioni di livello, dando così poca importanza al livello logico letto dal ricevitore ma piuttosto alla sua transizione. Questo garantisce un ottima immunità ai disturbi elettromagnetici anche negli ambienti operativi più critici. Il bus è terminato con dei resistori delle stessa impedenza caratteristica dei conduttori, sul quale vengono ad inserirsi gli elementi che devono comunicare. In particolare possono esistere due tipi di inserzioni: per accoppiamento diretto e per accoppiamento tramite trasformatore. L'accoppiamento diretto è da utilizzarsi quando l'elemento che si vuole agganciare al bus non è più lontano di 1 piede di stanza, mentre se la connessione tra elemento e bus è maggiore un accoppiamento tramite trasformatore deve essere utilizzato. Questo perché più il cavo di connessione tra elemento e bus (anche chiamato "stub") è lungo, più la sua impedenza decresce a causa del parassitismo capacitivo tra i due conduttori. Attaccando al bus in modo diretto una stub troppo lunga inserirebbe una bassa resistenza in parallelo al bus, inibendo il funzionamento del bus stesso. Per tal ragione per stub maggiori di 1 piede viene richiesto l'utilizzo di un trasformatore che aumenti l'impedenza della stub vista dal bus. In figura 2.7<sup>1</sup> è possibile notare l'andamento dell'impedenza di una stub al variare della sua lunghezza a causa della capacità tra i due conduttori.

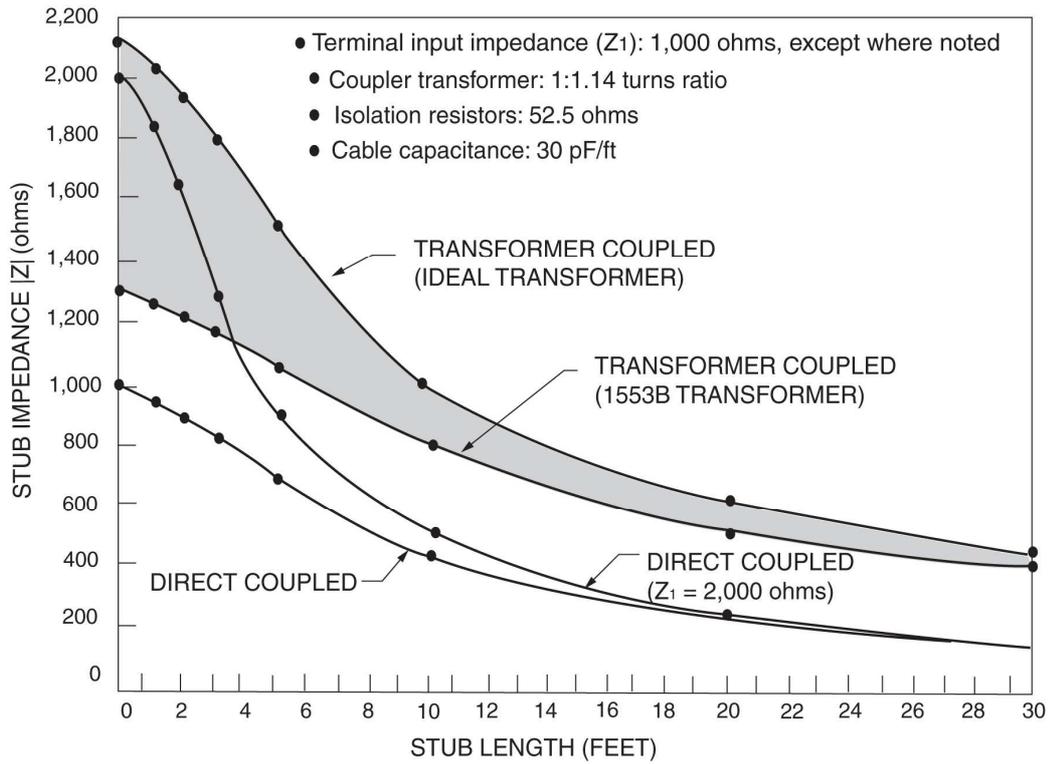


Figura 2.7 Impedenza della stub al variare della lunghezza (@1MHz)

I due tipi di collegamento con il bus sono riassunti in figura 2.8<sup>2</sup>

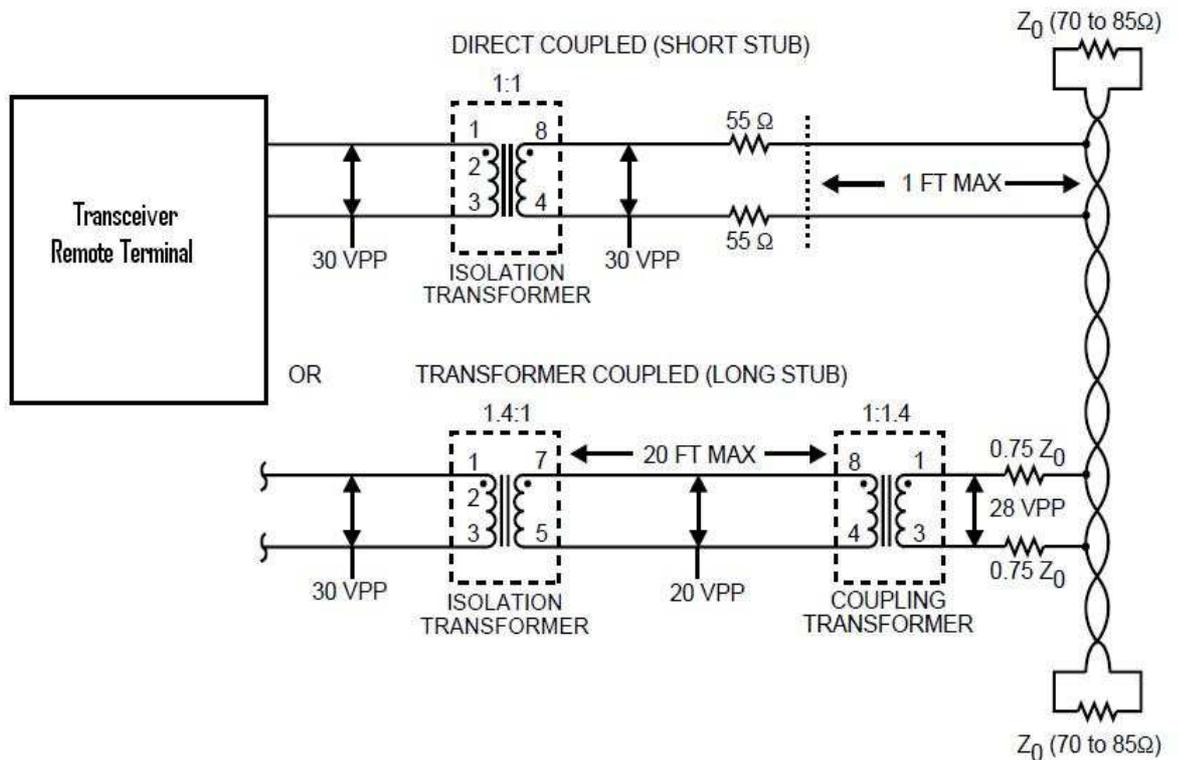


Figura 2.8 Accoppiamento diretto e tramite trasformatore

Lo standard prevede che solo tre tipologie di circuiti si possano collegare al bus: il Bus Controller (o BC), il Remote Terminal (o RT) e il Bus Monitor.

Il Bus Controller è l'elemento chiave del protocollo: ci può essere un solo bus controller ed è questo componente che gestisce tutte le comunicazioni e i tempi. Infatti le operazioni svolte dal bus controller sono:

Esegue la lista di comandi 1553 (comandata da un unità di elaborazione a monte, tipicamente microprocessore o FPGA)

Comanda i Remote Terminal di mandare o ricevere messaggi

Gestisce ogni eventuale segnalazione di errore dai Remote Terminal

C'è da notare che pur potendoci essere solo un bus controller lo standard prevede un meccanismo per il quale in caso di "failure" del bus controller (rottura hardware) un altro componente possa essere attivato al posto del circuito rotto (handover to a backup).

Il Remote Terminal è l'interlocutore del bus controller, è il componente che risponde a tutte le richieste del bus controller provvedendo da interfaccia ai

sottosistemi a cui è collegato. Nel bus ci possono essere fino a 31 diversi remote terminal. C'è da notare che ogni comunicazione deve essere iniziata dal bus controller, i remote terminal possono solo rispondere se interpellati.

Il Bus Monitor è un elemento passivo nel bus, ha il solo scopo di monitorare e registrare tutti i dati trasmessi nel bus, senza interferire in alcun modo. Tutti i dati transitati nel bus (sia le richieste del bus controller che le risposte dei vari remote terminal) possono essere registrate per l'elaborazione dei dati e statistiche sul funzionamento del bus. Tuttavia, data l'eventuale grande mole di dati, spesso si preferisce far registrare al bus monitor solo dei sottoinsiemi di comunicazioni, in modo da registrare solo ciò che è effettivamente utile ai fini di analisi.

Sul bus vengono trasmessi dati in messaggi di massimo 32 data word, da 16 bit ognuna (più bit di sincronismo e bit di parità). Tutte le trasmissioni che avvengono sul bus sono riconducibili a solo tre tipi di messaggio:

Command Word

Data Word

Status Word

La command word è la parola che il bus controller usa per comandare una lettura o scrittura ad uno o tutti i remote terminal (in caso di messaggio broadcast). Nella command word sono specificate tutte le informazioni riguardanti il trasferimento da effettuare: direzione (se i dati andranno dal bus controller al remote terminal, o viceversa), il numero di data word che saranno trasmesse, il remote terminal che effettuerà il trasferimento e il codice del comando associato al trasferimento (anche chiamato subaddress).

La data word è composta dai dati, e come detto ci possono essere al massimo 32 data word in successione, dove ognuna è sempre composta da 16 bit di dati.

La status word è una parola che ogni remote terminal, una volta interpellato dal bus controller, trasmette per comunicare le informazioni sul suo status, appunto. Ad ogni comunicazione che il bus controller fa con un remote terminal, deve essere seguita in risposta una status word dal remote terminal interpellato: se il bus controller non riceve una status word entro un tempo

predeterminato (configurabile come RT timeout, comunque dell'ordine della decina di microsecondi) il bus controller assume che il RT è guasto. Questo meccanismo garantisce che il bus controller può sapere in ogni istante quanti remote terminal attivi e funzionanti ci sono sul bus.

C'è da notare che in caso il bus controller voglia mandare un messaggio contemporaneamente a tutti i remote terminal (anche chiamato messaggio di broadcast), questi non rispondono con nessuna status word. Infatti se tutti i remote terminal sul bus mandassero contemporaneamente sul bus la propria status word si avrebbe una incomprensibile sovrapposizione di dati.

Tutti e tre i tipi di word presenti nello standard sono preceduti da una transizione predeterminata di sincronismo: questa transizione non rispetta la codifica Manchester come il resto della word e serve solo per far agganciare la fase del clock dei remote terminal con la fase del clock del bus controller che ha generato il messaggio. In questo modo i clock di BC e RT sono in fase e i dati correttamente interpretati.

In figura 2.9<sup>3</sup> è possibile vedere la struttura delle tre word dello standard 1553.

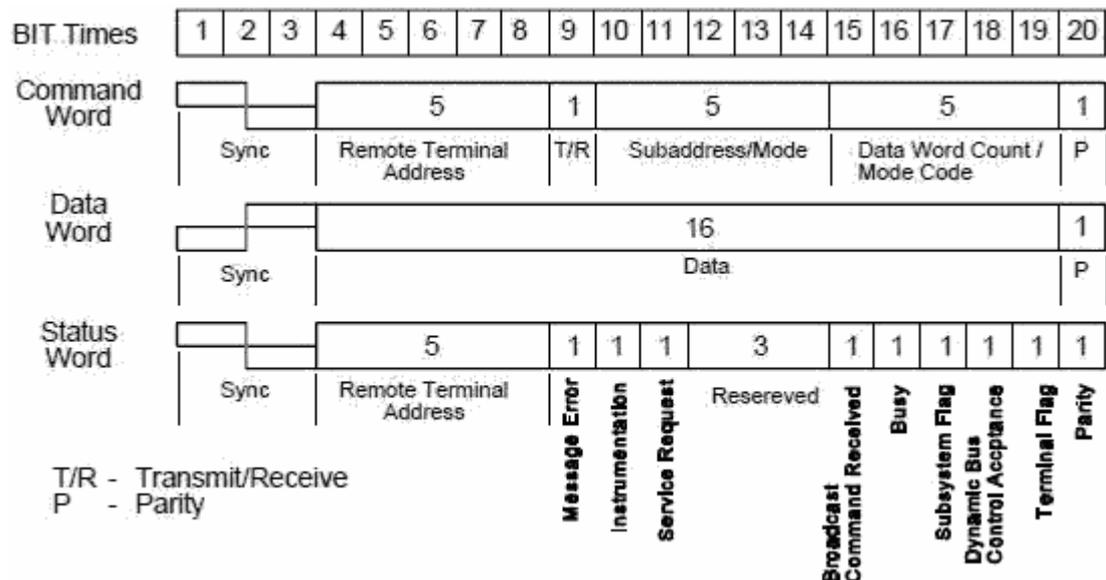


Figura 2.9 Tipologie word standard MIL-STD-1553

Da notare come il pattern di sincronismo sia diverso per la data word rispetto alla command e status word. Essendo il clock dello standard a 1MHz la durata

di ogni bit è  $1\mu\text{s}$ , tranne per il pattern di sincronismo che dura in totale  $3\mu\text{s}$  e non rispetta la codifica Manchester.

Si nota inoltre come tutte le informazioni sul messaggio da trasmettere/ricevere siano compattate nella command word, mentre la data word contiene sono dati. Nella status word, invece, sono presenti tutte le informazioni sullo status del remote termina, oltre all'indirizzo del RT che ha trasmesso la word stessa.

## Capitolo 3

### Progetto delle Interfacce

Nei capitoli precedenti si è evidenziato come le esigenze di per una nuova scheda di telemetria si siano poi tradotte nei requisiti del progetto. Come già accennato nel capitolo introduttivo, questo lavoro di tesi si occupa del progetto di un prototipo (in gergo chiamato EBB) e la parte dedicata all'elaborazione dei dati acquisiti risiede tutta nell'FPGA -quindi avulsa dal progetto dell'hardware.

Ciò nonostante, nella scelta dei componenti hardware sia per l'acquisizione e lo storage dei dati, sia per l'interfacciamento con il computer di bordo, è sempre stato tenuto a mente un possibile futuro proseguimento del progetto in una scheda adatta al volo nello spazio. Se infatti già il progetto del prototipo impiega solo componenti disponibili anche in versione "rad hard" (cioè resistenti alle radiazioni) e funzionanti nei range di temperatura tipici dell'ambiente spaziale, il passaggio da prototipo a scheda di volo sarà molto più semplice e tutte le problematiche emerse in fase di prototipo possono essere evitate a priori.

E' utile ricordare che ogni nuova scheda elettronica presente nel satellite deve passare attraverso cinque stadi di sviluppo:

EBB: Elegant Breadboard. Rappresenta un vero e proprio prototipo della scheda. In questa fase si sperimenta il design e si risolvono eventuali problematiche.

EM: Electrical model. Si consolida il progetto usato nell'EBB e lo si implementa con un layout elettrico adatto al volo nello spazio.

EQM: Electrical Qualification Model. E' una copia del EM ma realizzata con componenti adatti al volo nello spazio. Questo modello viene utilizzato per qualificare al volo spaziale la scheda (prove di termo-vuoto e integrazione con gli altri componenti del satellite).

PFM: Pre-Flight Model. Rappresenta una vera e propria copia di una scheda che andrà nel satellite. Viene utilizzata per avere una copia a terra delle schede in volo nello spazio.

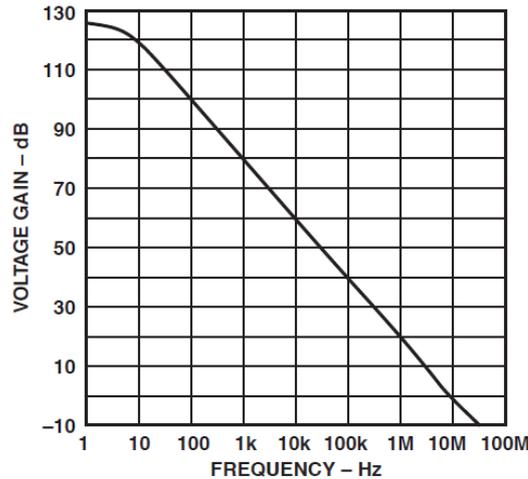
FM: Flight Model. E' la scheda che va a bordo del satellite.

I componenti elettronici utilizzati dall'EQM in poi devono essere componenti qualificati al volo spaziale: devono essere componenti capaci di continuare a funzionare in range di temperatura estremi, resistere a forti accelerazioni, depressurizzazioni, vibrazioni e soprattutto sopportare le radiazioni tipiche dell'ambiente spaziale. Le radiazioni ionizzanti infatti rappresentano una forte minaccia per i sistemi elettronici: una singola particella carica di energia ionizzante che colpisce un circuito integrato potrebbe alterare lo stato di un bit, generando un errore potenzialmente catastrofico. Questa situazione viene descritta con l'espressione "Single Event Upset" (o SEU), ed è particolarmente grave nel caso tale evento si verifichi all'interno di una memoria (un dato corrotto nella memoria di boot ha conseguenze disastrose) o se avviene nella macchina a stati di un microprocessore (il quale potrebbe andare in uno stato non consentito, quindi senza uscita e bloccarsi). Inoltre, viene anche richiesto che i circuiti possano resistere alla radiazione integrale assorbita negli anni di vita nello spazio: se immaginiamo che la vita media di un satellite si attesta almeno attorno ai cinque anni, la quantità di radiazioni assorbita è rilevante e porta ad un graduale degradamento delle performance del componente elettronico.

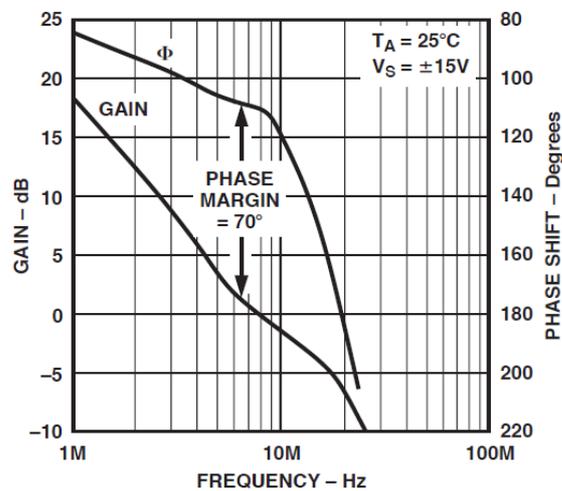
I componenti qualificati al volo spaziale purtroppo rappresentano solo una piccolissima sottoclasse dell'elettronica presente nel mercato, quindi è perizia del progettista hardware progettare circuiti funzionanti solo con un limitato sottoinsieme di componenti.

### 3.1 Progetto Interfaccia Acquisizione Segnali di Temperatura

Quest'interfaccia deve essere di tipo single-ended, con alta impedenza d'ingresso, acquisire un valore di tensione lentamente variabile (banda 1 Hz) e con range 0-5V. Le caratteristiche richieste per questo tipo di interfaccia sono facilmente soddisfatte con l'utilizzo di un normale amplificatore operazionale compensato in configurazione buffer. E' importante che l'amplificatore operazionale scelto sia compensato internamente: con un  $\beta$  di retroazione pari ad 1 per non avere instabilità il secondo polo dell'operazionale deve per forza trovarsi ad una frequenza superiore all'attraversamento del guadagno ad anello aperto con l'asse a 0dB. Amplificatori operazionali compensati internamente e qualificati al volo spaziale esistono, tuttavia per la scheda prototipo è possibile utilizzare un componente commerciale facilmente reperibile, la scelta è ricaduta su l'Op27 prodotto dall'Analog Devices per le sue doti di basso rumore e basso offset. In figura 3.1<sup>5</sup> è possibile vedere la funzione di trasferimento in frequenza dell'amplificatore operazionale (si nota che il secondo polo non ricade prima dell'attraversamento con l'asse 0dB) e lo sfasamento dell'uscita in funzione della frequenza (si nota che per il guadagno unitario lo sfasamento dell'uscita vale circa  $170^\circ$ , quindi retro azionando negativamente l'opAmp si avrà uno sfasamento complessivo di  $180^\circ - 110^\circ = 70^\circ$ , quindi un comportamento asintoticamente stabile).



TPC 16. Open-Loop Gain vs. Frequency



TPC 18. Gain, Phase Shift vs. Frequency

Figura 3.1 Funzione di trasferimento ad anello aperto op27

Per quanto riguarda la polarizzazione del termistore è stata scelta una polarizzazione in tensione: scegliendo un valore di resistenza di polarizzazione di valore prossimo al valore di resistenza che ha un termistore di tipo G15K4D489 (tipicamente usato in ambito spaziale) alla temperatura ambiente (dato che il prototipo sarà utilizzato solo a terra). Come visionabile in figura 2.2 tale termistore ad una temperatura ambiente di  $25^\circ\text{C}$  ha un valore di resistenza pari a  $15\text{k}\Omega$ , quindi ponendo un resistore di polarizzazione di circa

15k $\Omega$  avremo a temperatura ambiente una tensione letta dovuta alla partizione resistiva pari a circa metà dinamica.

Essendo il termistore di tipo NTC, la sua resistenza si abbassa con l'alzarsi della temperatura: quindi la tensione letta dal buffer tenderà ad abbassarsi; al contrario con l'abbassarsi della temperatura la resistenza del termistore tenderà ad aumentare facendo aumentare la letta dal buffer.

Da notare che l'amplificatore operazione op27 per proteggere i suoi ingressi da delle tensioni differenziali superiori a 0.7V (a fronte di un gradino in ingresso la risposta dell'uscita richiede il tempo dettato dallo slew-rate, quindi momentaneamente sbilanciando completamente lo stadio d'ingresso facendo scorrere alte correnti) ha dei diodi di protezione tra gli ingressi. In caso di tensione tra i morsetti superiore alla soglia dei diodi, questi entrano in conduzione effettivamente bloccando l'aumentare della tensione differenziale ingresso. Un diodo in conduzione richiede una resistenza che ne limiti la corrente: tuttavia per garantire le performance di basso rumore il costruttore non ha posizionato dei resistori integrati tra i morsetti in ingresso (il rumore di tensione 4KTR dei resistori va direttamente in ingresso, quindi deleterio). La scelta del valore di resistenza è lasciata al progettista a seconda delle performance di rumore richieste dall'applicazione in cui l'opAmp è impiegato, anche se il datasheet specifica una corrente massima di 25mA<sup>5</sup>. Il valore di resistenza scelto in questo caso è di 1k $\Omega$ .

In figura 3.2 è possibile vedere lo schematico esemplificativo dell'interfaccia di acquisizione segnali di temperatura da termistore.

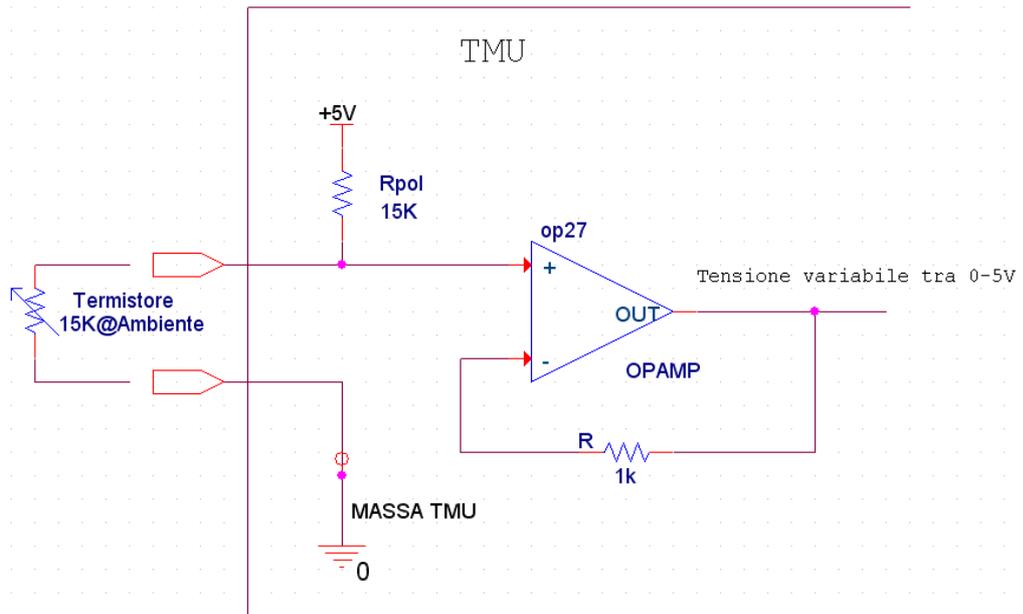


Figura 3.2 interfaccia acquisizione segnale di temperatura da termistore

### 3.2 Progetto Interfaccia Acquisizione Segnali Analogici

L'interfaccia per acquisizione di segnali analogici deve essere di tipo double-ended, acquisire segnali d'ingresso con un range pari a 0-5V e lentamente variabili (banda di 1Hz). Per migliorare le prestazioni di reiezione delle tensioni di modo comune si scelto di utilizzare per quest'interfaccia un Instrumentation Amplifier (INA).

Un amplificatore da strumentazione è composto dall'opportuna configurazione di tre amplificatori operazionali combinati in un unico chip: questa configurazione garantisce grande impedenza d'ingresso, un alto CMRR e alto guadagno. Anche se esistono svariate tipologie e configurazioni diverse, in figura 3.3<sup>6</sup> si può notare la struttura classica di un Instrumentation Amplifier

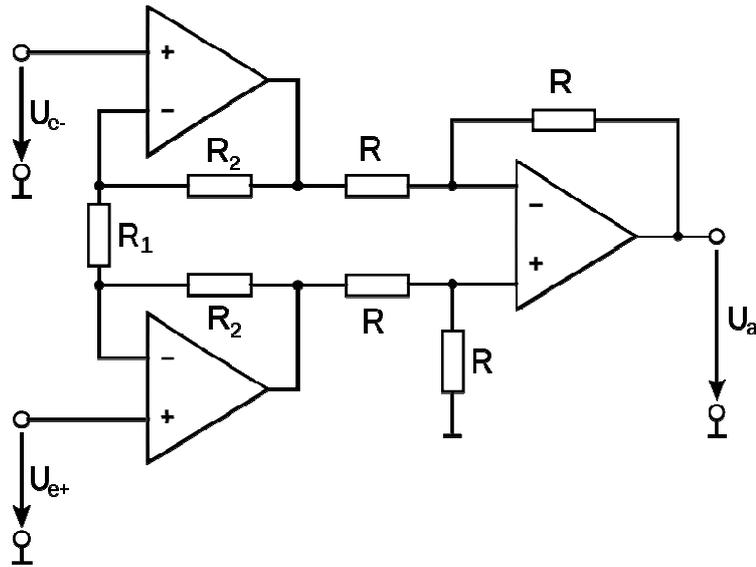


Figura 3.3 Schema amplificatore per strumentazione

Di cui si può calcolare il guadagno risulta:

$$\frac{V_{out}}{V_{in}} = \left\{ \left[ \left( 1 + \frac{R_2}{R_1} \right) * \frac{1}{2} + \frac{R_2}{R_1} \right] * \frac{R}{R} + \left( 1 + \frac{R_2}{R_1} \right) * \frac{1}{2} \right\} = \frac{1}{2} + \frac{R_2}{2 * R_1} + \frac{R_2}{R_1} + \frac{1}{2} + \frac{R_2}{2 * R_1} =$$

$$= 1 + \frac{2 * R_2}{R_1}$$

Il componente scelto da montare sulla TMU EBB è l'AD524B prodotto dall'Analog Devices. Questo amplificatore da strumentazione ha un basso rumore (0.3 uV p-p 0.1 Hz - 10 Hz<sup>7</sup>), un alto CMRR (vedi figura 3.4<sup>7</sup>) e guadagno facilmente selezionabile attraverso un singolo resistore esterno.

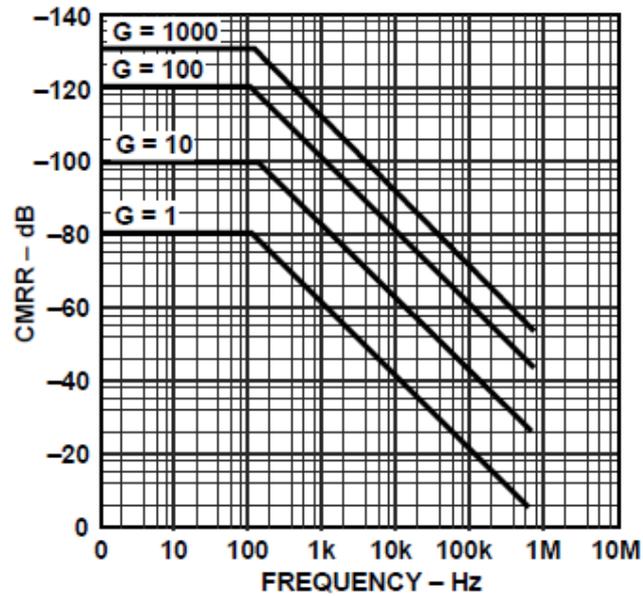


Figure 10. CMRR vs. Frequency RTI, Zero to 1k Source Imbalance

Figura 3.4 Common Mode Rejection Ratio dell'INA utilizzato

In figura 3.5 è possibile vedere lo schematico esemplificativo dell'interfaccia di acquisizione segnali analogici differenziali.

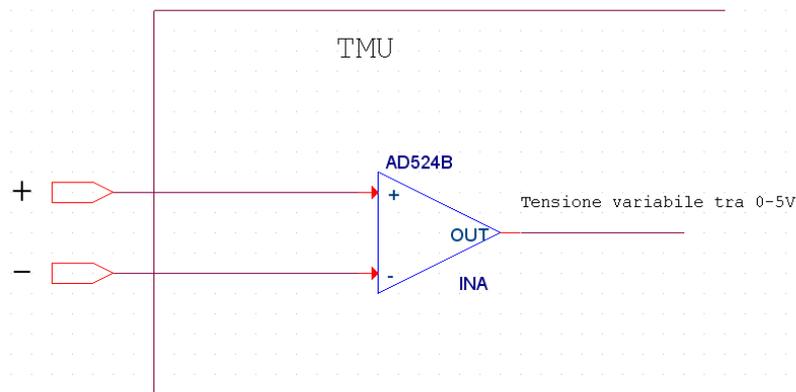


Figura 3.5 Schematico esemplificativo interfaccia segnali analogici (da notare che in questo modello di INA non connettendo nessun resistore il guadagno del componente è unitario)

### 3.3 Circuito di Guadagno ed Offset variabile

Per garantire la migliore acquisizione del segnale analogico proveniente dalle catene di acquisizione dei sensori di temperatura e di tensione differenziale, tutta la dinamica d'ingresso dell'ADC deve essere sfruttata. Infatti sfruttando appieno la dinamica d'ingresso dell'ADC è possibile utilizzare tutti i livelli di campionamento disponibili e quindi ottenere la migliore risoluzione. Questo comporta che entrambe le catene analogiche debbano essere dimensionate in modo che tale condizione all'ingresso dell'ADC venga soddisfatta in entrambi gli estremi della dinamica del segnale analogico in ingresso: vale a dire per 0V e per 5V. Come mostrato nel paragrafo successivo l'ADC che campionerà il segnale ha un riferimento di tensione positivo pari ad 1V ed uno negativo pari a 0V; ne comporta che le due catene analogiche debbono operare una riduzione del segnale pari ad 1/5. Tuttavia, data la natura lentamente variabile dei segnali (come detto proveniente dalle tensioni di batterie o dei sensori di temperatura) è utile osservare anche le più piccole variazioni del segnale attorno al valor medio. Per fare ciò, è servito progettare un sistema di amplificazione e sottrazione del valor medio del segnale: in questo è possibile posizionare il segnale al centro della dinamica dell'ADC e attraverso un'amplificazione apprezzarne anche le più piccole variazioni attorno al valor medio. Tali impostazioni di guadagno e di offset sono comandati dall'unità di elaborazione FPGA della TMU.

Il circuito progettato si avvale dell'uso di convertitori digitali-analogici in corrente: tali circuiti effettuano l'operazione opposta di un convertitore analogico digitale, e cioè convertono una parola digitale ricevuta in ingresso in un valore di tensione o corrente (corrente in questo caso) proporzionale (o a seconda dei modelli inversamente proporzionale).

In sostanza il circuito è riconducibile ad un semplice nodo sommatore: un DAC è posto sul percorso del segnale, in questo modo variando gli ingressi digitali varia di conseguenza la porzione di segnale che va in uscita; mentre un altro DAC è posto nell'altro ramo afferente alla terra virtuale e variando gli ingressi digitali di quest'ultimo è possibile variare la corrente prelevata dal nodo,

spostando proporzionalmente l'uscita. La terra virtuale è garantita dall'operazionale che, grazie alla retroazione, convoglia tutta la corrente in  $R_F$  operando una conversione corrente-tensione sul nodo d'uscita.

Pur essendo un circuito semplice, l'analisi del circuito risulta molto più chiara basandosi sullo schematico essenziale di figura 3.6.

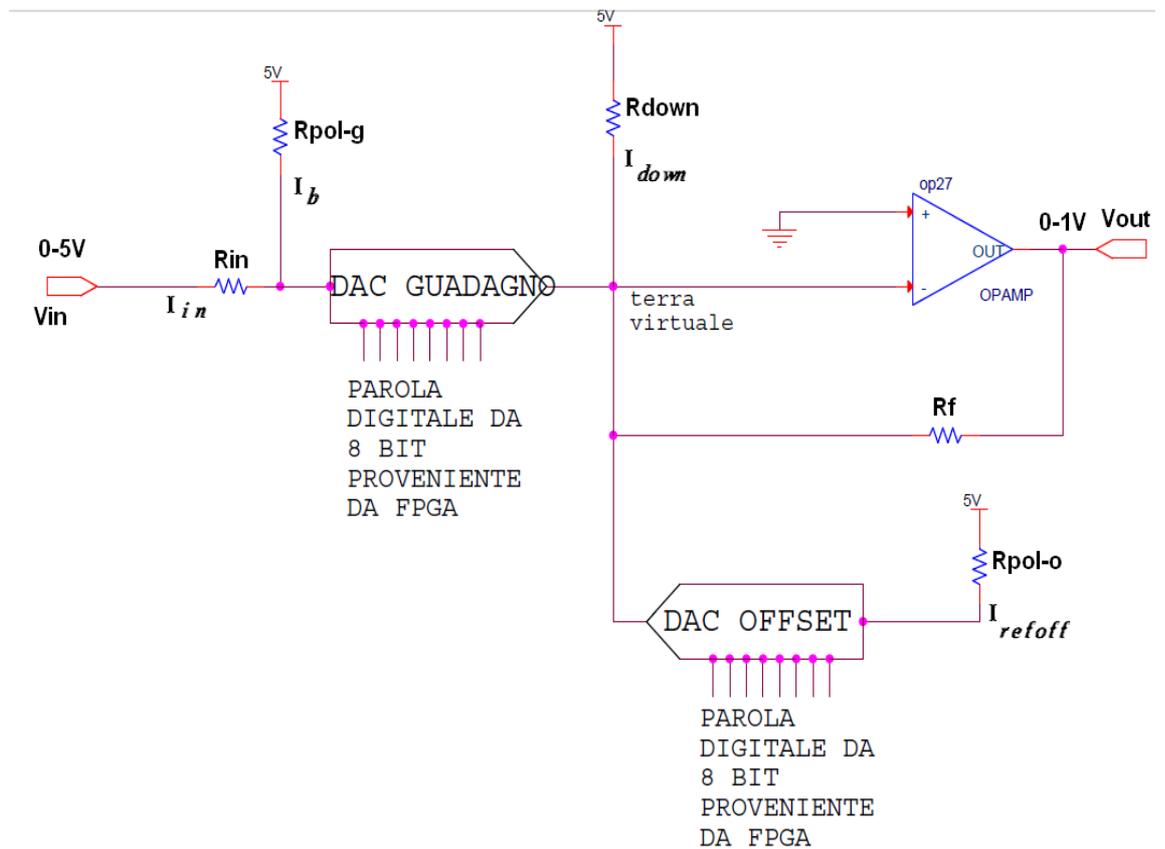


Figura 3.6 Schema circuito guadagno e offset variabile

La parte più delicata è trovare un corretto dimensionamento delle resistenze di polarizzazione del circuito: infatti si deve garantire che con i diversi livelli di guadagno previsti 1, 2, 4, 8 e con i 16 livelli di offset predeterminati (in passi di  $1/16$ ), l'uscita  $V_{out}$  del circuito non esca mai dalla dinamica di riferimento dell'ADC (0-1V).

Il DAC scelto è il DAC08 prodotto dall'Analog Devices, questo DAC ad 8 bit eroga una corrente in uscita che è pari a<sup>8</sup>:

$$I_{out} = -I_{ref} * \frac{WORD\_DIGITALE}{256}$$

dove il segno meno sta ad indicare una corrente entrante nell'uscita del DAC. Per rispettare le direttive descritte nel datasheet del componente la  $I_{ref}$  deve rientrare nel range<sup>8</sup>:

$$1\mu A \leq I_{ref} \leq 5mA$$

Per garantire che i vincoli di dinamica e di correnti massime devono essenzialmente essere rispettati dei vincoli, riassumibili nel seguente sistema di equazioni:

$$\left\{ \begin{array}{l} I_{refoff} = \frac{256}{16 * R_f * 2} \\ I_{in} * \frac{31}{256} = \frac{1}{R_f} \\ I_{down} = (I_{in} + I_b) * \frac{248}{256} \\ I_{down} - I_b * \frac{31}{256} = I_{refoff} * \frac{248}{256} \\ I_b \geq 1x10^{(-6)} \\ I_{in} + I_b \leq 4x10^{(-3)} \end{array} \right.$$

Una soluzione del tutto ideale, che garantirebbe risultati ottimali ma impossibili da ottenere nella pratica (date le oggettive difficoltà costruttive nell'avere dei resistori con dei valori di resistenza in così alta risoluzione e accuratezza) può essere calcolata attraverso la risoluzione esatta del sistema, tale soluzione è mostrata in figura 3.7.

Solution:

Approximate form

$$R_f = \frac{640\,000}{217}, \quad I_{down} = \frac{3379}{1\,280\,000}, \quad I_{in} = \frac{7}{2500}, \quad I_b = \frac{1}{10\,000}, \quad I_{refoff} = \frac{217}{80\,000}$$

Figura 3.7 Valori ideali resistenze circuito Guadagno/Offset variabile

Tuttavia un buon compromesso tra prestazioni di precisione, rispetto della dinamica e disponibilità delle resistenze è stato trovato nei seguenti valori:

$$\left\{ \begin{array}{l} R_f = 2k\Omega \\ R_{in} = 1255\Omega \\ R_{polg} = 50K\Omega \\ R_{poloff} = 1255\Omega \\ R_{down} = 1288\Omega \end{array} \right.$$

dove tali valori sono stati ottenuti combinando in serie e parallelo resistenze di precisione in valori disponibili nel mercato.

Nel dimensionamento, oltre ai valori di massima corrente e dinamica di tensione, sono stati utilizzati come riferimento dei valori di ingresso digitale fissi per i DAC. Questi valori sono stati scelti, oltre che per permettere un'amplificazione lineare, ma anche per permettere (attraverso piccole variazioni della parola digitale) delle minime correzioni per compensare scostamenti del valore ideale delle resistenze montate (anche se per il circuito è stato previsto l'uso di resistenze di precisione con scostamento massimo del valore di resistenza reale dal valore nominale pari allo 0,05%).

Tali valori sono riassunti in tabella 3.1:

	G=1	G=2	G=4	G=8
$V_{\text{off}} \text{ ideale}$	31	62	124	248
0	248	248	246	243
0,3125	247	244	238	228
0,625	245	240	231	212
0,9375	243	236	223	197
1,25	241	232	215	181
1,5625	239	228	207	166
1,875	237	225	200	150
2,1875	235	221	192	135
2,5	233	217	184	119
2,8125	231	213	176	104
3,125	229	209	169	88
3,4375	227	205	161	73
3,75	225	201	153	57
4,0625	223	197	145	42
4,375	221	194	138	26
4,6875	219	190	130	11

Tabella 3.1 Valori nominali per i DAC di Guadagno e OFFSET

E' opinione di chi scrive questo documento che tali valori di resistenza scelti rappresentano un buon compromesso tra performance e disponibilità di componenti; preso atto che una forte limitazione alla precisione del circuito è dovuta alla risoluzione dei DAC.

Infatti impiegando dei DAC con un numero maggiore di bit la risoluzione di corrente (e quindi di segnale) ottenibile sarebbe di gran lunga migliore, questo perché un numero maggiore di bit permetterebbe di avere un "passo" di variazione minore, e quindi un circuito più preciso.

Tuttavia nell'ambito di una scheda prototipo, si è trovato in 8 bit un buon compromesso tra precisione di acquisizione e tra numero di pin richiesti all'FPGA per il comando dei DAC.

### 3.4 Campionamento del Segnale

Entrambe le uscite delle due catene di acquisizione sono convogliate in un multiplexer che, comandato attraverso delle linee in uscita dall'FPGA, può scegliere all'unità quale delle due catene campionare. Essendo il segnale passato attraverso il circuito di guadagno ed offset variabile, la variazioni di tensione in uscita al multiplexer hanno una dinamica che va da 0 a 1V. Questo segnale essendo molto lento non richiede assolutamente un ADC con prestazioni elevate in termini di frequenza di campionamento, tuttavia la scelta del campionatore è sempre dettata dalla disponibilità di versioni adatte al volo spaziale. La scelta è ricaduta sull'RHF1201 che è un ADC pipelined con risoluzione a 12 bit, un funzionamento con un range di temperatura che va dai -60 ai +120° C e resiste ad una dose integrale di radiazioni pari a 300kRad<sup>9</sup>. Queste caratteristiche rendono questo convertitore analogico digitale ideale per le applicazioni spaziali.

Nel datasheet del componente si apprende che le performance migliori sono ottenute quando il segnale fornito all'ADC è differenziale compreso tra 0-1V e con un valore di modo comune pari 0.5V<sup>9</sup>. Le tensioni di riferimento e di modo comune sono generate internamente dall'ADC, ma possono anche essere imposte esternamente.

Il segnale in uscita dal circuito di guadagno e offset variabile è di tipo single-ended, quindi in figura 3.7 è possibile vedere un schematico essenziale del circuito che converte l'uscita delle catene analogiche in un segnale differenziale che va in input all'ADC.

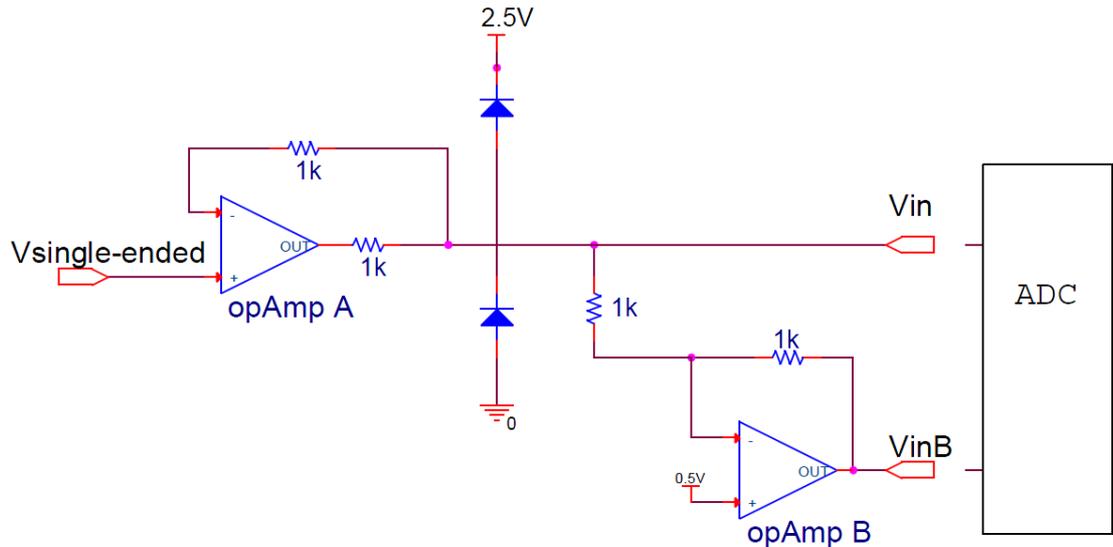


Figura 3.7 Conversione in differenziale dell'uscita catene analogiche

Per evitare che eventuali errori nella programmazione dei DAC, che manderebbero fuori dinamica nominale il segnale di uscita e quindi potrebbero danneggiare gli ingressi dell'ADC, sono stati posizionati dei diodi a protezione degli ingressi del convertitore.

I diodi scelti sono dei diodi di tipo schottky con tensione di soglia pari a  $0.3V^{10}$ . Con questa protezione è garantito che il segnale in ingresso all'ADC non superi mai i  $2.8V$  e  $-0.3V$ .

Con questo circuito in assenza di segnale in ingresso alla catena analogica (e quindi un uscita del circuito di guadagno ed offset variabile pari a  $0V$ ) l'amplificatore operazionale A ha come tensione d'uscita  $0V$ , mentre l'amplificatore operazionale B  $1V$ . Al contrario in caso di valore d'uscita della catena analogica pari a  $1$ , l'operazionale A avrà tensione in uscita pari a  $1V$  mentre l'operazionale B pari a  $0V$ . Il comportamento del circuito è rappresentato in figura 3.8.

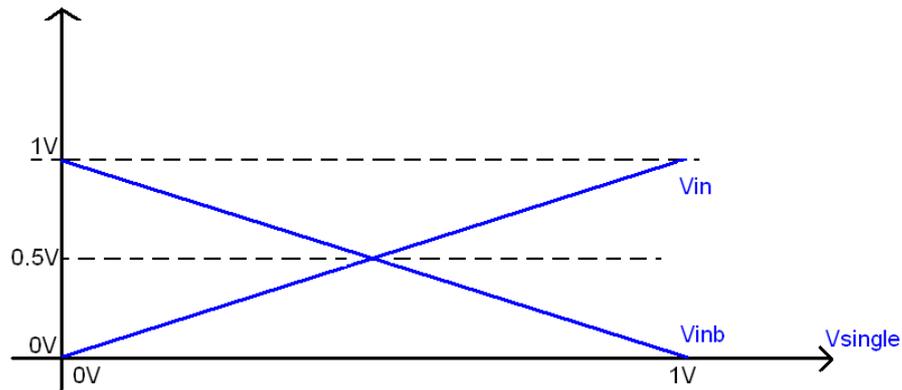


Figura 3.8 Trasferimento circuito da single-ended a differenziale

Il circuito che converte il segnale da single-ended a differenziale rispetta lo schema fornito nel datasheet dell'ADC, visibile in figura 3.9<sup>9</sup>.

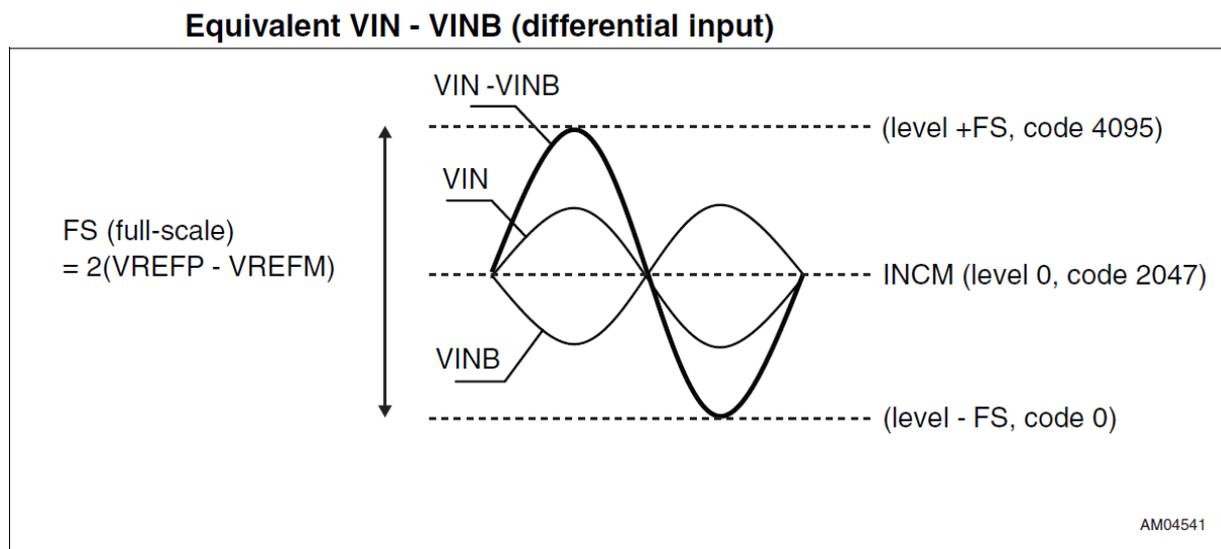


Figura 3.9 Andamento segnale differenziale in ingresso ADC

Come si può notare dalla figura 3.9 l'ADC interpreta come tensione in ingresso nulla (dando in uscita una parola binaria pari a zero) nel caso in cui  $V_{in}$  vale 0V e  $V_{inb}$  vale 1V; interpreta come tensione pari a metà dinamica (dando in uscita una parola binaria pari a 2047 in decimale) nel caso in cui sia che  $V_{in}$  che  $V_{inb}$  si attestano sul valore di modo comune; e interpreta come tensione di fondo scala (dando in uscita una parola binaria pari a 4095 in decimale, cioè 0xFFF in esadecimale) nel caso in cui  $V_{in}$  vale 1V e  $V_{inb}$  0V.

### 3.5 Interfaccia Segnali Bi-Livello

Il compito dell'interfaccia bi-livello è di riconoscere se in ingresso è dato un valore di tensione corrispondente ad un valore logico pari ad uno o a zero. Tale funzione può essere svolta da un semplice comparatore. Il comparatore è un circuito integrato molto simile ad un operazionale, tuttavia dato che viene utilizzato ad anello aperto, e quindi non ci sono tutte le problematiche legate alla stabilità dei circuiti retro azionati, non viene inserita la capacità di compensazione permettendo di raggiungere degli elevati slew rate, e quindi grandi velocità di “scatto”.

Dato che lo standard specifica che devono essere interpretate come un valore logico basso tutte le tensioni nel range tra 0 e 0.9V e come valore logico alto tutte le tensioni nel range tra 2 e 5V (per compensare eventuali rumori tra sorgente del segnale e circuito ricevente) si rende necessario un circuito che posizioni una soglia di comparazione a circa metà dinamica. Se infatti l'interfaccia fosse direttamente collegata al comparatore ogni minima differenza di potenziale tra i morsetti, dovuta al rumore o ad eventuali disturbi, provocherebbe uno scatto dell'uscita del comparatore non corrispondente ad una variazione del segnale in ingresso.

Il comparatore scelto è il popolare LM119 della National Semiconductor, il quale è un circuito che termina in open collector. In figura 3.10 ne è rappresentata la caratteristica<sup>11</sup>.

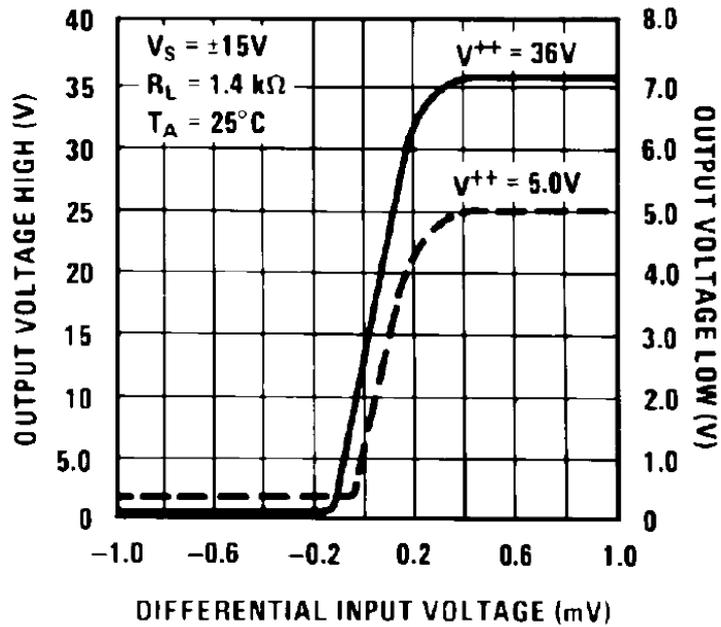


Figura 3.10 Funzione di trasferimento comparatore LM119

Come si può notare dalla funzione di trasferimento dell' LM119 (con uscita in pull-up) per tensioni differenziali in ingresso negative l'uscita del comparatore va a 0V; mentre per tensioni differenziali in ingresso positive l'uscita va in alta impedenza.

In figura 3.11 è rappresentato schematicamente il circuito di interfaccia per segnali bi-livello.

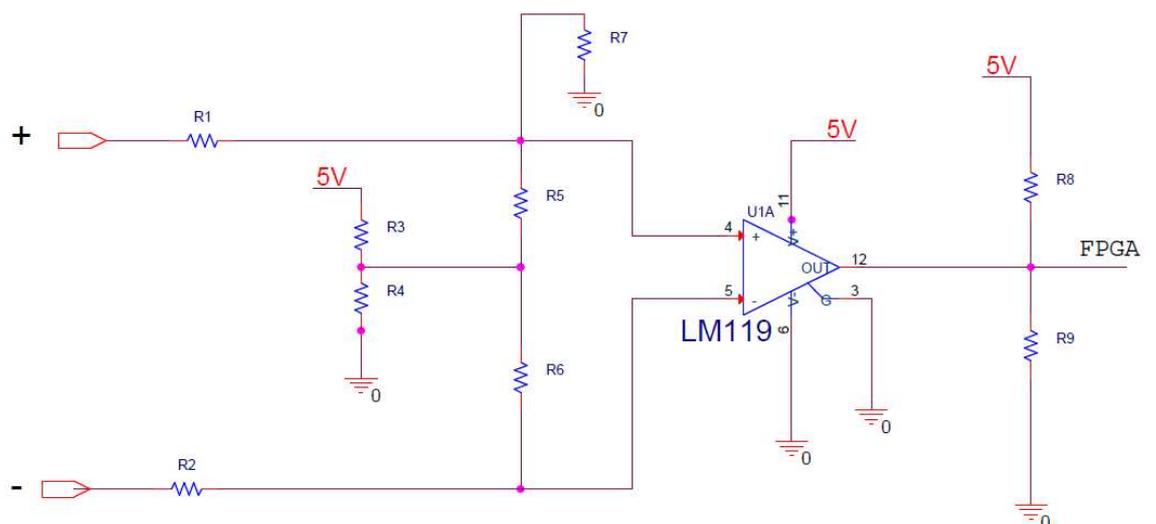


Figura 3.11 Schematico essenziale dell'interfaccia bi-livello

Il circuito essenzialmente consiste in una rete di resistori che impone una tensione di polarizzazione ai morsetti del comparatore intorno ai 2.5V (modificando i valori delle resistenze si può spostare tale tensione di soglia). In caso di livello logico pari a 0 in ingresso, e quindi entrambe gli ingressi dell'interfaccia cortocircuitati al riferimento della massa della scheda che origina il segnale bi-livello, grazie alla resistenza R7 (che è in parallelo alla resistenza R1) la tensione dell'ingresso positivo del comparatore sarà leggermente più bassa rispetto all'ingresso negativo. Quindi in caso di zero logico in ingresso dell'interfaccia la tensione differenziale agli ingressi del comparatore è negativa, il che porta l'uscita del circuito al riferimento di massa (zero logico).

Al contrario in caso di livello logico alto in ingresso al morsetto positivo (nominalmente 5V) la partizione resistiva fa sì che la tensione sul morsetto positivo del comparatore sia maggiore della tensione sul morsetto negativo, risultando in una tensione differenziale in ingresso dell'LM119 positiva portando l'uscita del comparatore in uno stato di alta impedenza. In questo stato l'uscita del circuito è quindi determinata dalla partizione resistiva dovuta a R8 e R9.

Il valore delle resistenze R8 e R9 può essere scelto per far sì che l'uscita dell'interfaccia bi-livello sia compatibile con la logica a valle. Nel caso della TMU, dove il segnale in uscita all'interfaccia bi-livello arriva direttamente all'FPGA, la resistenza R8 vale 2.21k $\Omega$  mentre la resistenza R9 ha un valore di 3k $\Omega$ . In questo modo l'uscita dell'interfaccia ha un valore logico alto pari a 3.3V e un valore logico basso pari a 0V: questi livelli sono compatibili con la logica CMOS dei pin di I/O dell'FPGA in uso.

### 3.6 Interfaccia Segnali Switch

Il compito dell'interfaccia per segnali switch è riconoscere lo stato di apertura o chiusura di relè: questa funzione può essere svolta da dei semplici circuiti in pull-up polarizzati alla tensione corrispondente al valore logico alto. Lo

standard specifica come livello di tensione corrispondente ad un 1 logico una tensione di 5V, quindi affinché tale interfaccia sia compatibile con la logica CMOS dei pin di I/O dell'FPGA, è necessario interporre tra l'ingresso dell'interfaccia in pull-up e l'FPGA un traslatore di livello da 5V a 3.3V. La scelta del traslatore di livello è ricaduta sul componente 54/74HC4050 che è essenzialmente un buffer digitale alimentato con la tensione del livello CMOS 3.3V.

In figura 3.12 è rappresentato schematicamente il circuito di interfaccia per segnali switch.

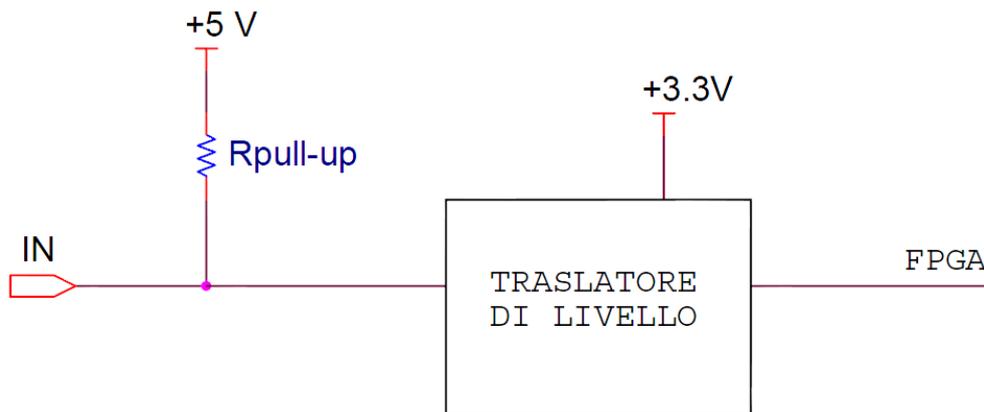


Figura 3.12 Schematico essenziale acquisizione segnali switch

### 3.7 Interfaccia di Comunicazione Protocollo 1553

Per permettere la comunicazione tra l'FPGA della scheda di telemetria e il computer di bordo del satellite è necessaria l'interfaccia per il protocollo 1553. Sulla TMU quest'interfaccia è composta essenzialmente da tre componenti: il remote terminal (collegato direttamente all'FPGA), un transceiver un trasformatore di isolamento.

Il remote terminal permette la traduzione dei dati forniti dall'FPGA in dati compatibili con il protocollo 1553. E' infatti il remote terminal che si occupa di

rispettare tutte le tempistiche e le complesse procedure di comunicazione del protocollo. Il remote terminal utilizzato utilizza una logica TTL, quindi con livelli logici 0-5V.

Il transceiver ha il compito di trasformare i segnali da e per il remote terminal in segnali compatibili con lo standard 1553: in particolare devono essere codificati con la codifica Manchester II e con i livelli elettrici dedicati (dipendenti se la TMU si connette al bus in modalità short o long stub).

La versione B dello standard prevede che se un componente si affaccia sul bus con una short stub (quindi accoppiamento diretto) i livelli di tensione (picco-picco) devono essere compresi tra 1.4V e 20V, mentre nel caso di long stub (e quindi accoppiamento tramite trasformatore) devono essere compresi tra 1V e 14V<sup>12</sup>.

Lo standard inoltre prevede che, indipendentemente dal modo in cui un elemento si affaccia sul bus, debba essere impiegato un trasformatore di isolamento e di resistenze in serie di protezione. Il trasformatore assicura la reiezione di eventuali modi comuni e l'isolamento elettrico tra bus e componente mentre le resistenze proteggono il bus in caso di corto circuiti del componente. E' bene ricordare che per short stub ci si riferisce a stub più corte di un piede, mentre per long stub si fa riferimento a stub con lunghezza compresa tra 1 e 20 piedi<sup>12</sup>.

Si rende necessario l'impiego di un accoppiamento tramite trasformatore in caso di stub più lunga di 1 piede poiché a causa della capacità distribuita tra i due conduttori della stub, l'impedenza della stessa decresce all'aumentare della lunghezza (vedi figura 2.7).

Grazie all'impiego del trasformatore step-down (dal lato del bus) l'impedenza vista dal bus verso la stub è raddoppiata (il rapporto spire è 1.4 a 1, quindi  $(1.4)^2=2$ ), questo contrasta l'eccessiva riduzione d'impedenza nelle stub molto lunghe, non facendo cadere la tensione sul bus.

La figura 3.13<sup>12</sup> riassume le impedenze nel caso in esame.

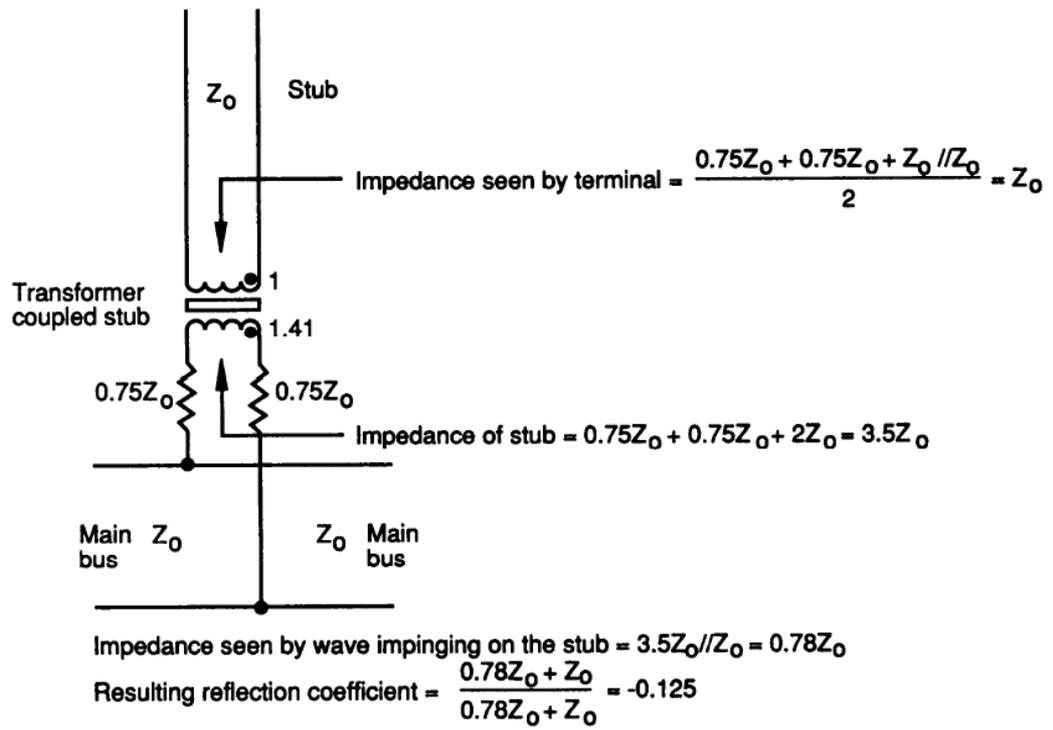


Figura 3.13 Accoppiamento al bus 1553 tramite trasformatore

## Capitolo 4

# Programmazione Test Equipment

## RASTA

Le comunicazioni tra il computer di bordo e la scheda di telemetria avvengono unicamente tramite il bus 1553, è infatti attraverso questa interfaccia che vengono mandati i comandi alla TMU e ne vengono letti i risultati del monitoraggio. Per questa ragione per testare l'effettivo funzionamento della TMU in tutti gli scenari di funzionamento è necessario avvalersi di un test equipment (TE) che simuli il funzionamento del computer di bordo, cioè del bus controller (BC). In commercio ci sono molti apparecchi qualificati alla generazione di segnali da bus controller, alcuni di questi hanno addirittura interfacce grafiche che ne rendono l'uso facile ed intuitivo.

Tuttavia nell'ambito di questo progetto è stato richiesto dal committente del prodotto, l'ESA, che i test sulle funzionalità della TMU vengano svolti tramite la programmazione di un particolare test equipment chiamato GR-RASTA, prodotto dalla Aeroflex Gaisler.

## 4.1 RASTA 101

L'Aeroflex Gaisler è una delle aziende europee leader per i componenti elettronici adatti al volo spaziale: infatti sviluppa processori rad-hard, svariati ip core per FPGA rad-hard, test equipment e software. In particolare il RASTA è un test equipment contenente una varietà di schede dedicate a diversi protocolli usati in ambito spaziale (per esempio lo spacewire, il 1553 o il CAN bus); queste schede sono tutte gestite da processori LEON2 o LEON3 pre-programmati in FPGA della famiglia Actel Axcelerator o Xilinx Virtex. Le varie schede del RASTA comunicano al loro interno tramite un bus Compact PCI<sup>13</sup>.

Le molteplici schede che compongono il RASTA e che gli conferiscono le diverse funzionalità sono tutte gestite da processori LEON perché questi sono lo standard utilizzato dai velivoli dell'Agenzia Spaziale Europea. La famiglia dei processori attualmente comprende le versioni: LEON2, LEON3, e LEON4. I processori LEON sono delle CPU a 32 bit SPARC-V8 con architettura e set di istruzioni ridotto (RISC); sono sintetizzati dalla Gaisler in VHDL e possono essere utilizzati con licenza GPL.

E' bene notare che è richiesto che i velivoli spaziali utilizzino processori dedicati, e non le CPU che si trovano comunemente nei PC domestici, perché tali processori devono essere in grado di garantire un corretto funzionamento anche in presenza di SEU: in particolare devono poter tollerare un errore in uno dei qualsiasi registri senza che sia necessario un intervento software per correggere l'errore.

In particolare, la versione del test equipment RASTA utilizzata è la 101: in questa configurazione è presente una scheda processore che monta una CPU LEON2 e una scheda di I/O (che contiene, tra le altre, l'interfaccia 1553) sulla quale è montato un FPGA programmato con gli IP core delle varie interfacce presenti.

In figura 4.1 è possibile vedere una foto del RASTA<sup>13</sup>.



Figura 4.1 RASTA 101 Test Equipment

## 4.2 Sistema Operativo Real-Time RTEMS

Il RASTA non è fornito con un programma ad interfaccia grafica associata e per tal ragione per la sua programmazione si rende necessario produrre del codice in linguaggio C.

E' possibile, attraverso il compilatore BCC, compilare del sorgente C da poter eseguire nella scheda processore (programma stand-alone), tuttavia programmare da zero e senza supporto dei driver richiederebbe un'accuratissima conoscenza dell'hardware e una gran quantità di tempo.

Infatti dovrebbe essere scritto del codice che, oltre ad indirizzare le periferiche sul bus PCI, debba comandare a basso livello gli IP core presenti nell'FPGA della scheda di I/O.

Per abbreviare i tempi di sviluppo la Gaisler fornisce dei driver per utilizzare le interfacce presenti nella scheda di I/O, questi driver vengono in grande aiuto allo sviluppatore di software perché permettono di comandare a più alto livello tutte le funzionalità dell'hardware.

I driver forniti per il RASTA sono sviluppati per essere implementati nel sistema operativo real-time RTEMS.

Un sistema operativo real-time (RTOS) è un particolare sistema operativo dedicato allo sviluppo di applicazioni che vengono eseguite in tempo

reale. Questa terminologia è piuttosto ambigua perché in questo contesto real-time non sta ad indicare “in tempo reale” nel senso stretto del termine, ma piuttosto nella predicibilità del tempo di esecuzione di un’applicazione.

Tali sistemi operativi sono impiegati solitamente in tutte quelle situazioni dove il tempo di esecuzione di un processo è di vitale importanza: per esempio in ambito militare, biomedicale, spaziale, ma anche in ambito industriale (controlli di processi, comando di robot, gestione telecomunicazioni). E’ da sottolineare che non necessariamente un sistema operativo real-time è più veloce nell’eseguire un’applicazione rispetto ad un sistema operativo comune; ma ne è invece garantito un tempo di esecuzione deterministico.

Vista che spesso questi sistemi operativi sono impiegati in sistemi critici, ai vari processi (anche chiamati “task”) sono assegnati dei livelli di criticità:

soft real-time: sono quei task a bassa criticità dove nel caso in cui non venga rispettato un tempo di esecuzione entro un tempo determinato il sistema non ne subirebbe un danno irreparabile.

hard real-time: sono quei task ad alta criticità dove nel caso in cui non venga rispettato un tempo di esecuzione entro un tempo determinato il sistema subirebbe danni irreparabili, o provocherebbe danni a persone o cose.

Anche il computer di bordo del satellite utilizza un sistema operativo real-time e per esempio i task che si occupano del controllo di assetto, delle comunicazioni sono degli esempi di task “hard real-time task”, mentre i task che si occupano della distribuzione del segnale televisivo di una partita di calcio sono evidentemente dei “soft real-time task” -a meno che non sia il rigore decisivo della finale di un mondiale.

### 4.3 Gaisler IP CORE GR1553B

Come accennato nei paragrafi precedenti, nella configurazione RASTA 101 sono presenti due schede collegate tra loro con il bus PCI: una scheda processore e una scheda di I/O.

La scheda processore è l'GR-CPPCI-AT697 progettata dalla ATMEL. Questa scheda contiene un processore Leon2-FT (dove il suffisso FT sta a denominare un design "Fault Tollerant" ai SEU e un processo di fabbricazione rad-hard). Questa scheda contiene inoltre un banco di memoria S-RAM, un banco D-RAM e una memoria non volatile EEPROM. Per programmare il test equipment il codice C compilato da un computer di appoggio (normale personal computer con sistema operativo Linux con i la toolchain di sviluppo GCC) viene direttamente caricato nella S-RAM della scheda AT697 (tramite interfaccia seriale) e quindi eseguito dal processore LEON2. Dato che la compilazione del codice avviene su un computer che monta un processore di architettura diversa dal processore che eseguirà il codice, sarebbe più proprio parlare non di compilazione ma di "cross-compilazione".

La scheda di I/O invece è la GR-XC4V la quale monta un FPGA programmato con i diversi IP core delle varie interfacce installate (1553, Spacewire, CAN, Ethernet, Seriale, PCI); i dati vengono scambiati tra le varie interfacce ad alta velocità tramite il bus interno AMBA Advanced High-speed Bus (AHB), mentre i settaggi dei vari registri interni vengono impostati tramite il bus interno AMBA Advanced Peripheral Bus (APB)<sup>14</sup>.

La figura 4.2 rappresenta la struttura degli IP core installati nell'FPGA montato a bordo della scheda di I/O<sup>14</sup>.

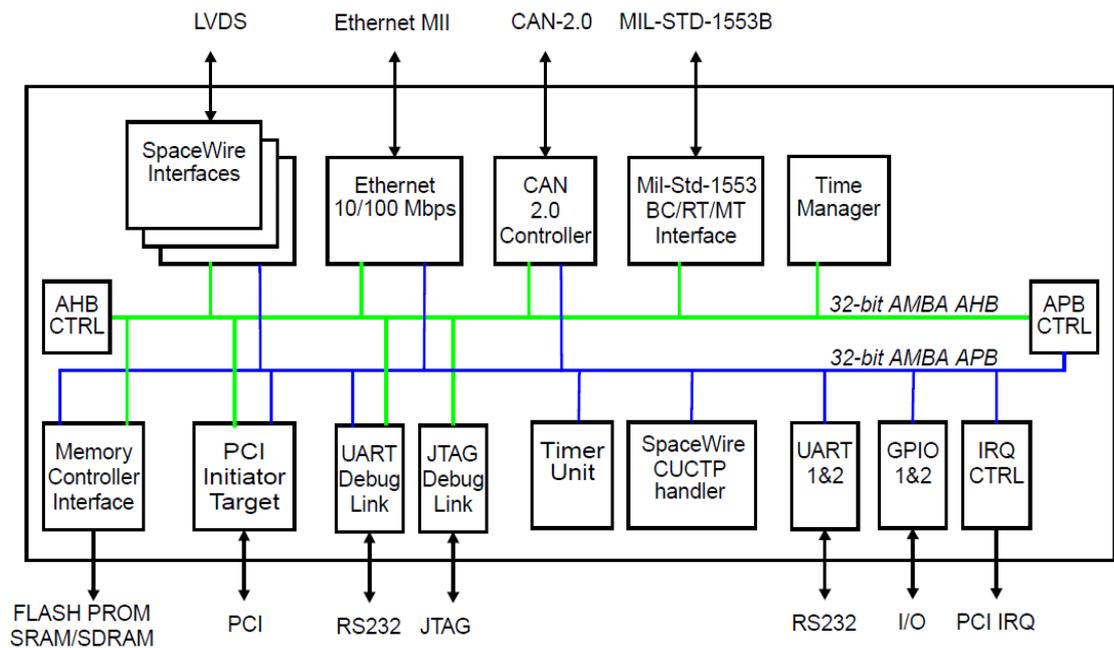


Figura 4.2 IP core installati nell'FPGA a bordo della scheda di I/O

Come si può notare dalla figura 4.2 per arrivare a trasmettere comandi e dati al core 1553 sulla scheda di I/O, il processore LEON2 dovrà accedere al bus PCI, indirizzare il core PCI della scheda di I/O, ottenere la priorità dall'arbitro del bus AHB o APB (nel caso debbano essere trasmessi dati o comandi rispettivamente) e poi all'interno di quel bus indirizzarsi verso l'interfaccia 1553.

Inoltre si può notare come il core Mil-Std-1553 BC/RT/MT può fungere sia da Bus Controller, da Remote Terminal e da Bus Monitor. Tuttavia, le modalità Bus Controller e Remote Terminal sono esclusive e non possono essere abilitate contemporaneamente<sup>16</sup> per ragioni hardware (il monitoraggio invece può avvenire contemporaneamente dato che è un'attività completamente passiva sul bus). Tuttavia nel corso dei test effettuati sulla TMU il test equipment RASTA è stato utilizzato prettamente come Bus Controller.

E' molto importante tener presente che il core 1553 installato sull'FPGA della scheda di I/O è un'entità del tutto separata ed autonoma rispetto alla CPU LEON2 su cui è eseguito il codice C. Anche se i registri interni del core in questione devono essere programmati dalla CPU per eseguire una lista di

comandi 1553 (in questo contesto anche chiamati descrittori), una volta settati rendono il core 1553 un'entità indipendente ed in grado di sostenere la comunicazione sul bus.

In particolare l'elenco di comandi 1553, e i relativi dati da trasmettere, sono elaborati dalla CPU (attraverso le funzioni fornite dal driver 1553) come una 'lista di descrittori' e salvati nella memoria S-RAM a bordo della scheda AT697. Inoltre è sempre la CPU che deve settare i vari registri di configurazione per impostare tutti i parametri per la comunicazione: come ad esempio quale bus utilizzare (se il nominale A, o il ridondato B), il puntatore con l'indirizzo del descrittore da utilizzare, il timeout entro il quale un RT deve rispondere al BC, il numero di retry nel caso un RT non risponda, ecc.. ecc..

Una volta che il core 1553 ha tutti i suoi registri settati e gli è stato fornito un puntatore con il primo descrittore della lista, il BC può iniziare l'esecuzione della lista e continuare autonomamente ad eseguirla in "loop" senza che siano necessario un ulteriore intervento dalla CPU.

Ci sono due tipi di descrittori: un tipo chiamato "transfer descriptor" che è utilizzato per trasmettere dati e comandi sul bus; l'altro tipo è il "branch descriptor" che è utilizzato per inserire condizioni all'interno della lista: a seconda del risultato di tali condizioni si possono far eseguire comandi diversificati dal BC. In figura 4.3<sup>14</sup> è possibile notare la struttura di un singolo descrittore del core GR1553B: è mostrata la descrizione sia di un 'transfer descriptor' sia per un 'branch descriptor'.

Offset	Value for transfer descriptor	Value for branch
0x00	Transfer descriptor word 0 (see table 119)	Condition word (see table 123)
0x04	Transfer descriptor word 1 (see table 120)	Jump address, 128-bit aligned
0x08	Data buffer pointer, 16-bit aligned. For write buffers, if bit 0 is set the received data is discarded and the pointer is ignored. This can be used for RT-to-RT transfers where the BC is not interested in the data transferred.	Unused
0x0C	Result word, written by core (see table 121)	Unused

Figura 4.3 Struttura dei transfer e branch descriptor

Come si può notare dalla figura 4.3 per connotare un descrittore di tipo transfer il driver deve memorizzare in memoria quattro word (da 32 bit) di informazioni, mentre per un descrittore di tipo branch ne sono necessarie solo due.

In figura 4.4<sup>14</sup> è possibile notare alcuni dei registri più importanti che sono settati dal driver prima che la lista possa cominciare ad essere eseguita.

31	18	17	16	15	11	10	9	8	7	3	2	1	0
RESERVED	BMTOF	BMD	RESERVED	RTTE	RTD	RTEV	RESERVED	BCWK	BCD	BCEV			

Bits read '1' if interrupt occurred, write back '1' to acknowledge

17	BM Timer overflow (BMTOF)
16	BM DMA Error (BMD)
10	RT Table access error (RTTE)
9	RT DMA Error (RTD)
8	RT transfer-triggered event interrupt (RTEV)
2	BC Wake-up timer interrupt (BCWK)
1	BC DMA Error (BCD)
0	BC Transfer-triggered event interrupt (BCEV)

31	18	17	16	15	11	10	9	8	7	3	2	1	0
RESERVED	BMTOE	BMDE	RESERVED	RTTEE	RTDE	RTEVE	RESERVED	BCWKE	BCDE	BCEVE			

17	BM Timer overflow interrupt enable (BMTOE)
16	BM DMA error interrupt enable (BMDE)
10	RT Table access error interrupt enable (RTTEE)
9	RT DMA error interrupt enable (RTDE)
8	RT Transfer-triggered event interrupt enable (RTEVE)
2	BC Wake up timer interrupt (BCWKE)
1	BC DMA Error Enable (BCDE)
0	BC Transfer-triggered event interrupt (BCEVE)

31	30	28	27	16	15	11	10	9	8	7	3	2	0
BCSUP	BCFEAT	RESERVED			ASADL	0	ASST	SCADL		SCST			
31	BC Supported (BCSUP) - Reads '1' if core supports BC mode												
30 : 28	BC Features (BCFEAT) - Bit field describing supported optional features ('1'=supported):												
	30	BC Schedule timer supported											
	29	BC Schedule time wake-up interrupt supported											
	28	BC per-RT bus selection mask supported											
15 : 11	Asynchronous list address low bits (ASADL) - Bit 8-4 of currently executing (if ASST=01) or next asynchronous command descriptor address												
9 : 8	Asynchronous list state (ASST) - 00=Stopped, 01=Executing command, 10=Waiting for time slot												
7 : 3	Schedule address low bits (SCADL) - Bit 8-4 of currently executing (if SCST=001) or next schedule descriptor address												
2 : 0	Schedule state (SCST) - 000=Stopped, 001=Executing command, 010=Waiting for time slot, 011=Suspended, 100=Waiting for external trigger												
31	16	15	10	9	8	7	5	4	3	2	1	0	
BCKEY	RESERVED			ASSTP	ASSRT	RESERVED		CLRT	SETT	SCSTP	SCSUS	SCSRT	
31 : 16	Safety code (BCKEY) - Must be 0x1552 when writing, otherwise register write is ignored												
9	Asynchronous list stop (ASSTP) - Write '1' to stop asynchronous list (after current transfer, if executing)												
8	Asynchronous list start (ASSRT) - Write '1' to start asynchronous list												
4	Clear external trigger (CLRT) - Write '1' to clear trigger memory												
3	Set external trigger (SETT) - Write '1' to force the trigger memory to set												
2	Schedule stop (SCSTP) - Write '1' to stop schedule												
1	Schedule suspend (SCSUS) - Write '1' to suspend schedule												
0	Schedule start (SCSRT) - Write '1' to start schedule												

Figura 4.4 Alcuni registri chiave per il core 1553<sup>14</sup>

## 4.4 Creazione di una Lista di Descrittori Tramite il Driver Gaisler

In questa sezione viene descritta l'Application Programming Interface (API) del driver fornito dalla Gaisler per il core GR1553B. Questa API consente al programmatore del software di creare la lista dei descrittori con una struttura ad albero formata dai seguenti tre blocchi fondamentali:

- Major Frame
- Minor Frame
- Message Slot

Il message slot è il messaggio 1553 vero e proprio (nella terminologia hardware anche chiamato descrittore) e può essere settato per assumere il comportamento di tutti i messaggi previsti dallo standard: mandare un messaggio dal Bus Controller al Remote Terminal (ovvero messaggio in RX), mandare un messaggio dal Bus Controller a tutti i Remote Terminal (ovvero messaggio di broadcast), comandare a un Remote Terminal di mandare un messaggio al Bus Controller (ovvero messaggio in TX), oppure comandare a un Remote Terminal di mandare un messaggio ad un altro Remote Terminal (messaggio RT-RT).

I message slot sono tutti contenuti all'interno dei Minor Frame; ogni Minor Frame può contenere al massimo 32 Message Slot. A loro volta i Minor Frame sono raccolti all'interno dei Major Frame, tuttavia non vi è nessuna limitazione al numero massimo di Minor Frame contenuti per Major Frame. Inoltre, è possibile avere un numero a piacere di Major Frame (non c'è nessuna limitazione del driver, solo quella imposta dal compilatore e dalla RAM della macchina che eseguirà il codice).

Questa struttura ad albero, pur potendo sembrare un inutile bizantinismo, è la struttura dei messaggi caratteristica dello standard: attraverso questa schematizzazione della lista è in effetti più facile e razionale organizzare la lista dei messaggi da trasmettere (specialmente se il numero dei messaggi che compongono la lista è un numero elevato). Pertanto ogni messaggio della lista può essere univocamente caratterizzato da tre numeri: numero di Major, numero di Minor e numero di slot. Tra le varie funzioni presenti nell'API, è presente la funzione `GR1553BC_ID`<sup>15</sup> dedicata all'indirizzamento di un qualsiasi messaggio della lista dati in ingresso questi tre parametri.

Seguendo le indicazioni date nel manuale dei driver, in ordine prettamente sequenziale i passi necessari alla creazione di una lista sono<sup>15</sup>:

- Allocare nella RAM lo spazio dedicato ad una lista contenente N Major Frame
- Associare a tale lista appena allocata dei parametri di configurazione (i parametri sono inseriti nella configurazione tramite la compilazione di una variabile struttura creata a parte precedentemente nel codice)

- Allocare nella RAM lo spazio dedicato al Major Frame
- Associare a tale Major Frame un numero sequenziale (il conteggio parte da zero) che indica alla lista di appartenenza del Major Frame l'ordine di esecuzione.
- Collegare l'ultimo e il primo Major Frame insieme (per dare continuità alla lista). In caso di un unico Major Frame lo si deve collegare con se stesso.
- Allocare nella RAM lo spazio dedicato alla tabella dei descrittori
- Fare il "build" della tabella
- Per ogni Message Slot della lista allocare un tempo predefinito (risoluzione al us)
- Per ogni Message Slot della lista associare ad esso un tipo (transfer descriptor o branch descriptor)

Dopo aver eseguiti nel codice questa sequenza di comandi la lista è compilata nella RAM e i registri del core 1553 sono stati settati con i parametri di configurazione della lista e con un puntatore che riporta all'indirizzo in memoria del primo Message Slot della lista. Di conseguenza a questo punto basta semplicemente settare il bit di "execute list" nell'action register del core 1553 per far finalmente eseguire la lista<sup>15</sup>.

Tra i vari parametri settabili nella configurazione della lista c'è la possibilità di scegliere tra una lista sincrona ed asincrona: in caso di lista sincrona dopo che ogni comando 1553 viene mandato sul bus il Bus Controller passa immediatamente al comando successivo; al contrario nel caso di lista asincrona è possibile allocare ad ogni messaggio un tempo predefinito, indipendente dall'effettivo tempo necessario alla trasmissione del messaggio. Questa gestione temporale è molto utile quando il Bus Controller deve essere obbligato a rispettare delle tempistiche minime e predeterminate nell'interrogare il sistema associato al Remote Terminal.

## Capitolo 5

### Test Elettrici e Funzionali

Come descritto nei capitoli 3 e 4, la maggior parte degli sforzi e delle ore lavorative di questa tesi si sono concentrate attorno alla progettazione delle interfacce di acquisizione e alla stesura di codice software per il loro test.

Tuttavia ha eguale importanza la verifica della bontà del progetto e la misurazione delle performance ottenute, comparando le misurazioni reali con quelle calcolate nella fase di progetto.

Una volta che il prototipo della scheda di telemetria è stato fisicamente realizzato la primissima fase di verifica è stata il test elettrico dell'unità: si è verificata l'assenza di corto circuiti tra le alimentazioni e massa, l'integrità delle piste del circuito stampato e il corretto montaggio degli integrati. Terminati questi test preliminari l'attenzione di chi scrive questo documento si è focalizzata sul test delle catene analogiche, sul circuito di guadagno ed offset variabile, sul circuito di conversione analogico-digitale, sull'interfaccia di acquisizione segnali digitali e sull'interfaccia di comunicazione 1553.

#### 5.1 Test Interfacce

I test delle interfacce progettate è avvenuto inizialmente attraverso l'uso di strumenti di base come il multimetro e l'oscilloscopio, confrontando i valori di tensione misurati con quelli attesi. Queste prime verifiche hanno escluso errori

di costruzione o montaggio e la correttezza dello schematico. Tuttavia per avere una completa conferma del funzionamento di tutte le interfacce e dell'operatività di tutto il sistema il modo migliore è comandare l'acquisizione, e leggerne i risultati, tramite il protocollo 1553.

Tramite la lettura dei campionamenti effettuati dalla TMU, e conoscendo i valori dati in input a questa, è possibile verificare il comportamento dell'intera catena di acquisizione e stimarne eventuali errori. Sono qui di seguito elencati delle copie delle schermate di acquisizione dell'oscilloscopio che ritraggono la risposta della TMU tramite protocollo 1553 in seguito all'interrogazione da parte del software di test sviluppato per il test equipment RASTA.

In figura 5.1 è possibile vedere la forma d'onda trasmessa dal RASTA e ricevuta dalla TMU: tale forma d'onda rappresenta la trasmissione di un comando per l'acquisizione di un canale analogico con guadagno pari ad 1 ed offset pari a 0.

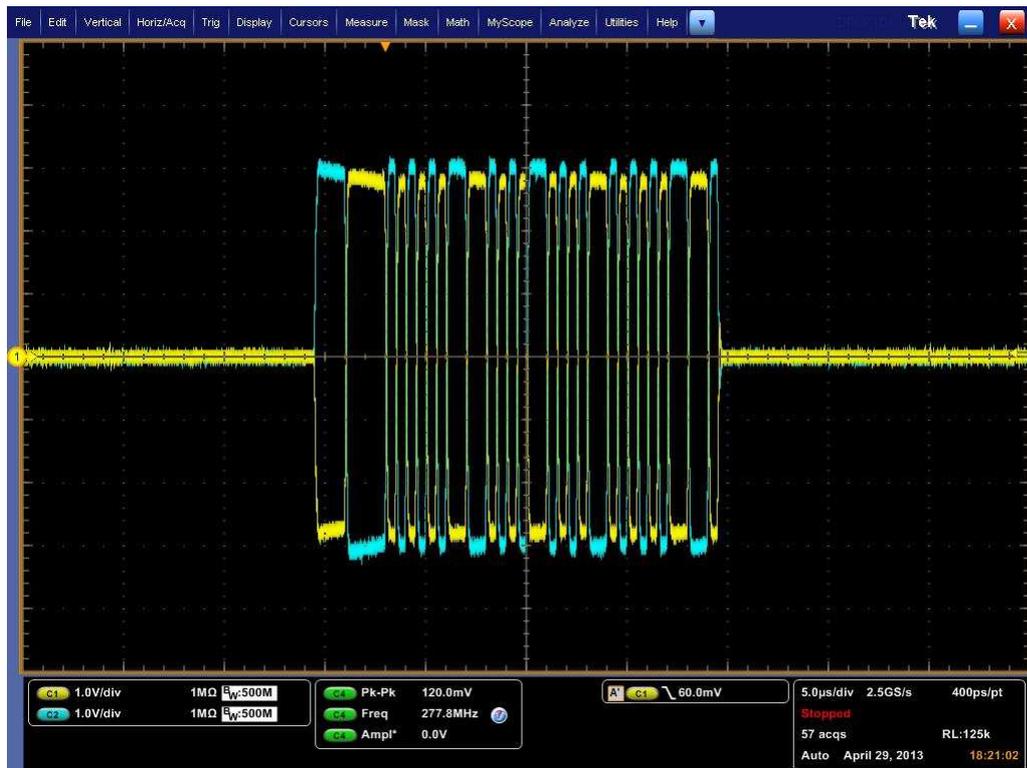


Figura 5.1 BC-RT 1553 command word (segnale positivo e negativo)

Attraverso questa misurazione è possibile notare che il software scritto per il test equipment RASTA sta effettivamente funzionando dato che sul bus 1553 viene mandato un messaggio con command word dal RASTA alla TMU.

Il remote terminal installato a bordo della TMU riceve ed interpreta correttamente il messaggio, facendo partire l'acquisizione. Questo indica che: trasformatore 1553, transceiver 1553, remote terminal, firmware FPGA e catena di acquisizione analogica/digitale sono elettricamente connessi correttamente.

In figura 5.2 è possibile vedere la forma d'onda che la TMU manda in risposta al Bus Controller contenente la data word con il risultato dell'acquisizione quando in ingresso alla catena analogica è applicato un segnale pari a 0V (limite inferiore dinamica d'ingresso).

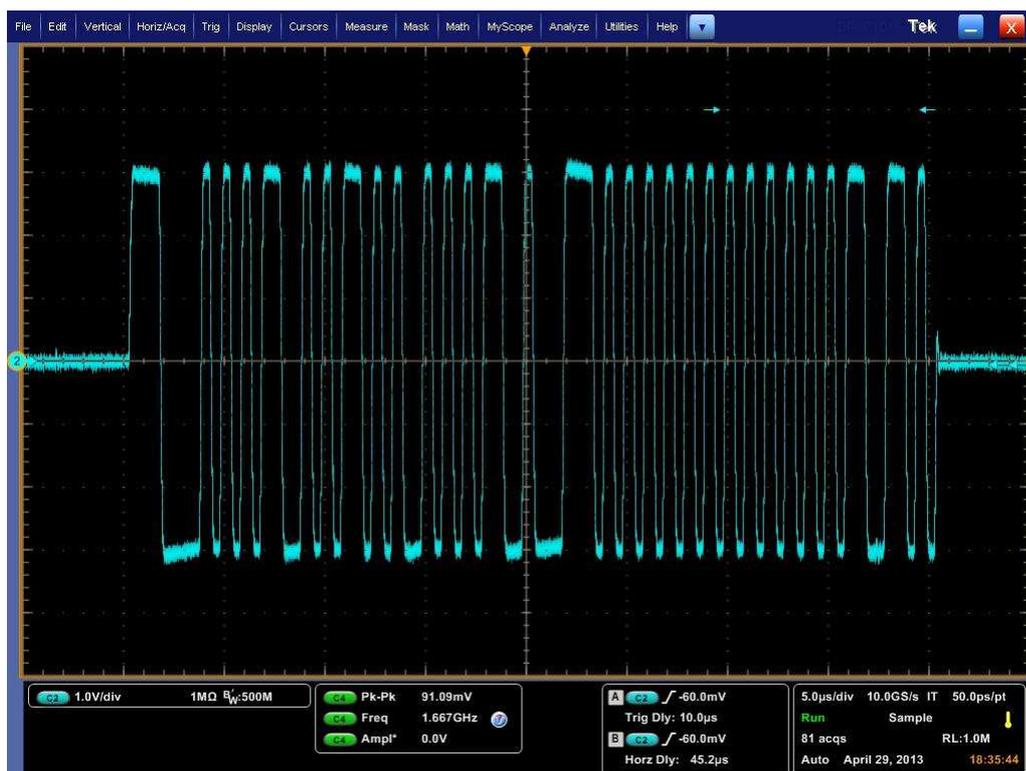


Figura 5.2 Messaggio 1553 RT-BC con risultato acquisizione 0V

La data word contenuta nel messaggio di figura 5.2 contiene il valore esadecimale 0x000B, che corrisponde al numero decimale 11.

Dato che al momento di tale acquisizione in ingresso alla catena analogica veniva dato un input di 0V, tale risultato è ragionevole poiché si ottiene:

$$\frac{(V_{ref\_ADC}^+ - V_{ref\_ADC}^-) * 5 * word_{ADC}}{2^{12}} = \frac{1V * 5 * 11}{2^{12}} \cong 13mV$$

Ne risulta che la catena di acquisizione funziona correttamente pur con un errore di misurazione pari a 13mV.

In figura 5.3 è possibile vedere la forma d'onda che la TMU manda in risposta al Bus Controller contenente la data word con il risultato dell'acquisizione quando in ingresso alla catena analogica è applicato un segnale di 2.5V (metà dinamica d'ingresso):

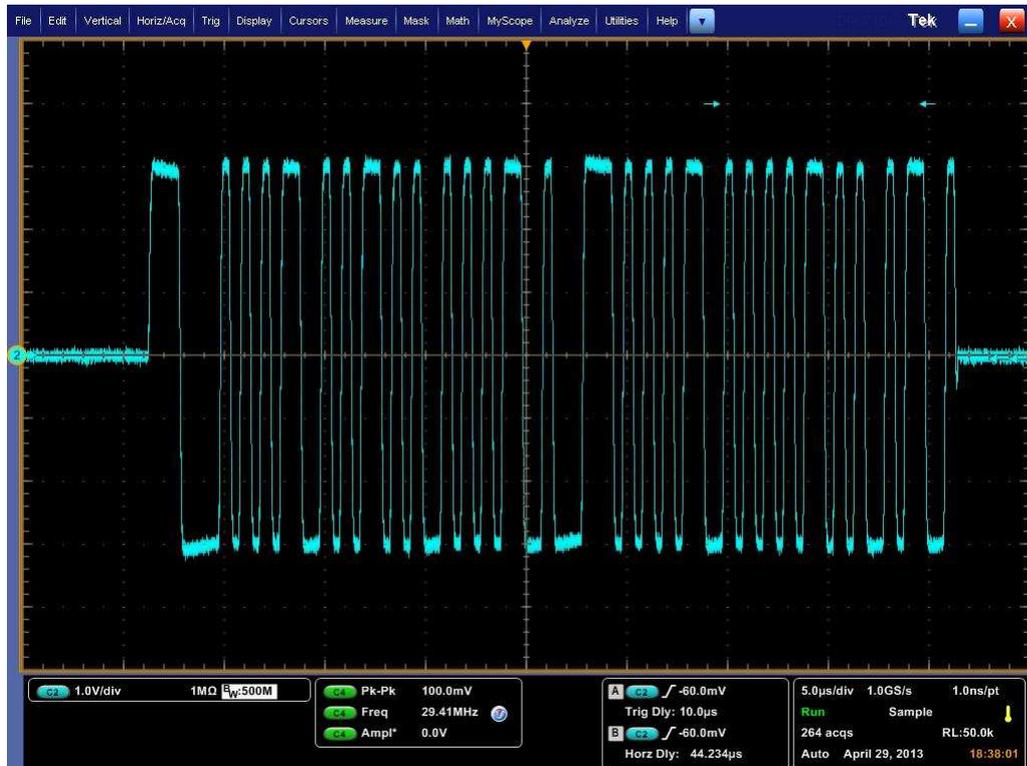


Figura 5.3 Messaggio 1553 RT-BC con risultato acquisizione 2.5V

La data word contenuta nel messaggio di figura 5.3 contiene il valore esadecimale 0x0839, che corrisponde al numero decimale 2105.

Dato che al momento di tale acquisizione in ingresso alla catena analogica veniva dato un input di 2.5V, tale risultato è ragionevole poiché si ottiene:

$$\frac{(Vref_{ADC}^+ - Vref_{ADC}^-) * 5 * word_{ADC}}{2^{12}} = \frac{1V * 5 * 2105}{2^{12}} \cong 2.569V$$

Ne risulta che la catena di acquisizione funziona correttamente pur con un errore di misurazione pari a 69mV.

In figura 5.4 è possibile vedere la forma d'onda che la TMU manda in risposta al Bus Controller contenente la data word con il risultato dell'acquisizione quando in ingresso alla catena analogica è applicato un segnali di 5V (limite superiore dinamica d'ingresso):

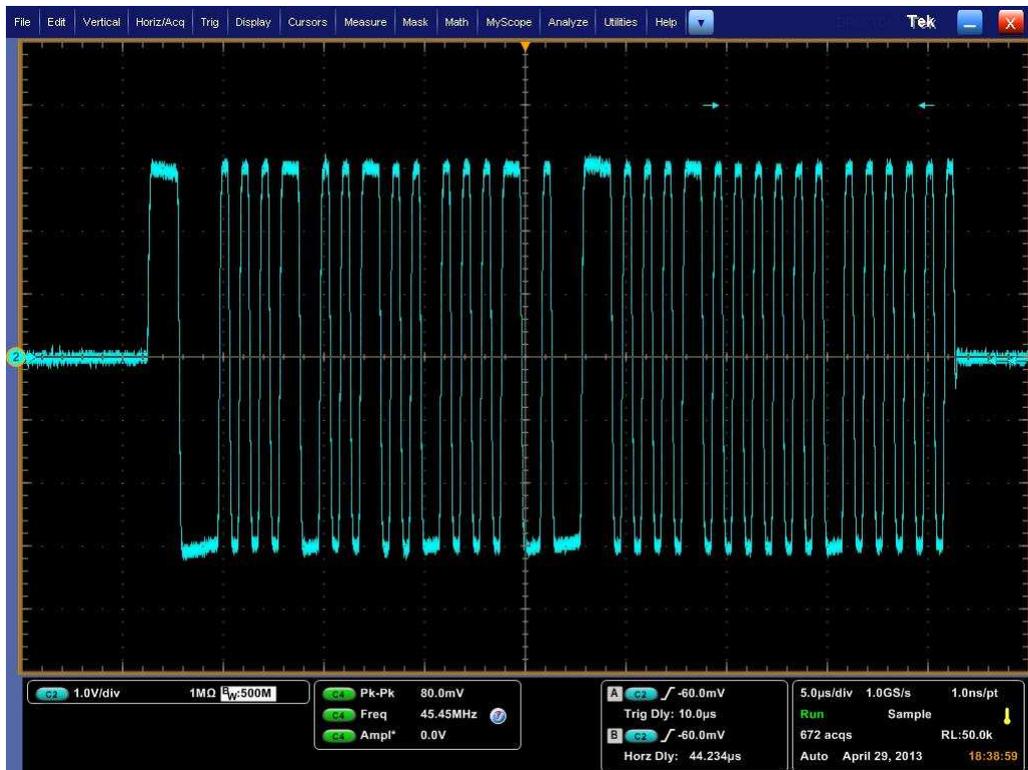


Figura 5.4 Messaggio 1553 RT-BC con risultato acquisizione 5V

La data word contenuta nel messaggio di figura 5.4 contiene il valore esadecimale 0x0FE0, che corrisponde al numero decimale 4064.

Dato che al momento di tale acquisizione in ingresso alla catena analogica veniva dato un input di 5V, tale risultato è ragionevole poiché si ottiene:

$$\frac{(Vref_{ADC}^+ - Vref_{ADC}^-) * 5 * word_{ADC}}{2^{12}} = \frac{1V * 5 * 4064}{2^{12}} \cong 4.960V$$

Ne risulta che la catena di acquisizione funziona correttamente pur con un errore di misurazione pari a 39mV.

Questi mostrati sono solo alcune delle misurazioni di test effettuate sulla catena analogica dalle quali emerge il corretto funzionamento della catena di acquisizione nel suo complesso se pur non con un errore di misurazione che si attesta nel peggiore dei casi nel 1.3%.

Di seguito sono mostrate le misurazioni effettuate comandando un'acquisizione con guadagno ed offset variabile: in questo modo viene testato il corretto funzionamento del circuito di offset e guadagno variabile. Tuttavia, dato il corretto funzionamento della catena nelle acquisizioni precedenti con guadagno pari ad 1 ed offset pari a 0 non ci si aspettano grossi problemi.

Nelle figure seguenti sono mostrate le forme d'onda che la TMU manda in risposta al Bus Controller contenenti la data word con il risultato dell'acquisizione quando in ingresso alla catena analogica è applicato un segnale pari a 3.75V.

Nella figura 5.5 nel caso di guadagno pari ad 1 ed offset pari a 1.25 V.



Figura 5.5 risultato acquisizione con  $G=1$  e  $OFF=1.75V$

La data word ricevuta mostrata in figura 5.5 contiene il valore esadecimale 0x0820, che corrisponde al numero decimale 2080.

Il che corrisponde ad una tensione interpretata di:

$$\frac{(Vref_{ADC}^+ - Vref_{ADC}^-) * 5 * word_{ADC}}{2^{12}} = \frac{1V * 5 * 2080}{2^{12}} \cong 2.539V$$

Il che è un valore corretto dato che in ingresso veniva fornito un valore di 3.75V e l'acquisizione è avvenuta con un offset di 1.5V.

Nella figura 5.6 nel caso di guadagno pari a 2 ed offset pari a 1.25 V.



Figura 5.6 risultato acquisizione con G=2 e OFF=1.75V

La data word ricevuta mostrata in figura 5.6 contiene il valore esadecimale 0x0843, che corrisponde al numero decimale 2115.

Il che corrisponde ad una tensione interpretata di:

$$\frac{(Vref_{ADC}^+ - Vref_{ADC}^-) * 5 * word_{ADC}}{2^{12}} = \frac{1V * 5 * 2115}{2^{12}} \cong 2.581V$$

Il che è un valore corretto dato che in ingresso veniva fornito un valore di 3.75V e l'acquisizione è avvenuta con un offset di 1.5V.

Nella figura 5.7 nel caso di guadagno pari a 4 ed offset pari a 1.25 V.



Figura 5.7 risultato acquisizione con  $G=4$  e  $OFF=1.75V$

La data word ricevuta mostrata in figura 5.7 contiene il valore esadecimale 0x07D0, che corrisponde al numero decimale 2000.

Il che corrisponde ad una tensione interpretata di:

$$\frac{(Vref_{ADC}^+ - Vref_{ADC}^-) * 5 * word_{ADC}}{2^{12}} = \frac{1V * 5 * 2000}{2^{12}} \cong 2.441V$$

Il quale è un valore corretto, se pur con un certo margine di errore, dato che in ingresso veniva fornito un valore di 3.75V e l'acquisizione è avvenuta con un offset di 1.5V.

Nella figura 5.8 nel caso di guadagno pari a 8 ed offset pari a 1.25 V.



Figura 5.8 risultato acquisizione con  $G=8$  e  $OFF=1.75V$

La data word ricevuta mostrata in figura 5.8 contiene il valore esadecimale 0x082A, che corrisponde al numero decimale 2080.

Il che corrisponde ad una tensione interpretata di:

$$\frac{(V_{ref\_ADC}^+ - V_{ref\_ADC}^-) * 5 * word_{ADC}}{2^{12}} = \frac{1V * 5 * 2090}{2^{12}} \cong 2.551V$$

Il che è un valore corretto dato che in ingresso veniva fornito un valore di 3.75V e l'acquisizione è avvenuta con un offset di 1.5V, se pur con un errore di misurazione pari a 51mV.

Senza tediare il lettore con tutta una serie di ulteriori risultati, si può concludere che la catena di acquisizione, e relativo circuito di guadagno ed offset variabile, funziona, se pur con un errore di acquisizione. Tale errore, che si attesta mediamente intorno al 1.5% della dinamica d'ingresso, è imputabile al di scostamento dal valore nominale delle resistenze che compongono la catena

analogica, ma soprattutto anche ai passi discreti con cui è possibile intervenire con i DAC che modificano offset e guadagno.

Infatti se si potesse intervenire con delle modiche più 'fini' delle correnti, ne risulterebbe un'acquisizione più accurata.

Dopo vari tentativi e misurazioni sperimentali risulta che i valori più idonei da dare ai DAC di guadagno ed offset sono quelli riassunti nella tabella 5.1:

	G=1	G=2	G=4	G=8
$V_{\text{off}} \text{ ideale}$	31	62	124	248
0	250	249	247	244
0,3125	248	245	239	229
0,625	246	241	232	213
0,9375	244	237	224	198
1,25	242	233	216	182
1,5625	240	229	208	167
1,875	238	226	201	151
2,1875	236	222	193	136
2,5	234	218	185	120
2,8125	232	214	177	105
3,125	230	210	170	89
3,4375	228	206	162	74
3,75	226	202	154	58
4,0625	224	198	146	43
4,375	222	195	139	27
4,6875	220	191	131	12

Tabella 5.1 Valori per DAC di guadagno ed offset su circuito reale

## Capitolo 6

### Conclusioni

Nel capitolo 5 si è mostrato, attraverso alcuni dei molti test eseguiti sulla scheda prototipo, come il progetto e la realizzazione delle interfacce per la scheda di telemetria rispettino i requisiti elencati nel capitolo 2.

In particolare le interfacce di acquisizione analogiche e digitali sono conformi alle specifiche e, comandate dall'unità di elaborazione FPGA, possono campionare e fornire correttamente i dati per una successiva post elaborazione. Nel corso dei test si sono evidenziate delle leggere differenze tra i valori attesi ed i valori misurati, differenze per la maggior parte imputabili alle tolleranze dei componenti utilizzati. Tuttavia la maggior fonte di errore nelle catene di acquisizione di segnali digitali è costituita dalla discretizzazione introdotta dai DAC: infatti futuri sviluppi del prototipo saranno focalizzati ad ottenere migliori prestazioni in termini di precisione di acquisizione. In particolare nella scelta dei resistori di precisione del circuito di guadagno ed offset variabile o un eventuale aumento del numero dei bit dei DAC.

Ciò nondimeno è di fondamentale importanza è che il prototipo realizzato possa essere pienamente di supporto alla sviluppo ed al test del firmware dell'FPGA, che costituisce il vero cuore del progetto Improved Telemetry: questo obiettivo è stato pienamente raggiunto dato che tutte le interfacce progettate sono funzionanti ed affidabili.

Inoltre Improved Telemetry EBB, dopo aver completato tutta la campagna di test di validazione del codice dell'FPGA, fungerà da modello dimostrativo presso l'ente spaziale europeo. E' infatti attraverso la dimostrazione pratica del funzionamento del prototipo che il progetto può esprimere appieno tutte le sue potenzialità.

Il lavoro presentato in questo documento si è svolto dal Settembre 2012 fino all'Aprile 2013. In quest' arco temporale l'autore di questa tesi ha potuto acquisire familiarità con gli aspetti principali riguardanti il design e il dimensionamento di un sistema elettronico e nella programmazioni in ambito del sistema operativo real time RTEMS. Nonché è stata un'esperienza molto formativa ed interessante soprattutto per quanto riguarda la fase di debug del prototipo e l'utilizzo di nuovi ed utili strumenti di laboratorio.

# Bibliografia

- 1: <http://www.milstd1553.com/resources-2/designers-guide/designers-notes/mil-std-1553-overview/>
- 2: “Electrical and layout considerations for 1553 terminal design” DDC, application note AN/B-27
- 3: Data Words 1553, <http://www.rfcafe.com/references/electrical/ew-radar-handbook/mil-std-1553-1773-data-bus.htm>
- 4: Caratteristica Termistore, [http://www.meas-spec.com/downloads/ESCC\\_Surface\\_Sensor\\_G15K4D489.pdf](http://www.meas-spec.com/downloads/ESCC_Surface_Sensor_G15K4D489.pdf)
- 5: Low-Noise, Precision Operational Amplifier op27 Datasheet
- 6: [http://commons.wikimedia.org/wiki/File:Instrumentation\\_Amplifier.svg](http://commons.wikimedia.org/wiki/File:Instrumentation_Amplifier.svg)
- 7: Analog Devices Precision Instrumentation Amplifier AD524 Datasheet
- 8: Analog Devices 8-Bit, High Speed, Multiplying D/A Converter DAC08
- 9: Rad-hard 12-bit 50 Msps A/D converter, ST Microelectronics
- 10: Compensated Device Incorporated, CDI 1N5819UR Datasheet
- 11: LM119/LM219/LM319 High Speed Dual Comparator, National Semiconductor
- 12: Multiplex Applications Handbook, MIL-HDBK-1553A1 November 1988
- 13: GR-RASTA LEON2/3 Development System, Aeroflex Gaisler, <http://www.gaisler.com>
- 14: GR-RASTA-IO FPGA User’s Manual Version 1.1.0, May 2010
- 15: Gaisler RTEMS driver documentation vers.1.2.1.0, Aeroflex Gaisler

# Ringraziamenti

Ringrazio tutto il personale di Thales Alenia Space -Milano per avermi aiutato e supportato durante questa bella esperienza lavorativa, mi hanno fatto sentire a mio agio e parte integrante del gruppo.

In particolare ringrazio l'Ing. Volpi per avermi dato la possibilità di lavorare a questo progetto, l'Ing. Mattavelli e Giacomini per avermi guidato negli aspetti tecnici del progetto e l'Ing. Saldarini per essermi stato di grande aiuto e conforto durante la fasi critiche dei test -oltre ad avere molta pazienza quando le cose non funzionavano per colpa delle mie numerose "sviste".

Ringrazio inoltre il Prof. Norgia per avermi supportato ed assistito durante tutto lo svolgimento della tesi, e per avermi insegnato come utilizzare ed interpretare gli strumenti di misura di laboratorio.

# Appendice

Sono allegati qui di seguito le caratteristiche e i datasheet dei componenti principali utilizzati nel prototipo.

## GR-RASTA LEON2/3 Development System



### Description

GR-RASTA is a development/evaluation system for LEON2 and LEON3 based spacecraft avionics. Processing is provided by the ATMEL AT697 LEON2 device, or by the LEON3 processor pre-programmed into either an Actel Accelerator or a Xilinx Virtex FPGA. Interfaces such as SpaceWire, 1553B, CAN and CCSDS TM/TX are provided on separate FPGA boards. Communication between boards is done via the Compact PCI (cPCI) interface. The system is shipped ready to use in a cPCI crate together with cabling, documentation and demonstration software.





RHF1201

## Rad-hard 12-bit 50 Msp/s A/D converter

## Features

- Qml-V qualified, smd 5962-05217
- Rad hard: 300 kRad(Si) TID
- Failure immune (SEFI) and latchup immune (SEL) up to 120 MeV-cm<sup>2</sup>/mg at 2.7 V and 125° C
- Hermetic package
- Wide sampling range
- Tested at 50 Msp/s
- Optimwatt™ adaptive power: 44 mW at 0.5 Msp/s, 100 mW at 50 Msp/s
- Optimized for 2 V<sub>pp</sub> differential input
- SFDR up to 75 dB at F<sub>S</sub> = 50 Msp/s, F<sub>in</sub> = 15 MHz
- 2.5 V/3.3 V compatible digital I/O
- Built-in reference voltage with external bias capability

## Applications

- Digital communication satellites
- Space data acquisition systems
- Aerospace instrumentation
- Nuclear and high-energy physics



## Description

The RHF1201 is a 12-bit 50 Msp/s sampling frequency analog-to-digital converter that uses pure (ELDRS-free) CMOS 0.25 μm technology combining high performance, radiation robustness and very low power consumption. The device is based on a pipeline structure and digital error correction to provide excellent static linearity. Specifically designed to optimize the speed power consumption ratio, the RHF1201 integrates a proprietary track-and-hold structure making it ideal for IF-sampling applications up to 150 MHz. A voltage reference network is integrated in the circuit to simplify the design and minimize external components. A tri-state capability is available on the outputs to allow common bus sharing. Output data can be coded in two different formats. A Data Ready signal, raised when the data is valid on the output, can be used for synchronization purposes.

Table 1. Device summary

Order code <sup>(1)</sup>	SMD pin	Quality level	Package	Lead finish	Packing	Marking	EPPL
RHF1201KSO1	-	Engineering model	SO-48	Gold	Strip pack	RHF1201KSO1	-
RHF1201KSO-01V	5962F0521701VXC	QMLV-Flight	SO-48	Gold	Strip pack	5962F0521701VXC	-

1. Contact your ST sales office for information about the specific conditions for products in die form and for information about SMD packages.



# Precision Instrumentation Amplifier

## AD524

### FEATURES

**Low Noise:** 0.3  $\mu\text{V}$  p-p 0.1 Hz to 10 Hz  
**Low Nonlinearity:** 0.003% (G = 1)  
**High CMRR:** 120 dB (G = 1000)  
**Low Offset Voltage:** 50  $\mu\text{V}$   
**Low Offset Voltage Drift:** 0.5  $\mu\text{V}/^\circ\text{C}$   
**Gain Bandwidth Product:** 25 MHz  
**Pin Programmable Gains of 1, 10, 100, 1000**  
**Input Protection, Power On–Power Off**  
**No External Components Required**  
**Internally Compensated**  
**MIL-STD-883B and Chips Available**  
**16-Lead Ceramic DIP and SOIC Packages and**  
**20-Terminal Leadless Chip Carriers Available**  
**Available in Tape and Reel in Accordance**  
**with EIA-481A Standard**  
**Standard Military Drawing Also Available**

### PRODUCT DESCRIPTION

The AD524 is a precision monolithic instrumentation amplifier designed for data acquisition applications requiring high accuracy under worst-case operating conditions. An outstanding combination of high linearity, high common mode rejection, low offset voltage drift and low noise makes the AD524 suitable for use in many data acquisition systems.

The AD524 has an output offset voltage drift of less than 25  $\mu\text{V}/^\circ\text{C}$ , input offset voltage drift of less than 0.5  $\mu\text{V}/^\circ\text{C}$ , CMR above 90 dB at unity gain (120 dB at G = 1000) and maximum non-linearity of 0.003% at G = 1. In addition to the outstanding dc specifications, the AD524 also has a 25 kHz gain bandwidth product (G = 1000). To make it suitable for high speed data acquisition systems the AD524 has an output slew rate of 5  $\text{V}/\mu\text{s}$  and settles in 15  $\mu\text{s}$  to 0.01% for gains of 1 to 100.

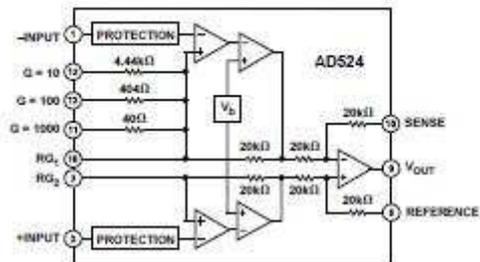
As a complete amplifier the AD524 does not require any external components for fixed gains of 1, 10, 100 and 1000. For other gain settings between 1 and 1000 only a single resistor is required. The AD524 input is fully protected for both power-on and power-off fault conditions.

The AD524 IC instrumentation amplifier is available in four different versions of accuracy and operating temperature range. The economical "A" grade, the low drift "B" grade and lower drift, higher linearity "C" grade are specified from  $-25^\circ\text{C}$  to  $+85^\circ\text{C}$ . The "S" grade guarantees performance to specification over the extended temperature range  $-55^\circ\text{C}$  to  $+125^\circ\text{C}$ . Devices are available in 16-lead ceramic DIP and SOIC packages and a 20-terminal leadless chip carrier.

### REV. E

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices.

### FUNCTIONAL BLOCK DIAGRAM



### PRODUCT HIGHLIGHTS

1. The AD524 has guaranteed low offset voltage, offset voltage drift and low noise for precision high gain applications.
2. The AD524 is functionally complete with pin programmable gains of 1, 10, 100 and 1000, and single resistor programmable for any gain.
3. Input and output offset nulling terminals are provided for very high precision applications and to minimize offset voltage changes in gain ranging applications.
4. The AD524 is input protected for both power-on and power-off fault conditions.
5. The AD524 offers superior dynamic performance with a gain bandwidth product of 25 MHz, full power response of 75 kHz and a settling time of 15  $\mu\text{s}$  to 0.01% of a 20 V step (G = 100).

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.  
 Tel: 781/329-4700 World Wide Web Site: <http://www.analog.com>  
 Fax: 781/326-8703 © Analog Devices, Inc., 1999