

POLITECNICO DI MILANO

Scuola di Ingegneria Industriale  
e dell'Informazione

Corso di Studi in Ingegneria Fisica



**METODOLOGIE DI SIMULAZIONE E  
CARATTERIZZAZIONE SIGNAL AND POWER  
INTEGRITY SU PROBE CARD PER  
APPLICAZIONI EWS**

Relatore: Dott. Alessandro Sottocornola Spinelli

Correlatore: Ing. Flavio Maggioni

Elaborato finale di:

Giovanni Casula

Matr. 817106

Anno accademico 2014/2015



L'importanza di alcune cose risiede non solo nella loro bellezza, ma anche nell'essere strumento utile per poter realizzare la bellezza stessa. Questo costituisce una speranza per il presente lavoro, e rappresenta anche il motivo per cui esso è dedicato a mio padre, che certamente è incarnazione di questo pensiero.



# *Riassunto*

Il presente lavoro di tesi ha come scopo l'implementazione di un software basato su un modello elettrico a parametri concentrati utile per effettuare analisi di pre-layout di sistemi di alimentazione di Probe Card per applicazioni di tipo EWS.

Per raggiungere questo obiettivo è stato necessario affiancare ad una attività strettamente di programmazione informatica anche la sintesi di modelli fisici e circuitali che descrivessero i fenomeni che avvengono durante il trasporto di corrente all'interno di PCB ed una attività sperimentale con lo scopo di validare il modello elaborato.

Dopo aver tradotto le richieste di funzionalità in termini di specifiche il lavoro è stato concentrato sulla parte informatica, in modo tale da ottenere una struttura funzionante in grado di generare dei risultati grafici. Una volta raggiunto questo obiettivo si è elaborato il modello fisico, individuando inizialmente i parametri di importanza maggiore per una corretta previsione, ed assicurandone una corretta descrizione, sfruttando come paragone lavori teorici presenti in letteratura e simulazioni elettromagnetiche.

A questa fase è seguita una campagna sperimentale volta a raccogliere andamenti reali di un campione molto semplice di alimentazione, da confrontare con gli andamenti simulati con scopo di fine tuning. Una volta ottenuto un modello soddisfacente sono state effettuate misure su una Probe Card reale in modo tale da validare il software creato anche su sistemi reali e complessi.

I risultati mostrano un andamento molto soddisfacente nonostante l'approssimazione a parametri concentrati e qualificano il software creato come un buono strumento per le analisi richieste.

# *Abstract*

This work describes the realization of a pre-layout software based on the lumped-parameter model that can simulate the behaviour of the power delivery network of a Probe Card for EWS applications.

To obtain this result I had to couple a pure coding work to the developing of physical models able to describe in a simplified way all the phenomena that occur during current flowing inside a PCB and to a experimental campaign whose results were useful to validate the model itself.

The first step taken was the implementation of the software in order to obtain simple user interfaces and useful graphical results. After that I focused on the lumped-parameter electrical model, insulating at first the most interesting aspects in order to obtain a description as accurate as possible using data on literature and performing electromagnetic simulations for comparisons.

Some measurements were taken after in order to collect real behaviours of a very simple test benchmark, useful to obtain a fine tuning of the previous model and to validate it. Once the model was satisfactory I compared it's prevision with the measured impedance of the power delivery network of a real probe card, in order to test the software's previsions on real complex systems.

Despite of the simple approximation behind the whole model the results obtained are very satisfying and they qualify the implemented software as a very useful tool for qualitative impedance analysis.



# ***I. Indici***

## ***I.1. Indice***

<b><i>I. Indici</i></b> .....	4
<i>I.1. Indice</i> .....	4
<i>I.2 Figure e Grafici</i> .....	8
<i>I.3 Tabelle</i> .....	11
<b><i>II. Introduzione</i></b> .....	13
<b><i>III. Probe Cards</i></b> .....	14
<i>III.1. Probe Cards nell'industria dei Semiconduttori</i> .....	14
<i>III.2. Tipologie di Probe Card</i> .....	15
<i>III.2.i. Cantilever Technology</i> .....	15
<i>III.2.ii. Tecnologia Verticale</i> .....	17
<i>III.2.ii.i. Probe Head</i> .....	18
<i>III.2.ii.ii. Direct Attach</i> .....	18
<i>III.2.ii.iii. Wired Space Transformer</i> .....	19
<i>III.2.ii.iv Tecnologia Ibrido Space Transformer</i> .....	19
<i>III.2.ii.v. Standard Interposer</i> .....	20
<i>III.2.ii.vi. MLO/MLC</i> .....	21
<i>III.2.ii.vii. Silicon Interposer</i> .....	23
<i>III.2.ii.viii. PCB</i> .....	24
<b><i>IV. Vincoli di Progetto</i></b> .....	25
<i>IV.1 Vincoli Meccanici (Cenni)</i> .....	25



IV.1.i. Vincoli di Planarità.....	25
IV.1.ii. Vincoli di Resistenza allo Sforzo.....	26
IV.2 Vincoli Termici (Cenni).....	26
IV.3. Vincoli Elettromagnetici.....	28
IV.3.i. Teoria delle Linee di Trasmissione.....	28
IV.3.ii. Parametri di Scattering.....	31
IV.3.iii. Comportamento Reale di Elementi Circuitali e Parassitismi.....	33
IV.3.iv. Power Delivery Network.....	35
IV.3.iv.i. DC Voltage Drop.....	36
IV.3.iv.ii. AC Noise.....	37
IV.3.iv.iii. Filtraggio.....	37
IV.3.iv.iv. Tipico Profilo di Impedenza.....	39
IV.3.v. Effetto Pelle.....	40
<b>V. Implementazione Software di Simulazione Prelayout.....</b>	<b>42</b>
V.1. Stato dell'Arte.....	42
V.2. Algoritmo di Funzionamento.....	44
V.2.i. Gestione delle Interfacce Utente.....	45
V.2.i.i. MATLAB® GUIDE.....	45
V.2.i.ii. Inserimento Dati.....	46
V.2.ii Creazione Database ed Estrazione dei Dati.....	47
V.2.ii.i. Struttura dei Dati.....	47
V.2.ii.ii. Creazione dei Database.....	48

V.2.ii.iii. Estrazione dei Dati.....	48
V.2.iii. Implementazione del Circuito e Solver RF.....	49
V.2.iii.i. MATLAB® RF Toolbox.....	49
V.2.iii.ii. Definizione del Circuito.....	49
V.2.iii.iii. Solver RF.....	50
<b>VI. Modello Fisico Per la Descrizione Dei Parassitismi.....</b>	<b>52</b>
VI.1. Introduzione.....	52
VI.2. Aghi di Sonda.....	52
VI.3. Power and Ground Planes.....	54
VI.3.i. Risonanze.....	55
VI.3.ii. Accoppiamento Capacitivo.....	56
VI.3.iii. Resistenza.....	57
VI.3.iv. Accoppiamento Induttivo.....	60
VI.3.iv.i Metodo ad Elementi Finiti (Cenni).....	60
VI.3.iv.ii. Induttanza e Geometria del PDN di Probe Cards.....	61
VI.3.iv.iii. Induttanza di un Piano Pieno.....	61
VI.3.iv.iv. Induttanza di un Piano Forato.....	65
VI.4. Via.....	68
VI.5. Solder Ball.....	69
VI.6. Altre Interconnessioni.....	70
<b>VII. Misure Sperimentali.....</b>	<b>71</b>
VII.1. Il Vector Network Analyzer.....	71
VII.2. Teoria della Misura a due Porte.....	73

<i>VII.3. Struttura del Campione Misurato.....</i>	<i>75</i>
<i>VII.4. Setup Sperimentale.....</i>	<i>78</i>
<i>VII.5. Risultati.....</i>	<i>80</i>
<i>VII.6. Misurazione del PDN di una Probe Card Reale.....</i>	<i>83</i>
<i>VII.6.i. Struttura dell’Alimentazione Selezionata.....</i>	<i>85</i>
<i>VII.6.ii. Risultati.....</i>	<i>86</i>
<b><i>VIII. Elaborazione del Modello Circuitale e Simulazione.....</i></b>	<b><i>87</i></b>
<i>VIII.1. Introduzione.....</i>	<i>87</i>
<i>VIII.2. Modello a Parametri Concentrati dei Componenti.....</i>	<i>87</i>
<i>VIII.2.i. Probe Head.....</i>	<i>87</i>
<i>VIII.2.ii. Via, BGA ed Interconnessioni Filate.....</i>	<i>88</i>
<i>VIII.2.iii. Power Planes.....</i>	<i>89</i>
<i>VIII.3. Modello a Parametri Concentrati del PDN di una Probe Card.....</i>	<i>93</i>
<b><i>IX. Confronto fra Simulazioni e Misure. Validazione del Modello.....</i></b>	<b><i>97</i></b>
<i>IX.1. Parametri di Simulazione.....</i>	<i>97</i>
<i>IX.2. Confronto.....</i>	<i>98</i>
<b><i>X. Conclusioni.....</i></b>	<b><i>103</i></b>
<b><i>XI. Bibliografia.....</i></b>	<b><i>105</i></b>

## I.2. Figure e Grafici

• Figura III-1: Apparato sperimentale per il Wafer Testing.....	14
• Figura III-2: Sonde Cantilever e sonde verticali.....	15
• Figura III-3: Vista Probe Side di una Probe Card in tecnologia Cantilever.....	15
• Figura III-4: Configurazione coaxial wire.....	16
• Figura III-5: Configurazione coaxial probe.....	16
• Figura III-6: Cobratek needle.....	17
• Figura III-7: Diverse geometrie delle punte di aghi per tecnologia verticale.....	17
• Figura III-8: Probe Head.....	18
• Figura III-9: Schema di una Probe Card con tecnologia Direct Attach.....	18
• Figura III-10: Ingrandimento dei pad di un PCB a cui verranno saldate le sonde di una scheda Direct Dock.....	18
• Figura III-11: Stiffener.....	19
• Figura III-12: Space Transformer Probe e Tester Side.....	19
• Figura III-13: Tecnologia Ibrida.....	19
• Figura III-14: Ingrandimento di Rider Board e Probe Head.....	19
• Figura III-15: Vista Probe Side di un Interposer.....	20
• Figura III-16: Diverse configurazioni di posizionamento di Interposer.....	20
• Figura III-17: Esempio di stack-up di LTCC MLC.....	21
• Figura III-18: Esempio di MLO.....	21
• Figura III-18b: Stack-up tipico di MLO.....	21
• Figura III-19: Particolare di saldatura di MLO su PCB.....	23
• Figura III-20: Silicon Interposer.....	23
• Figura III-21: Tipico PCB per applicazioni EWS.....	24
• Figura III-22: Step fondamentali per il processo di manifattura di PCB.....	24
• Figura IV-1: Ingrandimento su viti di fissaggio e planarizzazione dell'Interposer.....	25
• Figura IV-2: Simulazione FEM della distribuzione delle forze sullo stiffener.....	26
• Figura IV-3: Schema semplificato di una linea di trasmissione.....	28
• Figura IV-4: Particolare della microstriscia di un PCB e del suo ritorno di massa.....	28
• Figura IV-5: Modello a parametri distribuiti di una linea trasmissiva.....	29
• Figura IV-6: Schema di una rete a due porte.....	31
• Figura IV-7: Andamento in frequenza del parametro $S_{11}$ , simulato.....	32
• Figura IV-8: Circuito equivalente ad un resistore ideale.....	33
• Figura IV-9: Comportamento reale di un induttore in frequenza.....	33
• Figura IV-10: Modello circuitale equivalente ad un induttore reale.....	33
• Figura IV-11: comportamento reale di un resistore in frequenza.....	33
• Figura IV-12: Modello circuitale equivalente di un condensatore reale.....	34
• Figura IV-13: Comportamento reale di un condensatore in frequenza variandone il case.....	34
• Figura IV-14: Diversi Power Planes in un singolo layer di PCB.....	35
• Figura IV-15: Esempio di IR Drop.....	36
• Figura IV-16: Varie configurazioni di condensatori reali identici in parallelo.....	38
• Figura IV-17: Confronto fra configurazioni di montaggio che favoriscono il filtraggio o presentano picchi di antirisonanza.....	38
• Figura IV-18: Profilo di impedenza di una Probe Card senza sistema di filtraggio, simulato.....	39
• Figura IV-19: Effetto pelle mostrato su una linea trasmissiva.....	41
• Figura V-1: Modello circuitale di PDN ottimizzato all'alimentazione di modulo FPGA.....	43
• Figura V-2: Ambiente di programmazione GUIDE.....	45
• Figura V-3: Esempio di Pop-Up Menu.....	46

- Figura V-4: Confronto fra interfaccia di inserimento e forma del foglio Excel contenente i dati corrispondenti.....47
- Figura V-5: Database per le sonde.....48
- Figura V-6: Assegnazione dei nodi in uno stadio RLC.....49
- Figura V-7: Assegnamento delle porte ad un bipolo.....50
- Figura V-8: Parametro  $S_{11}$  e  $Z_{11}$  di una rete RLC ricavati da simulazione AC effettuata con la tecnica descritta.....51
- Figura VI-1: Ago di sonda realizzato con tecnologia Cobratek da Technoprobe.....52
- Figura VI-2: Modello geometrico semplificato di un ago cilindrico o a prisma.....53
- Figura VI-3: Diverse configurazioni per i Power Needles.....53
- Figura VI-4: Geometria di un piano di alimentazione sovrapposto al suo ritorno di massa.....54
- Figura VI-5: Particolare di tre Power Planes in un singolo layer dello stack-up di un PCB.....54
- Figura VI-6: Guida d'onda planare.....55
- Figura VI-7: Andamento della corrente nei piani in DC.....57
- Figura VI-8: Comportamento della corrente in AC.....57
- Figura VI-10: Ladder circuit per la modellizzazione di skin effect.....58
- Figura VI-11: Skin effect modellizzato con ladder circuit a due stadi.....59
- Figura VI-12: Modello di skin effect utilizzato nel software di simulazione.....60
- Figura VI-13: Esempio di meshing tetraedrico.....60
- Figura VI-14: Mesh adattativo ricavato da un modulo reale.....60
- Figura VI-15: Loop induttivo del sistema composto da power e ground plane.....61
- Figura VI-16: Struttura simulata con ingrandimento sullo spessore di dielettrico.....62
- Figura VI-17: Risultato della simulazione dell'induttanza del piano effettuata con CST Microwave Studio.....62
- Figura VI-18: Andamento dell'induttanza in funzione della frequenza, dettaglio.....63
- Figura VI-19: Spreading delle correnti in seguito ad iniezione puntuale.....64
- Figura VI-20: interpolazione dell'errore in funzione del fattore di forma.....64
- Figura VI-21: Piano forato.....65
- Figura VI-22: Quadrato inscritto e circoscritto al foro.....65
- Figura VI-23: Piano forato con geometria approssimata.....65
- Figura VI-24: Processo di scomposizione del piano.....66
- Figura VI-25: Scomposizione in elementi base.....66
- Figura VI-26: Geometria simulata.....67
- Figura VI-27: Particolare di un piano di alimentazione di un MLO.....67
- Figura VI-28: Modello di via.....68
- Figura VI-29: Esempio di BGA.....69
- Figura VI-30: Particolare di due Solder Ball saldate.....69
- Figura VI-31: Modellizzazione semplificata di BGA.....69
- Figura VI-32: Modello di cui è stata calcolata la resistenza.....69
- Figura VI-33: Esempio di interconnessione filata.....70
- Figura VII-1: Vector Network Analyzer.....71
- Figura VII-2: Schema a blocchi di un VNA.....72
- Figura VII-3: Esempio di misura a quattro punte.....73
- Figura VII-4: Modello del sistema di misura.....74
- Figura VII-5: Technoprobe PDN measure benchmark.....75
- Figura VII-6: Particolare del layer Power<sub>10</sub> dell'intero PDN Measure Benchmark.....75
- Figura VII-7: Proprietà del campione.....76
- Figura VII-8: Particolare dello stack-up del PDN Measure Benchmark (piani).....76
- Figura VII-9: Particolare dello stack-up del PDN Measure Benchmark (via).....77
- Figura VII-10: Primo setup sperimentale utilizzato.....78
- Figura VII-11: Setup sperimentale definitivo.....78
- Figura VII-12: Setup di calibrazione.....78

- Figura VII-13: Confronto fra i due tipi di misura.....79
- Figura VII-14: Confronto fra PCB con e senza sistema filtrante.....80
- Figura VII-15: Setup sperimentale utilizzato.....80
- Figura VII-16: Confronto fra misure con e senza sistema di filtraggio complesso.....81
- Figura VII-17: Confronto fra misure con diversi sistemi filtranti.....83
- Figura VII-18: Setup di misura relativo a figura VII-17.....83
- Figura VII-19: Confronto fra misure con diversi sistemi filtranti.....84
- Figura VII-20: Particolare del setup per misura su Probe Card.....84
- Figura VII-21: Probe Card misurata.....85
- Figura VII-22: Impedenza misurata del sistema di alimentazione selezionato.....86
- Figura VIII-1: Modello circuitale di Probe Head.....87
- Figura VIII-2: Simulazione di impedenza di una Probe Head.....88
- Figura VIII-3: Confronto fra diversi tipi di interconnessione simulati.....88
- Figura VIII-4: Primo modello di piano di alimentazione.....89
- Figura VIII-5: Simulazione corrispondente al circuito di figura VIII-4.....90
- Figura VIII-6: Modello circuitale comprensivo di due risonanze.....90
- Figura VIII-7: Confronto fra simulazioni dei due diversi modelli circuitali.....91
- Figura VIII-8: Modello circuitale comprensivo di effetto pelle.....91
- Figura VIII-9: Confronto fra simulazione con e senza skin effect.....92
- Figura VIII-10: Schema a blocchi del PDN e suo modello circuitale.....93
- Figura VIII-11: Profilo di impedenza di una Probe Card con diverse configurazioni di filtraggio.....95
- Figura VIII-12: Paragone fra efficacia del filtraggio in differenti siti di montaggio.....96
- Figura IX-1: PCB misurato e simulato.....97
- Figura IX-2: Modello circuitale del dispositivo di figura IX-1.....97
- Figura IX-3: Impedenza del PDN del campione di figura IX-1.....98
- Figura IX-4: PDN del campione con filtraggio applicato.....98
- Figura IX-5: Simulazione di PCB con cinque condensatori da 1nF applicati.....99
- Figura IX-6: Simulazione di PCB con cinque condensatori da 1nF e tre da 100nF.....99
- Figura IX-7: Simulazione di PCB con cinque condensatori da 1nF, sei da 100nF ed uno da 10µF.100
- Figura IX-8: Simulazione di PCB con cinque condensatori da 1nF, sei da 100nF, tre da 1µF ed uno da 10µF.....101
- Figura IX-9: Confronto fra impedenza di una alimentazione di una Probe Card reale misurata e simulata.....102

### *I.3. Tabelle*

- Tabella III-1: coefficienti di espansione termica di vari componenti.....22
- Tabella V-1: Algoritmo di funzionamento del software di simulazione.....44
- Tabella V-2: Flusso dei due diversi tipi di dato dall'inserimento all'utilizzo.....48
- Tabella VI-1: Proprietà della struttura simulata.....62
- Tabella VI-2: Risultati di diverse simulazioni a confronto (piano pieno).....64
- Tabella VI-3: Risultati di diverse simulazioni a confronto (piano forato).....67
- Tabella VII-1: Stack-up del campione.....75
- Tabella VII-2: Dimensioni reali del campione.....77
- Tabella VII-3: Dimensioni e materiali della Probe Card analizzata.....85
- Tabella VIII-1: Geometrie di interconnessioni differenti.....88
- Tabella VIII-2: Parametri tipici per una Probe Card.....96
- Tabella IX-1: Proprietà del PCB in esame.....97





## II. Introduzione

Il mercato dei microprocessori, e più in generale dei semiconduttori, rappresenta in questo momento una delle realtà più solide a livello mondiale. L'importanza dei loro prodotti assume connotati trasversali che abbraccia numerosi aspetti, sia del mondo industriale che del vivere comune. Il progresso tecnologico ha profondamente modificato lo stile di vita di ognuno, aggiungendo opportunità di comunicazione insperate fino a pochi decenni fa, ed ha velocizzato e migliorato anche il mondo della produzione industriale.

Al contempo però un circuito integrato costituisce uno dei manufatti di produzione più complessi da realizzare, ed a causa della sua enorme complessità a livello industriale sono necessari strumenti e macchinari per il suo trattamento altamente ingegnerizzati e performanti.

Il presente lavoro, e l'azienda presso cui è stato svolto si pongono proprio in questo settore. Technoprobe S.p.A. è una azienda italiana, leader nel mercato delle Probe Card (dispositivi elettromeccanici per il testing di circuiti integrati) grazie alla possibilità di offrire ai propri clienti il massimo della tecnologia attualmente disponibile nel campo delle interconnessioni ad alta velocità. Questa realtà vanta fra i propri clienti compagnie leader nel settore dei semiconduttori, i quali proprio per la loro posizione di rilievo richiedono dispositivi altamente performanti in tempi sufficientemente brevi.

Con l'avanzare della tecnologia a semiconduttore, dispositivi sempre più complessi vengono realizzati con processi sempre più precisi ed in tempi sempre più brevi. Tali dispositivi necessiteranno di numerose fasi di testing, e di conseguenza ad ognuno sarà necessaria una Probe Card dedicata. Come conseguenza di questo fatto il design e la produzione di questo complesso dispositivo dovranno essere compressi in tempi sempre più brevi, mantenendo inalterate le sue prestazioni. Grande parte del tempo dedicato alla fase di analisi di *Signal* e *Power Integrity* è occupata dalle simulazioni elettromagnetiche, sviluppate per garantire che i sistemi elettronici propaghino segnali ed alimentazioni il più possibile in linea con le richieste dei clienti.

Il presente elaborato ha come scopo quello di descrivere il processo ed i risultati di uno sviluppo software in grado di svolgere una simulazione del profilo di impedenza di una Probe Card prima e dopo l'applicazione di sistemi di filtraggio basati su condensatori, basandosi su un modello a parametri concentrati. Questo strumento presenta una grande utilità in fase di pre-layout di progetto, in quanto presenta tempi di calcolo trascurabili se confrontati con quelli di qualsiasi altro simulatore elettromagnetico, restituendo risultati comunque validi per impostare il progetto nella direzione giusta.

I primi due capitoli introdurranno il lettore nel mondo delle Probe Card, inizialmente fornendo una panoramica dello scopo del dispositivo e delle tecnologie adottate per la sua realizzazione; in seguito verranno trattate nel capitolo IV. le problematiche progettuali collegate alla realizzazione di questi oggetti, cercando il più possibile di fornire una visione che sia interdisciplinare all'interno delle più importanti branche dell'ingegneria.

Il capitolo VI. descriverà il modello fisico utilizzato per descrivere e stimare numericamente i parassitismi che intervengono nel degradare la qualità del segnale e delle alimentazioni durante il transito nei circuiti stampati che compongono una Probe Card.

Questi valori verranno utilizzati all'interno di una rete elettrica elaborata *ad hoc* per descrivere i sistemi di alimentazione delle Probe Card ed i sistemi di filtraggio su esse applicati. I modelli semplificati utilizzati sono ricavati da un confronto fra la teoria dei circuiti e delle misure effettuate su un campione noto, confrontando i risultati di tali misure con le simulazioni rispettive, in approccio *trial and error*.

# III. Probe Cards

## III.1. Probe Cards nell'industria dei Semiconduttori

Una *Probe Card* è un dispositivo elettromeccanico molto complesso utilizzato nella produzione di dispositivi a semiconduttore, ed in particolare essa costituisce il viatico fra le fasi di Front End e di Back End. Lo scopo di questo strumento è infatti quello di essere terminale per testare il wafer contenenti numerose copie di un dispositivo finito (i.e. un microprocessore o una memoria) prima della fase di packaging finale. Ogni singolo *die* costituente il wafer viene contattato elettricamente verificandone così l'integrità, e in caso di malfunzionamento esso viene investito da un getto di inchiostro che ne indica la rottura agli operatori delle fasi seguenti di produzione.

Il testing in cui una *Probe Card* viene coinvolta è chiamato EWS (Electrical Wafer Sorting) ed è soltanto una delle tre fasi di test a cui vengono sottoposti gli IC durante la fase di produzione:

- *EWS*: il dispositivo viene sottoposto a stimoli elettrici semplificati rispetto a quelli necessari al funzionamento per verificarne l'integrità (vedi sotto).
- *Burn-In*: i dispositivi vengono sottoposti ad un periodo di 12-24 ore in cui viene stressata la temperatura operativa al fine di indurre uno stato di usura intensa per poi essere sottoposti ad EWS.
- *Final Test*: collaudo full speed di dispositivi finiti ed *in package*.

La fase di *Wafer Testing* è molto importante nell'industria della microelettronica a causa del forte rinnovamento che la investe continuamente: secondo la legge di Moore il numero di transistor che è possibile integrare in un singolo processore raddoppia circa ogni diciotto mesi, di conseguenza le capacità di calcolo aumentano con questa frequenza e con essa migliorano le tecnologie di produzione. A causa della complicatezza del processo produttivo [1] c'è una probabilità di ottenere dei dispositivi difettosi a questo punto del processo che può variare da qualche unità percentuale fino anche al 90% nel caso di processi ai primi stadi, per cui si vede necessario un testing del 100% dei dispositivi prodotti.

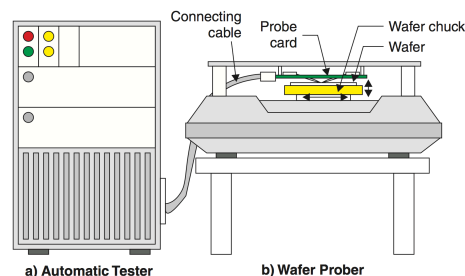
Per effettuare questo tipo di controllo è necessario un apposito apparato composto di tre elementi: la *Probe Card*, un *Wafer Prober*, ed infine un *Tester* (figura III-1).

Il *Tester* è un computer connesso a dei *power supply* ed a dei generatori di funzione, programmabile il modo tale da poter stimolare il singolo die con dei segnali uguali a quelli che dovrà gestire in condizioni operative sul campo. Esso viene connesso direttamente alla *Probe Card*, che sarà lo strumento che fisicamente contatterà il wafer.

Il *Wafer Prober* è il dispositivo su cui sono montati sia la *Probe Card* che il *Wafer*; quest'ultimo viene adagiato su di un *chuck* mobile che permette all'intero set-up di collaudare sequenzialmente tutti i dispositivi stampati sul wafer, mentre la *Probe Card* viene montata al di sopra del wafer su un attrezzo.

In questo modo la *probe card* risulta montata quindi con le punte rivolte verso il basso (*probe side*) ed il wafer viene sollevato dal *chuck* per effettuare il contatto. L'altro lato della *probe card*, a contatto con il *prober*, è indicato come "tester side".

La peculiare forma della *Probe Card* (che verrà approfonditamente discussa nei capitoli successivi) è principalmente figlia dell'isolamento di ciascun dispositivo all'interno del wafer: esso viene infatti coperto quasi per intero da un *layer* passivante, tranne per alcuni *pad*, che dovranno essere contattati. Essi sono di dimensioni molto ridotte e fra loro molto ravvicinati e per questo il terminale di contattazione è costituito da array di speciali aghi di diametro che può arrivare fino alle decine di micron, disposti con lo stesso pattern dei suddetti *pad*.



**Figura III-1: apparato sperimentale per il Wafer Testing**

## III.2. Tipologie di Probe Cards per EWS

Il mercato delle Probe Card ha come clientela esclusiva l'industria dei semiconduttori, per cui le tecnologie utilizzate devono seguire fedelmente le richieste prestazionali di questi dispositivi.

Fino a poco tempo fa la prevalenza della domanda richiedeva la gestione di segnali digitali a bassa frequenza, e segnali analogici o RF erano richieste di nicchia. In seguito all'impennata nello sviluppo di processori però la precedente categorizzazione si è andata diluendo sempre di più, in quanto gli stessi segnali digitali presentano commutazioni in tempi sempre più brevi ed hanno durata di bit paragonabile al suo tempo di salita; per questo essi ora sono assimilabili a segnali analogici ad alta frequenza. Un altro motivo che ha richiesto un aumento prestazionale importante alle Probe Card è stata la tendenza, figlia anch'essa del miglioramento delle frequenze di lavoro dei microprocessori, all'abbandono dei tradizionali bus dati paralleli per il passaggio a bus seriali ad alta velocità.

L'incremento prestazionale di prodotti esistenti non è poi stata l'unica fonte di miglioramento per questo tipo di tecnologia: l'introduzione di dispositivi MEMS e circuiti elettro-ottici ha richiesto una ulteriore attenzione al trattamento di segnali analogici, e tutti questi trend tendono a spostare la richiesta del mercato verso bande sempre più larghe e verso un degrado sempre minore dei segnali ad altissima frequenza.

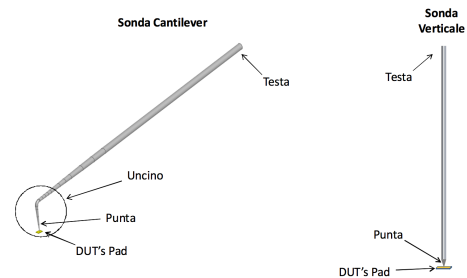


Figura III-2: sonde Cantilever e sonde Verticali

Per soddisfare le richieste precedentemente descritte le Probe Cards presentano diverse tecnologie di realizzazione, in continuo sviluppo, le quali presentano fra loro diversi pro e contro, ma che insieme riescono a coprire buona parte del mercato. Le due tecnologie ad oggi in uso sono la tecnologia Cantilever e quella a Contattazione Verticale, fra loro differenti nella posizione delle sonde rispetto al wafer (figura III-2).

### III.2.i. Cantilever Technology

In una Probe Card realizzata con tecnologia Cantilever un anello di resina epossidica è fissato tramite un supporto ceramico al PCB<sup>1</sup>. Lo scopo di tale anello è di mantenere le sonde in posizione fissa durante la fase di contattazione (*touch-down*), un esempio di questo tipo di configurazione è riportato in figura III-3.

Le sonde vengono fissate al PCB lato *probe side* e dai punti di saldatura partono dei fori passanti che riportano i segnali dalle sonde all'altro lato della scheda<sup>2</sup>, che sarà in contatto con il tester tramite i cosiddetti *Pogo-Pin*. Lungo questo lato viene generalmente montata la componentistica, fra cui condensatori di filtro utili per evitare rumori di commutazione simultanea fra i diversi segnali, causati da disturbi sull'alimentazione.

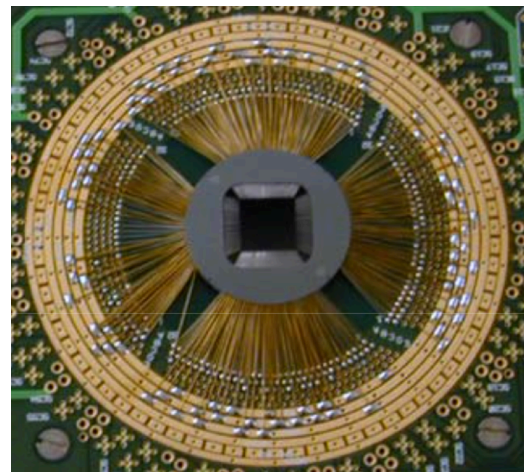


Figura III-3: vista dal basso (*probe side*) di una Probe Card in tecnologia Cantilever

Le sonde generalmente possiedono una forma ad uncino (fig. III-2) con diametro che va riducendosi fino ad essere minimo in corrispondenza della punta e sono composti di materiali molto resistenti, quali ad esempio Tungsteno o leghe Rame-Berillio per permettergli di resistere a numerosi *touch-down* e per garantire il minor degrado possibile durante il passaggio di correnti molto elevate, dell'ordine di 1A pur mantenendo ridotti valori di resistenza e di resistenza di contatto.

La disposizione geometrica può essere molto complessa in quanto le punte devono disporsi con lo stesso pattern dei *pad* del processore, seppure partendo da un sistema di riferimento circolare (*epoxy ring*). Per

<sup>1</sup> Printed Circuit Board, la cui realizzazione è trattata nei capitoli successivi.

<sup>2</sup> Solitamente si denota *tester-side*, il lato in cui la Probe Card viene contattata al Tester e *probe-side* il lato ove sono poste le sonde.

ottenere questo generalmente le sonde possono essere posizionate ad altezze diverse, complicando ulteriormente la disposizione.

Dal punto di vista delle prestazioni sono proprio le sonde a costituire il fattore limitante: esse sono generalmente molto lunghe (dell'ordine dei centimetri), e per lunghi tratti sono disposte fra loro vicine. In presenza di segnali molto veloci essi possono presentare fra loro un accoppiamento importante che porta ad una riduzione notevole della banda passante. Per questo motivo schede cantilever vengono utilizzate principalmente per applicazioni a bassa frequenza e mantengono una buona presenza nel mercato a causa dei loro costi ridotti.

Un modo per migliorare le prestazioni in frequenza della scheda è limitare il più possibile il cammino in aria delle sonde, quindi è stato cruciale agire sulla porzione di sonde che intercorre fra l'anello epossidico ed il PCB. La prima soluzione è stata inserire le sonde all'interno di un cavo coassiale con parte esterna connessa a massa, senza che il coassiale penetri nella resina (*coaxial wire*) (figura III-4). In questo modo il cammino in aria è stato ridotto di molto, per cui le discontinuità di impedenza e diafonie sono risultate di molto attenuate ed il comportamento in frequenza ha subito un notevole miglioramento. La contattazione del rivestimento esterno a massa è stata fatta tramite una doppia saldatura in corrispondenza di resina e PCB, perché in questo modo viene ridotta la *loop inductance* della sonda: essa è proporzionale al flusso del campo magnetico lungo il percorso di concatenamento delle correnti, e con una saldatura in posizione intermedia il flusso si richiude su un singolo ago invece che su una coppia sonda di segnale/sonda di massa.

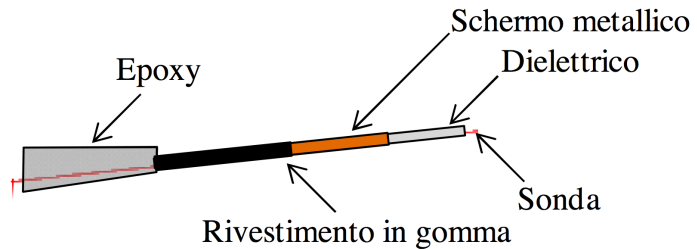


Figura III-4: configurazione coaxial wire

Il limite principale della variante *coaxial wire* è a livello di manufacturing: le sonde vengono realizzate in modo specifico per l'applicazione, in quanto i cavi coassiali standard presentano reofori in rame, materiale troppo dolce per questi scopi. La presenza dello schermo porta ad un aumento del diametro totale della sonda e questo costituisce un limite applicativo in caso di dispositivi con una alta densità di segnali.

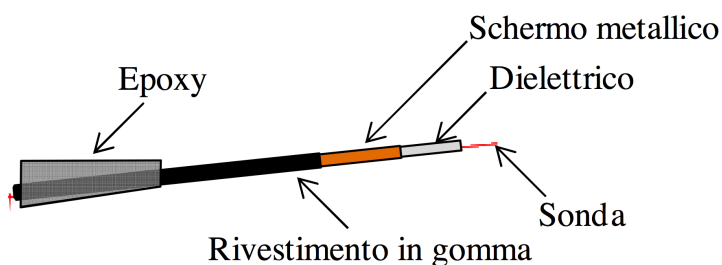


Figura III-5: configurazione coaxial probe

L'ultima variante in termini temporali delle schede cantilever è la *coaxial probe*, molto simile alla configurazione coaxial wire, ma con la differenza che il cavo coassiale si estende anche all'interno della resina epossidica. Questo ha causato una rivoluzione nel processo produttivo, in quanto si è visto necessario infilare la sonda

nel cavo coassiale prima di resinarla aumentando di molto la complessità realizzativa. Il beneficio è stato però sostanziale: sebbene il tratto all'interno della resina epossidica sia molto breve esso è cruciale perché è il punto in cui gli aghi sono fra loro più vicini, ed inoltre la costante dielettrica della resina è cinque volte quello dell'aria quindi il contributo capacitivo in questo punto risulta molto alto.

### III.2.ii. Tecnologia Verticale

Nel termine “tecnologia verticale” tipicamente vengono racchiuse tutte le schede aventi sonde poste verticalmente rispetto al wafer. Di fatto le sonde possono essere di tipo completamente diverso, e con esse la Probe Card stessa. Questa tecnologia è stata introdotta più recentemente con l’introduzione delle tecnologie di dispositivi su silicio “*flip chip*”, dove i pads sono organizzati su tutti i lati del die in parecchie file oppure in configurazione “full array”, rendendo impossibile l’accesso laterale delle sonde tipico delle soluzioni cantilever. In particolare si distinguono tre tipi di probe utilizzate per contattazione verticale:

- *Spring Contact Probe*: vengono sfruttate piccole molle che quindi si comprimono leggermente all’interno di un cilindro di scorrimento in fase di touch down. Questo tipo di soluzione possiede un principale svantaggio legato al fatto che la molla (insieme al cilindro) è tipicamente più larga di un singolo ago, di conseguenza wafer che richiedono *pitch*<sup>3</sup> troppo piccoli non possono essere testati con schede di questo tipo.
- *Thin Film Technology*: le sonde sono depositate al di sopra di un film sottile per litografia ottica. Il procedimento di produzione è molto simile a quanto avviene per semiconduttori ed il risultato è migliore del caso precedente in termini elettrici, sebbene il numero di sonde impiantabile sia molto limitato.
- *Needle Technology*: è una tecnologia derivata dal brevetto Cobratek di IBM (fig. IV-6) del 1977. In fase di contattazione l’ago subisce una deformazione e quindi subisce una contrazione mettendo sotto leggera pressione il wafer. Negli anni materiali, forma e tecnologia costruttiva degli aghi si sono evoluti da sonde estruse in Tungsteno fino all’ultima generazione di sonde MEMS in leghe altamente conduttive a base di rame. (fig. IV-7).



Figura III-6: Cobratek needle



Figura IV-7: diverse geometrie delle punte di aghi per tecnologia verticale

Probe Card con tecnologia verticale rappresentano il massimo dell’evoluzione ad oggi disponibile a livello prestazionale, e saranno la tipologia studiata nel proseguo del presente lavoro. In particolare nei prossimi paragrafi verranno analizzati singolarmente tutti i componenti necessari alla realizzazione delle stesse focalizzando sugli aspetti collegati alle prestazioni elettriche.

Una tipica Probe Card verticale può essere costituita dai seguenti elementi, dipendentemente dal tipo di trasformazione di coordinate adatte:

- Probe Head.
- Space transformer (MLO, MLC, interposer, fili, silicon Interposer, etc.).
- PCB.

<sup>3</sup> Tipica distanza fra due aghi consecutivi, o equivalentemente fra sue pad sul wafer.

### III.2.ii.i. Probe Head

La Probe Head è il terminale di contattazione di una Probe Card. Essa costituisce ciò che mantiene saldamente in posizione gli aghi, ed è costituita da delle piastrine di  $\text{Si}_3\text{N}_4$  o altro materiale ceramico o vetroso, microforate, a loro volta assemblate da un sistema di fissaggio meccanico.

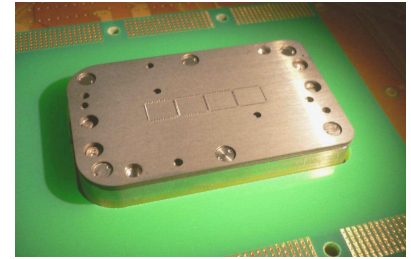


Figura III-8: Probe Head

La Probe Head termina con la testa dell'ago<sup>4</sup>, la quale verrà fissata ad un sistema di interconnessione (Space Transformer) avente come scopo quello di effettuare una “trasformazione di coordinate spaziali” dai contatti elettrici presi sulla testa dell'ago, tipicamente molto ravvicinati e disposti lungo strutture rettangolari, alle piste presenti sul PCB, di dimensioni molto maggiori, fra loro molto disperse e con diversi fattori di forma. Le tecniche utilizzate per effettuare questa trasformazioni sono molteplici e verranno elencate in seguito.

### III.2.ii.ii. Direct Attach

Il primo modo di connettere le sonde al PCB è per contatto diretto. Le sonde contattano direttamente il PCB senza bisogno di strati intermedi di interconnessione [2], il che comporta un livello di parassitismi molto basso se comparato alle tecnologie che richiedono lo Space Transformer. Legato a questo aspetto la componentistica legata al filtraggio può essere posta il più vicino possibile alla Probe Head permettendo così prestazioni migliori.

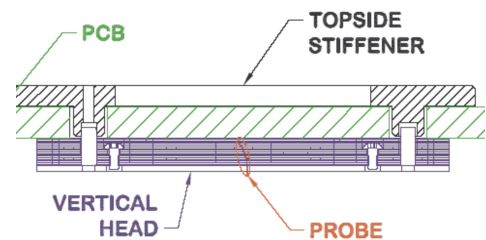


Figura III-9: schema di una Probe Card con tecnologia Direct Attach.

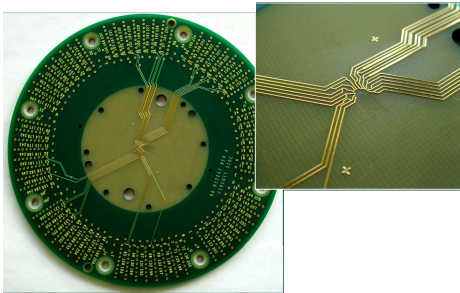


Figura III-10: ingrandimento dei pad del PCB contattati direttamente dalle sonde in una scheda Analog Devices Direct Dock.

I vantaggi si estendono anche al numero di componenti da progettare, che risulta minore, ed ai tempi necessari alla realizzazione, che vengono così notevolmente ridotti.

Sono presenti anche degli svantaggi in termini di pitch minimo, sebbene il limite in questo senso sia stato sempre più spinto a dimensioni minori, da 120-180 $\mu\text{m}$  ai 66.6 $\mu\text{m}$  delle tecnologie *Direct Dock* di Analog Devices Inc. ed in termini di costo del PCB, che dovrà presentare un numero maggiore di layer, conseguente all'alta densità di pad nella zona centrale<sup>5</sup>.

<sup>4</sup> In gergo tecnico si definisce “punta” dell'ago il lato che contatta il wafer, mentre “testa” ciò che interfaccerà la Probe Card.

<sup>5</sup> Non avendo interconnessioni intermedie il pitch fra due sonde consecutive si riflette direttamente sul PCB, e per evitare problemi di Signal Integrity occorre distribuire i loro segnali su più layer.

### III.2.ii.iii. Wired Space Transformer

Questa tecnica di interconnessione [3] prevede l'utilizzo di filamenti in rame per connettere direttamente le sonde della Probe Head al PCB. La pressione totale che viene esercitata in fase di *touch-down* è molto alta (dell'ordine dei kg) di conseguenza è necessario frapporre un rinforzo meccanico tester side detto *stiffener*.

I principali pregi di questa tecnica di interconnessione sono la velocità di realizzazione ed il basso costo. Un altro aspetto importante è che questo tipo di interconnessione si adatta molto bene anche all'utilizzo di PCB

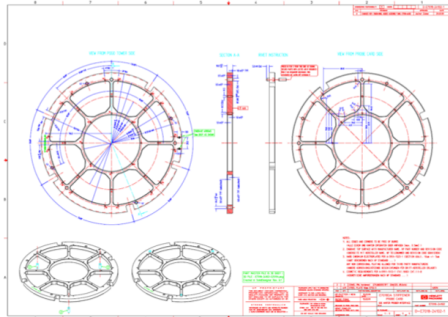


Figura III-11: Stiffener

*general purpose*, a differenza del caso precedente (che viene sviluppato *ad hoc* per ogni dispositivo), riducendone il costo totale.

Gli svantaggi consistono nel numero limitato di sonde che è possibile contattare (i fili sono saldati manualmente), e nell'utilizzo limitato alle basse frequenze a causa di problemi di *Signal & Power Integrity* non facilmente stimabili<sup>6</sup>, ed una combinazione delle due cause che

porta ad una irripetibilità della singola Probe Card.

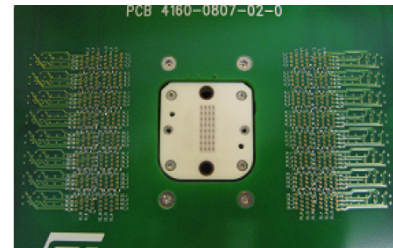
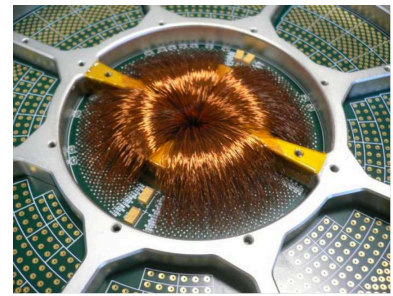


Figura III-12: Space Transformer tester side (in alto) e probe side (in basso)

### III.2.ii.iv. Tecnologia Ibrido Space Transformer

La tecnologia ibrida [3] ha questo nome in quanto coinvolge sia una seconda scheda (detta *rider board*) che due serie di filature, una che connette la probe head alla rider board ed una che connette quest'ultima al PCB (figura III-13).

La rider board viene rialzata dal PCB da uno stiffener, mentre le filature vengono sviluppate verticalmente.

Il vantaggio di questa tecnica è la possibilità di contattare molti pin, con pitch molto piccoli ed a frequenze maggiori del caso precedente, mentre gli svantaggi principali sono i tempi di realizzazione (la difficoltà per gli operatori cresce

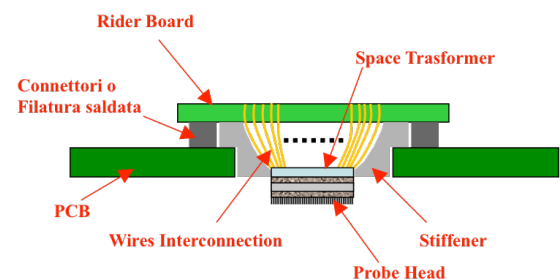


Figura III-13: Tecnologia Ibrida

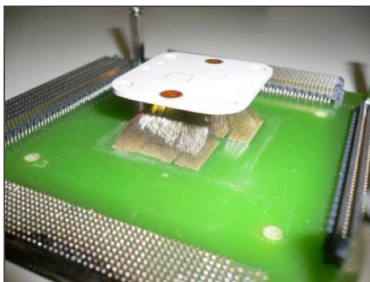


Figura III-14: Ingrandimento di rider board e probe head

molto), un aumento nei costi dovuti a componenti aggiuntivi e mano d'opera. Le prestazioni elettromagnetiche sono migliorate rispetto al caso precedente, ma ancora lontane da quelle ottenibili dall'utilizzo di substrati (vedi dopo) a causa del fatto che i filamenti presentano comunque induttanze parassite molto elevate. In particolare le problematiche maggiori si hanno nella connessione fra probe head e rider board, in quanto il sistema di filtraggio può essere messo solo sulla rider board, molto lontano quindi dal *D.U.T.*

<sup>6</sup> I segnali risultano fortemente accoppiati in quanto subiscono un lungo tragitto in aria, inoltre l'intensità di questo accoppiamento dipende dalla posizione relativa, non descrivibile a causa della manualità del processo produttivo e della componente aleatoria nel posizionamento.

### III.2.ii.v. Standard Interposer

La tecnica di interconnessione qui descritta utilizza un secondo circuito stampato detto *Standard Interposer* [3], chiamato più semplicemente in seguito *Interposer*, a sua volta assicurato al PCB, e su cui viene direttamente saldata la probe head.

Vi sono vari modi di fissare l'Interposer al PCB, dipendenti dalla loro geometria, dal materiale utilizzato per il fissaggio, dalle richieste del cliente o dai vincoli di progetto. In particolare l'interposer può essere assicurato al PCB attraverso una gommina conduttiva oppure attraverso filatura, con una diversa resa dal punto di vista della qualità del segnale trasmesso (la filatura introduce parassitismi induttivi maggiori).

Geometricamente invece esistono tre configurazioni di saldatura dell'interposer sul PCB:

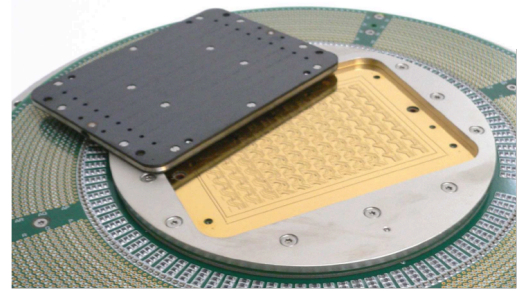


Figura III-15: vista probe side di un interposer

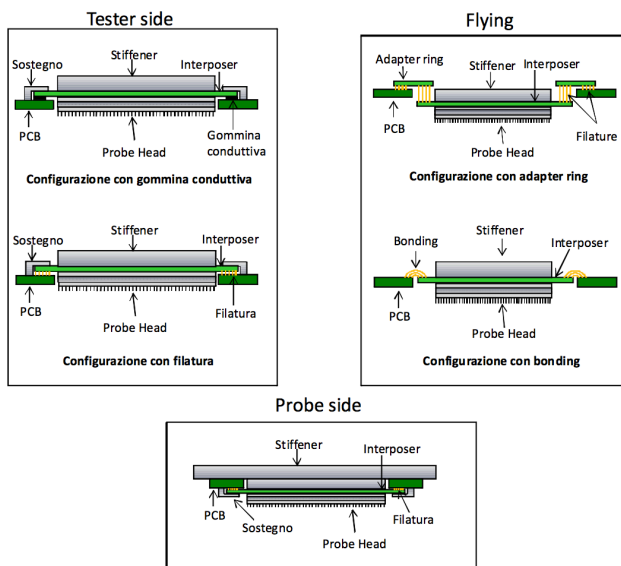


Figura III-16: diverse configurazioni di posizionamento di interposer.

- *Tester side*: l'interposer viene fissato sul PCB dal lato opposto rispetto a quello che interfaccerà il wafer di Silicio, per cui il PCB fungerà anche da sostegno per lo stesso, ma dovrà necessariamente presentare un foro centrale entro cui saldare la probe head all'interposer.

- *Probe side*: il fissaggio avviene sul lato delle sonde per cui sono necessarie delle strutture di rinforzo per sostenere l'interposer, fissato al PCB solo da filatura o gommina, che non presentano la resistenza meccanica necessaria a sostenerne il peso.

Occorre precisare che i fori che legano il PCB allo stiffener sono passanti, per cui esso arriva anche in questo caso a toccare l'Interposer.

- *Flying*: l'interposer non presenta sostegni ulteriori rispetto alle filature o alla gomma.

La tecnica ad interposer presenta caratteristiche di Signal Integrity molto migliori rispetto alle soluzioni ibride o filate, in quanto non vi è percorso dei segnali in aria (tranne l'eventuale corta filatura fra Interposer e PCB) ed in quanto è possibile saldare condensatori di filtraggio anche sull'interposer stesso. Questi vantaggi a livello elettromagnetico permettono alle probe card che utilizzano questa interconnessione di operare ad alte frequenze e di avere un ottimo controllo delle impedenze delle linee di segnale. Ulteriori vantaggi sono costituiti dal fatto che sono compatibili con PCB general purpose, possono gestire un alto numero di pin e un pitch molto ridotto.

I principali svantaggi di questa tecnica sono legati all'elevato livello tecnologico necessario per produrre questi Interposer, che comporta tempi di realizzazione molto lunghi, prezzi elevati ed una offerta limitata ad un numero ridotto di aziende manifatturiere.



### III.2.ii.vi. MultiLayer Organic o MultiLayer Ceramic Package (MLO/MLC)

Un'altra tecnica utilizzata per realizzare interconnessioni fra Probe Head e PCB, consiste nell'utilizzo di substrati organici o ceramici, rispettivamente detti MLO ed MLC.

Le tecniche di realizzazione così come le proprietà meccaniche differiscono molto nei due casi.

Esistono due grandi famiglie di substrato ceramico: *HTCC*<sup>7</sup> ed *LTCC*<sup>8</sup>, [5] che si differenziano nella temperatura di cottura della ceramica utilizzata. Entrambe vengono prodotte con tecnologie a film spesso che prevedono l'iniziale deposizione di una pasta ceramica sulla quale viene adagiata la pasta saldante del materiale conduttore utilizzato,

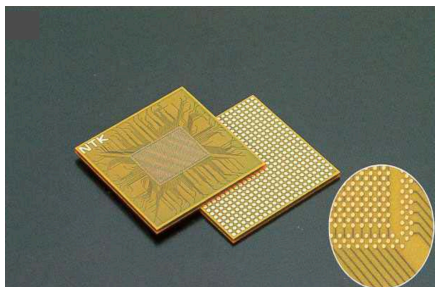


Figura III-18: Esempio di MLO

precedentemente sagomata con la forma delle piste da una maschera. In questo modo viene prodotto un singolo layer.

La punzonatura effettuata nella pasta di ceramica, riempita poi di pasta saldante permetterà poi la connessione tra il vari strati. Iterando il processo e sovrapponendo i vari strati si costruisce tutto lo *stack-up*.

Le ceramiche utilizzate per substrati HTCC necessitano di cotture a circa 1500°C, per cui sono necessari metalli con alta temperatura di fusione per realizzare le piste (ad esempio W o Mo), che però presentano resistività molto elevate e quindi sono poco adatti ad applicazioni dove la bassa impedenza è particolarmente importante. Questo problema ha spinto i produttori verso lo sviluppo di ceramiche con temperatura di cottura decisamente inferiori (fino a 900°C) che permettono di integrare piste di metallo poco resistivo come Ag o Cu.

Inoltre, la tecnologia HTCC presenta il problema dello *shrinkage*, ovvero, il substrato è in grado di ritirarsi anche del 30% durante la fase di cottura, per cui è necessaria una grande abilità nel compensare questo fenomeno durante la fase di progetto. La tecnologia LTCC, al contrario, esiste anche in versione *0 shrinkage*, dove questo effetto viene contenuto in un molto più gestibile 3-5%. Come risultato, la tecnologia LTCC permette tolleranze costruttive migliori e, di conseguenza, la possibilità di gestire pitch minori.

Questo tipo di substrati presenta tipicamente piste non più strette di 55-90µm a causa di limiti nel processo produttivo, sebbene sia possibile affiancare a questi strati di core dei layer aggiuntivi ottenuti con tecnologia a film sottile: viene depositato uno strato di *prepreg*<sup>9</sup> su cui il materiale metallico viene sagomato tramite litografia ottica, ottenendo in questo modo piste metalliche di dimensioni molto ridotte nei layer superficiali.

Negli MLC gli strati a film sottile sono depositati normalmente da un lato solo (probe side). La tecnologia MLC permette un numero molto elevato di strati centrali, fino a 30-40.

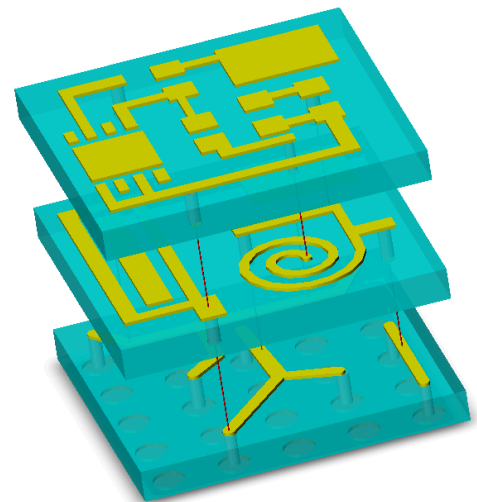


Figura III-17: Esempio di stack-up di LTCC MLC

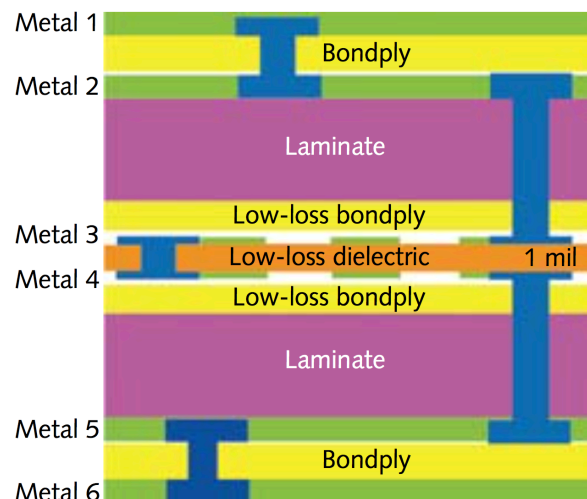


Figura III-18b: stack-up tipico di MLO

<sup>7</sup> High Temperature Co-Fired Ceramic.

<sup>8</sup> Low Temperature Co-Fired Ceramic.

<sup>9</sup> Fibre composite in cui è presente una matrice di resina epossilica per migliorare le proprietà meccaniche.

Gli MLO [4] presentano uno *stack-up* completamente diverso: la parte centrale è rappresentata da uno o più bilaminati (chiamati “core-stage” e formati da due strati di rame depositati su una maglia di fibre di vetro impregnata di resina epossidica) che sono lavorati separatamente e poi pressati tra loro interponendo tra loro uno strato di prepreg. (fig. III-18b). A questa struttura centrale si sovrappongono poi sequenzialmente strati esterni a film sottile sempre a base di resina epossidica o poliammidica (simile a quelli descritti per nella sezione precedente relativa a MLC; anche se in questo caso gli strati vengono applicati simmetricamente tester e probe side). Il numero massimo di strati presenti della parte centrale degli MLO si aggira intorno al 20.

Passando ad un confronto fra i due substrati, essi presentano caratteristiche fra loro molto differenti:

- *Caratteristiche Meccaniche:* la tecnologia MLC presenta proprietà meccaniche migliori (rigidità, planarità) e una possibilità di ottenere stack-up con più strati, generando come risultato spessori normalmente di tra i 3 ed i 6mm. La tecnologia MLO utilizza regole di layout più aggressive nella parte centrale di core, ottenendo come risultato stackup più sottili (spessore tipicamente 1/3 di MLC, a parità di complessità), ma con caratteristiche meccaniche e di planarità molto inferiori a quelle ottenibili dagli MLC.
- *Caratteristiche elettriche:* dal punto di vista della conducibilità elettrica dei materiali, queste sono simili nel caso MLO e MLC LTCC, decisamente superiori agli MLC HTCC. Le perdite nel dielettrico sono invece migliori negli MLC (senza *thin film*) rispetto agli MLO, penalizzati dalla presenza della resina epossidica. Dal punto di vista delle prestazioni in frequenza delle distribuzioni di alimentazione, gli MLO sono superiori a causa della maggiore capacità tra i layer di alimentazione e massa e del minore spessore finale totale, che permette di ridurre proporzionalmente l'induttanza parassita introdotta dai via attraverso la struttura (anche meno di 25µm nel caso, MLO, contro i tipici 75-100µm degli MLC).

Un'altra principale differenza fra le due tecnologie (MLO/MLC) è costituita dalla differenza di coefficiente di espansione termica con i dispositivi ad esse contattati: per effettuare la contattazione il processo consiste nel riscaldamento e seguente raffreddamento del componente, quindi coefficienti di espansione termica  $\alpha$  diversi comportano dilatazioni diverse e quindi rottura delle saldature, disallineamenti o perdita di planarità della Probe Card.

In tabella 1 sono riportati i valori dei coefficienti di espansione termica medi dei vari componenti:

COMPONENTE	$\alpha$ [ $\mu\text{m}/\text{K}$ ]
Probe Head	3
MLC	7
MLO	16-17
PCB (FR4)	13-14

**Tabella III-1: coefficienti di espansione termica di vari componenti**

Dai dati sopra riportati è possibile evincere un *trade-off* fra l'utilizzo di MLC ed MLO: la prima soluzione crea meno problemi per quanto riguarda la contattazione con la probe head, mentre la seconda meglio si adatta al PCB.

I substrati MLO/MLC tipicamente vengono assicurati al PCB o per contatto diretto, attraverso *solder ball* o gommine silconiche conduttive, oppure utilizzando una *rider board* intermedia.

Le tecnologie MLO/MLC sono state introdotte nel mercato delle Probe Card per superare i limiti di pitch minimo dei pads che si sono manifestate prima con la tecnologia *Direct Attach* e successivamente con quella dello *Standard Interposer*, mantenendo praticamente le medesime prestazioni elettriche (in alcuni casi anche migliorandole). Sono disponibili sul mercato tecnologie che possono gestire pitch minimi di 50-80 $\mu\text{m}$  con una configurazione “full array” di pads.

Sebbene gli MLC/MLO presentino costi elevati sono una soluzione molto utile quando è necessario realizzare duplicati a causa della riproducibilità del processo produttivo (aspetto cruciale se confrontato con interconnessioni filate).

Gli svantaggi principali sono legati alla complessità: sono sistemi molto costosi che richiedono tempi di progetto e realizzazione elevati, di conseguenza sono adatti a progetti complessi, con richiesta di più di una Probe Card.

Dal punto di vista dell'assemblaggio la saldatura di MLC/MLO su PCB implica limiti dimensionali (figli delle limitazioni termiche di cui sopra), mentre l'utilizzo di gomme conduttive comporta una foratura meccanica dell'interconnessione.

### III.2.ii.vii. Silicon Interposer

La tecnica di interconnessione più tecnologicamente avanzata è quella che prevede l'utilizzo di un *Silicon Interposer*. Questo substrato prevede l'utilizzo di un *core layer* in Si di spessore dell'ordine dei 100 $\mu\text{m}$  in cui sono ricavati litograficamente dei via passanti<sup>10</sup> placcati con del rame. Gli strati dielettrici superiori sono ricavati applicando per *spinning* dei layer (Redistribution Layers o RDL) di film sottile o crescendo degli strati di SiO<sub>2</sub> in maniera controllata. In questo modo è possibile ottenere spessori molto piccoli, dell'ordine del  $\mu\text{m}$ . Il metallo utilizzato è invece solitamente Cu, con spessori inferiori ai 10 $\mu\text{m}$ .

Questa interconnessione permette di ridurre ulteriormente il pitch rispetto al caso MLO/MLC, ma il numero ridotto di RDL che è possibile applicare non permette di utilizzare questa tecnologia in casi molto complessi, comprendenti molti segnali o molte alimentazioni.

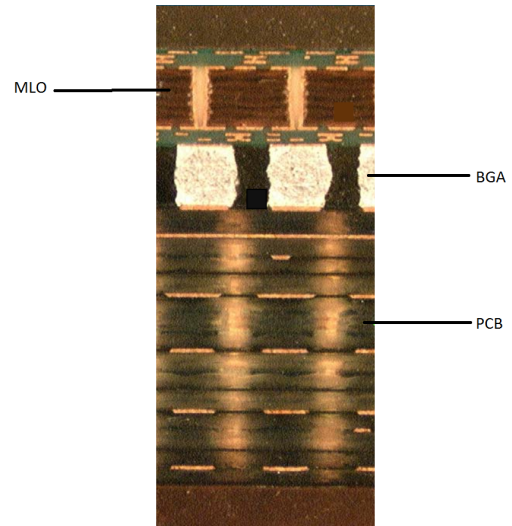


Figura III-19: particolare di saldatura di MLO su PCB

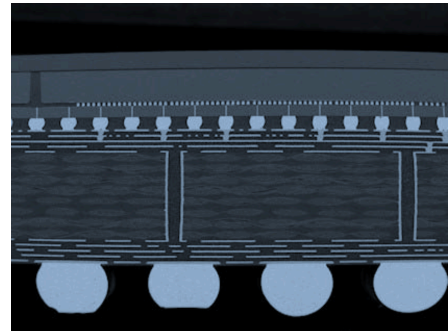


Figura III-20: Silicon Interposer.

<sup>10</sup> Questa tecnologia è molto usata per realizzare substrati per memorie di ultima generazione, e sono detti TSV (Through Silicon Via).

### III.2.ii.viii. Printed Circuit Board

Il PCB è un componente elettronico utilizzato nei circuiti moderni per collegare i vari componenti, microprocessori, memorie ed integrati in genere (moduli RF, FPGA etc).

Nelle Probe Card il PCB ha scopi che vanno ben oltre la semplice connessione elettrica; infatti essa costituisce anche un importante supporto meccanico utile a distribuire gli sforzi che si verificano durante il *touch-down* (che possono superare i 100kg) e le sue dimensioni elevate (tipicamente decine di centimetri quadrati) permettono di disporre in maniera ordinata la componentistica.

Per dovere di completezza si riporta una breve descrizione del processo realizzazione di un PCB come quelli adatti ad applicazioni EWS [3].

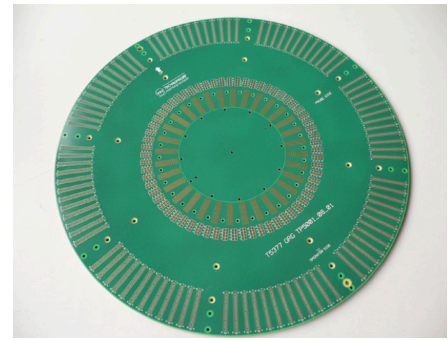


Figura III-21: tipico PCB per applicazioni EWS

I bilaminati, o core-stage, costituiti da due strati di rame depositi su un supporto di fibra di vetro impregnata di resine (per esempio epossidiche) vengono fotolitografati per realizzare il pattern desiderato. Ogni bilaminato implementa due layers dello stack-up complessivo. I core-stage così lavorati vengono poi sovrapposti interponendo uno strato di prepreg, costituito anch'esso da una maglia di fibre di rete impregnate di resina. In seguito il tutto viene collocato in pressa a temperatura superiore a 170°C (la temperatura dipende dal materiale utilizzato). Gli strati più esterni di rame dell'intera struttura possono essere rappresentati da un lato del Core-stage più esterno oppure da due fogli aggiuntivi di rame appoggiati direttamente sull'ultimo strato di prepreg. La particolarità degli strati esterni è che vengono incisi solo in un secondo tempo, dopo aver realizzato i fori passanti.

Lo stack-up deve essere mantenuto il più simmetrico possibile nel riempimento di rame, per bilanciare le tensioni interne e ridurre al minimo le deformazioni risultanti al fine del processo di pressatura a caldo e successivo processo di saldatura dei componenti.

A questo punto tramite foro meccanico vengono ricavati i via, che in seguito verranno puliti e metallizzati. Solo dopo verranno fotolitografati i layer di top e bottom, infine viene depositato in maniera fotosensibile un *solder resist* che protegga l'intera struttura. Esistono diverse finiture superficiali, ma la più utilizzata nel mercato delle probe card è l'*hard gold*, costituita da 4-5µm di nickel (che fa da barriera ad evitare che l'oro migri nel rame sottostante) e da uno strato di 1-1.5µm di oro con percentuali di cobalto che ne aumentano considerevolmente la durezza.

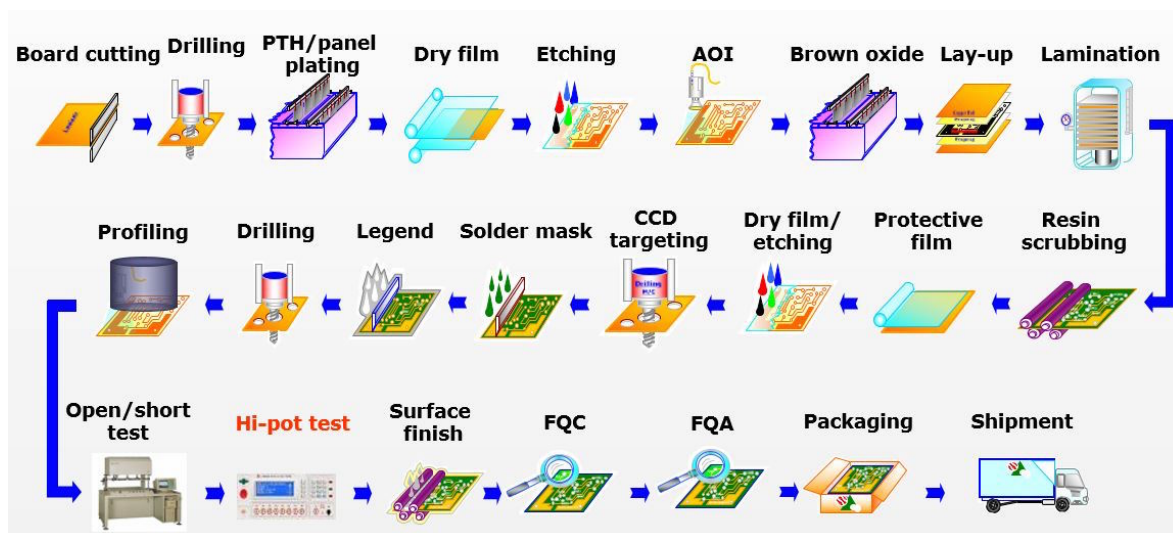


Figura III-22: step fondamentali del processo di manifattura di un PCB

## IV. Vincoli di Progetto

La probe card è una interfaccia elettromeccanica molto complessa, ed in quanto tale deve soddisfare numerose specifiche in campi fra loro anche molto differenti. In particolar modo per un corretto funzionamento essa deve sottostare a degli standard molto stringenti in tre grandi campi:

- Vincoli meccanici.
- Vincoli termici.
- Vincoli elettromagnetici.

Lo scopo del presente lavoro è approfondire e fornire nuovi strumenti per la progettazione elettromagnetica di probe card verticali, ma verranno brevemente discussi anche gli altri due aspetti per permettere una visione più completa dell'argomento trattato.

### IV.1. Vincoli Meccanici (cenni)

Dal punto di vista meccanico si presentano due problemi maggioritari collegati al processo di *wafer testing*: durante la fase di test è fondamentale garantire che tutte le sonde contattino i pad nella corretta posizione, con una distribuzione del carico bilanciata e che l'intera struttura riesca ad assorbire la pressione esercitata dalla fase di *touch-down*.

In particolare dal punto di vista meccanico queste esigenze si possono tradurre in requisiti di planarità e di resistenza allo sforzo meccanico.

#### IV.1.i. Vincoli di Planarità

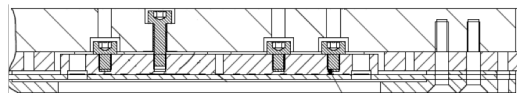
Garantire la planarità della struttura entro certi stringenti limiti è fondamentale per evitare malfunzionamenti o rotture causate dalla mancata contattazione di alcune sonde o al sovraccarico di altre<sup>11</sup>.

Il problema della planarità viene affrontato contemporaneamente in due aspetti:

- Si studia la planarità di ogni singolo componente della probe card per ottenere una tolleranza teorica di tutto il dispositivo di circa 20µm (nel caso di tecnologie Technoprobe).
- Si effettua una lappatura molto meticolosa degli aghi dopo averli assemblati sulla Probe Head.

Ogni differente tecnologia di realizzazione necessita di diverse tecniche per rendere sufficientemente planare la Probe Card:

- Tecnologie Space Wired Transformer necessitano di una fresatura molto precisa del supporto sotteso allo Space Transformer stesso.
- Tecnologie Interposer/MLO/MLO/Silicon Interposer vengono progettate fornite di viti di planarizzazione in aggiunta alle viti di fissaggio per poter modulare la planarità dell'interfaccia fra PCB ed Interposer stesso.
- Poco si può fare per planarizzare una Probe Card Direct Attach, che infatti richiede caratteristiche di planarità intrinseca del PCB molto superiore alle altre architetture, ottenibile solo con particolari e costose tecnologie costruttive del PCB.



**Figura IV-1: Ingrandimento su viti di fissaggio (alte) e di planarizzazione (basse) dell'Interposer**

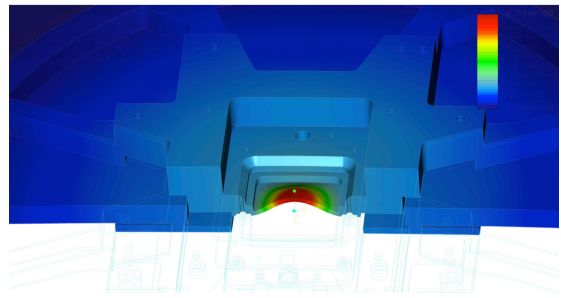
<sup>11</sup> Di fatto sono due manifestazioni dello stesso problema, a seconda di quanto intensamente si effettua lo *scrub* sul wafer.

Nella fase finale anche le punte della Probe Head vengono lappate *on-board*<sup>12</sup> con un processo di abrasione per attrito con un speciale materiale simile ad una carta vetrata a grana molto più fine.  
 Se il PCB non è disponibile (per esempio se la Probe Head è un pezzo di ricambio di una probe card operante sul campo), la probe head può essere lappata su un accessorio che ne fa le veci (detto *jig* di lappatura), ma la planarità risultante sarà poi alterata una volta montata sul PCB.

## IV.1.ii. Vincoli di resistenza allo sforzo

La resistenza agli sforzi è un requisito fondamentale nella progettazione di Probe Card, infatti sono principalmente presenti due sorgenti di sforzo in regioni diverse del PCB:

- *La pressione esercitata dal touch-down dell'ago sul wafer.* Principalmente questa pressione viene esercitata nella parte centrale della Probe Card<sup>13</sup>, ed arriva a raggiungere valori molto elevati. Volendo effettuare delle stime numeriche tipicamente la forza elastica esercitata su un ago può variare da 9.8mN a 49.5mN<sup>14</sup>, ed il numero di aghi in una Probe Head arriva facilmente a più di mille, 32 000 al limite, su dimensioni tipiche di circa 2cm<sup>2</sup>. Tramite questi valori indicativi è possibile ricavare la pressione media esercitata sulla Probe Card<sup>15</sup>:



**Figura IV-2: simulazione FEM della distribuzione delle forze sullo stiffener.**

$$\langle p \rangle \geq \frac{n_{sonde} F_{sonda}}{S} = \frac{32 \cdot 10^3 \cdot 49.5 \cdot 10^{-3} N}{2 \cdot 10^{-4} m^2} = 79.2 \cdot 10^5 Pa \approx 78 atm \approx 80.76 \frac{kg}{cm^2} \quad (IV-1)$$

- *Lo sforzo dovuto al tester.* Il tester solitamente contatta il PCB della Probe Card dall'alto e nella zona dei pogo pin, cioè sulla corona più esterna del dispositivo. Lo sforzo risultante avrà quindi verso opposto a quello descritto in precedenza e stresserà più le zone periferiche del PCB.

La combinazione di questi forti effetti tende a portare deformazioni dei componenti, compromettendo così la planarità e l'allineamento delle sonde. Per evitare queste conseguenze si utilizza uno *stiffener* metallico, che ha come uso principale<sup>16</sup> quello di fornire un ulteriore sostegno alla struttura per far fronte agli sforzi.

## VI.2. Vincoli Termici (cenni)

Dal punto di vista termico la parte più stressata di tutta la Probe Card è la Probe Head. È possibile arrivare a questa conclusione pensando che a causa dei materiali che li compongono<sup>17</sup> ed a causa della loro grandi posizione PCB e wafer subiranno uno stress termico trascurabile rispetto alla Probe Head, a contatto con il wafer.

Nel processo di wafer testing il wafer può raggiungere temperature del range fra 40 e 200°C [6], anche se il lato probe side del PCB difficilmente supera temperature di 120-140°C. Ci sono infatti tre canali principali di trasmissione del calore:

<sup>12</sup> Dopo essere state montate sul PCB.

<sup>13</sup> Naturalmente esistono eccezioni: è possibile progettare dispositivi a contattazione *full wafer* nei quali la pressione è disposta in maniera più omogenea.

<sup>14</sup> Corrispondenti al peso di un oggetto di massa rispettivamente di 1g e 5g.

<sup>15</sup> Supponendo le sonde disposte in maniera omogenea come semplificazione.

<sup>16</sup> Vedi paragrafo III.2.ii.iii. per un esempio di altro utilizzo.

<sup>17</sup> Nel caso del PCB i wafer e le piste metalliche funzionano efficientemente anche da fonte di dispersione del calore insieme alla resina epossidica, mentre nel caso del wafer esso è nella maggioranza composto di Si monocristallino che conduce ottimamente il calore.

- *Calore radiato*: per la legge di Stefan-Boltzmann il wafer (avente fino a 30cm di diametro) ad alte temperature irraggerà calore sotto forma di radiazione infrarossa, la quale si trasferirà al PCB lato probe side, in quanto molto vicino (1cm o meno).
- *Conduzione termica lato probe side*. La contattazione degli aghi crea un canale di conduzione termica attraverso la Probe Head che di conseguenza provoca un aumento di temperatura all'interno della stessa e di tutti i componenti della Probe Card.
- *Conduzione termica lato tester side*: la massa dello stiffener sul lato tester del PCB immerso a temperatura ambiente effettua una funzione di dissipatore, complice anche la massiccia presenza di rame all'interno dello stack-up del PCB.

Le sonde, esposte al calore del wafer, essendo esse stesse fonte di dissipazione per effetto Joule, sono gli elementi più sollecitati termicamente, ed in particolare risulta che i picchi di temperatura verranno raggiunti nel centro di ogni ago. Il tutto è complicato dal fatto che la Probe Head è generalmente una struttura chiusa, con le sonde escluse dal diretto contatto con l'esterno, in maniera fra loro molto ravvicinata, diminuendo ancora più la capacità dispersiva. In casi estremi è possibile dotare la Probe Head di sistemi di raffreddamento a circolazione forzata di aria.

La ricerca sulle leghe che compongono le sonde è il settore chiave in cui vi è continua ricerca nelle aziende produttrici di Probe Card, compresa *Technoprobe*.

L'altro aspetto importante da tenere sotto controllo sono le deformazioni meccaniche causate dalla dilatazione termica della probe card, costituita da materiali non omogenei (PCB, stiffener, Space Transformer, etc.).

### IV.3. Vincoli Elettromagnetici

Lo scopo principale di una Probe Card rimane quello di essere interconnessione fra tester e dispositivo elettronico su Si, di conseguenza è fondamentale avere cura dell'integrità dei segnali durante tutta la trasmissione e progettare un sistema di *power delivery* che non introduca disturbi che possano alterare la forma d'onda dei segnali trasmessi.

La Signal and Power Integrity è la disciplina che si occupa appunto di progettare canali trasmissivi e sistemi di filtraggio che garantiscano che il segnale inviato da un *driver* arrivi al corrispettivo *receiver* con una forma tale da poter essere riconosciuto.

In questo capitolo verranno esposti i concetti chiave e gli strumenti necessari per garantire l'integrità di segnale e di alimentazione su una linea trasmissiva puramente passiva, come possono essere i componenti di una Probe Card.

#### IV.3.i. Teoria delle Linee di Trasmissione

Una linea di trasmissione [7] individua un tratto composto da due conduttori di lunghezza  $L$ , fra un dispositivo inviante un segnale, detto *driver*, ed un dispositivo atto a riconoscere e ricevere tale segnale, appunto definito *receiver*, modellizzati rispettivamente con il suo circuito equivalente Thevenin<sup>18</sup> e per semplicità con una resistenza di carico di valore  $R_L$ <sup>19</sup> (fig. IV-3).

La propagazione di un segnale attraverso una linea di trasmissione introduce un ritardo nel segnale, dovuto alla velocità finita della propagazione elettromagnetica nel mezzo conduttore. Tale ritardo è definito come:

$$T_D = \frac{L}{v} \quad (IV-2)$$

con  $L$  lunghezza della linea e  $v$  velocità di gruppo del segnale elettromagnetico, funzione del materiale di cui è composta la linea<sup>20</sup>, ed in particolare nel caso di mezzi omogenei si ha che:

$$v = \frac{1}{\sqrt{\epsilon_0 \epsilon_r \mu_0 \mu_r}} \quad (IV-3)$$

La teoria delle linee di trasmissione è molto importante per progettare circuiti stampati: un tipico PCB è infatti modellizzabile con una linea di trasmissione, in cui la pista di segnale rappresenta un conduttore, mentre il secondo conduttore, che trasporta la corrente di ritorno è rappresentato dal più vicino piano di massa (fig. IV-4). E' possibile tramite l'utilizzo delle equazioni (IV-2) e (IV-3) ricavare il ritardo per unità di lunghezza all'interno di un PCB, composto per esempio da *FR-4*<sup>21</sup> come materiale dielettrico e Cu come conduttore:

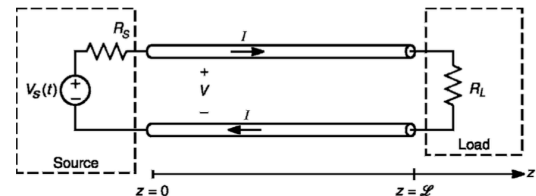


Figura IV-3: schema semplificato di una linea di trasmissione

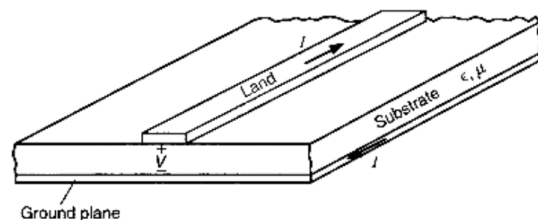


Figura IV-4: particolare di una microstriscia di un PCB e del suo ritorno di massa.

<sup>18</sup> Il driver viene quindi rappresentato come un generatore di tensione di valore  $V_s$ , corrispondente alla tensione "a vuoto", in serie ad una resistenza di sorgente  $R_s$ .

<sup>19</sup> La trattazione può essere estesa anche a carichi reattivi.

<sup>20</sup> Questo risultato è una conseguenza della formulazione della teoria dei campi elettromagnetici come Equazioni di Maxwell.

<sup>21</sup> Materiale composito formato da un tessuto di fibre di vetro intrecciato in una matrice di resina epossidica.  $\epsilon_r \approx 4.2$ .



$$T_D \approx 7.2 \frac{ns}{m} = 72.3 \frac{ps}{cm} \quad (IV-4)$$

Questo valore mostra come i tempi di propagazione anche su piste relativamente corte sono confrontabili con i tempi tipici di salita e discesa di un bit nelle attuali tecnologie digitali, dell'ordine delle centinaia di picosecondi.

Un'altra proprietà fondamentale di una linea di trasmissione è la sua impedenza caratteristica, in quanto è il valore che determina l'entità delle riflessioni che saranno generate dalla linea stessa e dalle discontinuità presenti lungo essa e saranno causa del degradamento del segnale elettrico. Una tipica Probe Card viene progettata in modo tale da avere impedenza caratteristica  $Z_C \approx 50\Omega$ , impedenza standard generalmente adottata per sistemi elettronici digitali.

Riferendosi alla nomenclatura di figura IV-3, si vogliono ricavare le equazioni d'onda che governano il fenomeno di propagazione utilizzando la classica formulazione semplificata<sup>23</sup> detta *del telegrafista*,<sup>24</sup> che permette di ricavare l'andamento della tensione e della corrente sulla linea  $V(z,t)$  e di conseguenza  $I(z,t)$ . Per fare questo si osservano i conduttori che compongono la

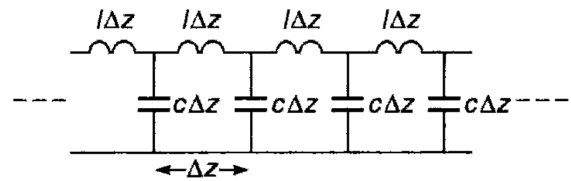


Figura IV-5: modello a parametri distribuiti di una linea trasmissiva.

linea: se è presente fra essi una differenza di potenziale, allora sulle facce opposte di tali conduttori si depositerà per induzione una quantità uniforme di carica, di segno opposto su ciascun componente. Questo fatto suggerisce che l'intera linea possieda una *capacità per unità di lunghezza*, detta  $c$ .

Allo stesso modo se è presente una corrente allora essa scorrerà in verso opposto nei due rami generando un campo magnetico in ogni punto, che indurrà la presenza di una *induttanza per unità di lunghezza*  $l$  sulla linea<sup>25,26</sup>. Questa visione suggerisce una modellizzazione del tratto a parametri distribuiti, in cui ogni tratto di lunghezza  $\Delta z$  è accoppiato sia capacitivamente che induttivamente, e questa visione permette di intuire già ora la forma delle soluzioni: il fatto che sia presente un ritardo associato alla propagazione suggerisce che prima che un tratto "capacitivo-induttivo" sia caricato è necessario scaricare il precedente, ed iterando tale pensiero per tutta la lunghezza della linea ciò che si ottiene è la propagazione di un'onda di tensione e conseguentemente di un'onda di corrente.

Per tradurre numericamente questo ragionamento si considera un tratto di linea di lunghezza  $\Delta z$  e si applica ad esso la legge di Kirchhoff delle maglie, ottenendo così il sistema:

$$\begin{cases} V(z + \Delta z, t) - V(z, t) = -l\Delta z \frac{\partial I(z,t)}{\partial t} \\ I(z + \Delta z, t) - I(z, t) = -c\Delta z \frac{\partial V(z,t)}{\partial t} \end{cases} \quad (IV-5)$$

passando al limite per  $\Delta z \rightarrow 0$  si ottiene il limite del rapporto incrementale per  $V(z,t)$  ed  $I(z,t)$  sul lato sinistro di entrambe le equazioni:

$$\begin{cases} \lim_{\Delta z \rightarrow 0} \frac{V(z+\Delta z,t) - V(z,t)}{\Delta z} = \frac{\partial V(z,t)}{\partial z} \\ \lim_{\Delta z \rightarrow 0} \frac{I(z+\Delta z,t) - I(z,t)}{\Delta z} = \frac{\partial I(z,t)}{\partial z} \end{cases} \quad (IV-6)$$

<sup>22</sup> Questo valore è ricavato nell'ipotesi di materiale omogeneo. Nel caso di una microstriscia come quella di figura IV-4, occorre calcolare la  $\epsilon_r$  equivalente, che dipende sia dal materiale dielettrico di cui è composto il PCB, sia dalla frazione di campo che si propaga in aria, dipendente dalla geometria sotto analisi. Tale parametro è difficile da ottenere analiticamente e solitamente si ottiene da simulazioni 2D.

<sup>23</sup> Si suppone nella presente trattazione una propagazione perfettamente TEM delle onde.

<sup>24</sup> Questa trattazione è stata inizialmente introdotta per studiare la propagazione lungo le linee telegrafiche.

<sup>25</sup>  $[c] = \frac{F}{m}$  ;  $[l] = \frac{H}{m}$

<sup>26</sup> Generalmente le linee presentano anche delle perdite che però possono essere considerate alla stregua di effetti del secondo ordine in circuiti stampati, e quindi possono essere trascurate per la presente trattazione.

sostituendo si ottengono le famose *equazioni del telegrafista*:

$$\begin{cases} \frac{\partial V(z,t)}{\partial z} = -l \frac{\partial I(z,t)}{\partial t} \\ \frac{\partial I(z,t)}{\partial z} = -c \frac{\partial V(z,t)}{\partial t} \end{cases} \quad (\text{IV- 7})$$

è possibile disaccoppiare queste equazioni differenziandole ottenendone una formulazione equivalente:

$$\begin{cases} \frac{\partial^2 V(z,t)}{\partial z^2} = lc \frac{\partial^2 V(z,t)}{\partial t^2} \\ \frac{\partial^2 I(z,t)}{\partial z^2} = lc \frac{\partial^2 I(z,t)}{\partial t^2} \end{cases} \quad (\text{IV- 8})$$

Procedendo alla soluzione delle equazioni del telegrafista si ottengono due andamenti ondulatori per tensione e corrente:

$$\begin{aligned} V(z, t) &= V^+ \left( t - \frac{z}{v} \right) + V^- \left( t + \frac{z}{v} \right) \\ I(z, t) &= \frac{1}{Z_c} V^+ \left( t - \frac{z}{v} \right) - \frac{1}{Z_c} V^- \left( t + \frac{z}{v} \right) \\ \text{con } Z_c &= \sqrt{\frac{l}{c}} \end{aligned} \quad (\text{IV- 9})$$

Le soluzioni ricavate consistono in entrambi i casi in delle combinazioni lineari di un'onda progressiva ed una regressiva, contraddistinte rispettivamente dai segno + e -. La presenza di un'onda regressiva può essere rappresentata da un'onda riflessa da un disadattamento in impedenza del carico: il segnale di tensione (che rappresenta una differenza di potenziale fra i due conduttori della linea) alla fine cadrà sul carico, il quale dovrà sottostare alla legge di Ohm, e la caduta di potenziale che può cadere su esso sarà determinata dal suo valore di impedenza. Se essa non è adattata alla linea esisterà una differenza fra le due cadute di potenziale che per la conservazione dell'energia potrà soltanto<sup>28</sup> essere riflessa sulla linea stessa, dando vita alla componente regressiva di tensione e corrente. Ricordando che la linea è stata supposta lunga L, allora è possibile definire il coefficiente di riflessione:

$$\Gamma_L = \frac{V^-(t+\frac{L}{v})}{V^+(t-\frac{L}{v})} = - \frac{I^-(t+\frac{L}{v})}{I^+(t-\frac{L}{v})} \quad (\text{IV- 10})$$

La relazione (IV-10) è valida in ogni punto della linea considerando il rapporto fra tutte le onde progressive e quelle regressive, ed in particolare dalle relazioni sopra si ottiene un coefficiente di riflessione alla sorgente ed al carico pari a:

$$\begin{aligned} \Gamma_S &= \frac{R_S - Z_C}{R_S + Z_C} \\ \Gamma_L &= \frac{R_L - Z_C}{R_L + Z_C} \end{aligned} \quad (\text{IV-11})$$

$\Gamma_L$  è tipicamente un numero compreso fra -1 e +1 in quanto l'onda riflessa non può mai eccedere il valore di quella incidente e che la tensione è tipicamente un numero reale.

Dal momento che le onde impiegano un tempo finito, nel primo tempo di transito saranno presenti soltanto le onde progressive, mentre le onde regressive saranno visibili a  $z=0$  solo dopo un tempo pari a  $2T_D$ .

<sup>27</sup>  $Z_c$  è sempre un numero reale, quindi al posto di *impedenza caratteristica* della linea occorrerebbe parlare più appropriatamente di *resistenza*.

<sup>28</sup> Le perdite vengono considerate come effetti del secondo ordine.

Per comprendere meglio il comportamento fisico delle linee si propongono tre esempi indicativi:

- *Linea terminata con un circuito aperto*: in questo caso l'onda di tensione dopo aver viaggiato lungo il tratto trasmissivo incontra una impedenza infinita, di conseguenza essa intuitivamente rifletterà totalmente le onde in arrivo alla stregua di uno specchio perfetto, portando ad ottenere:

$$\Gamma = \frac{+\infty - Z_C}{+\infty + Z_C} = 1$$

Inducendo quindi su tutta la linea una tensione costante ed una corrente nulla (la corrente viene riflessa con verso opposto), in accordo con i dettami dell'elettrotecnica.

- *Linea terminata con un corto circuito*: la terminazione è rappresentata da una impedenza nulla, di conseguenza il carico non sarà in grado di subire cadute di tensione, portando ad un coefficiente di riflessione pari a:

$$\Gamma = \frac{0 - Z_C}{0 + Z_C} = -1$$

La differenza di potenziale a regime fra i conduttori sarà quindi nulla, ancora una volta in accordo con la teoria dei circuiti.

- *Carico adattato in impedenza*: in questo caso come intuibile non vi sarà alcuna onda riflessa, di conseguenza banalmente  $\Gamma=0$ .

Questa breve serie di esempi chiarifica anche il motivo per cui adattare in impedenza un carico massimizza il trasferimento di potenza da parte di un circuito: una impedenza adattata non risente di segnali riflessi, la cui potenza in transito lungo la linea viene totalmente trasferita al carico.

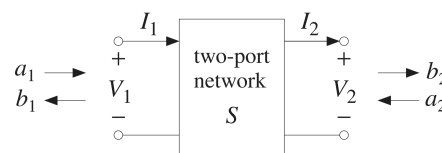
### IV.3.ii. Parametri di Scattering o S-Parameters

Esistono numerosi modelli equivalenti per rappresentare funzionalmente un circuito, caratterizzato da un certo numero di porte in ingresso ed in uscita<sup>29</sup> [8]. Tutti questi metodi sono basati sull'utilizzo del formalismo matriciale, in cui vengono analizzate tramite i vari termini tutte le possibili combinazioni ingresso-uscita e la funzione di trasferimento a loro associata. È utile analizzarli singolarmente per comprenderne la natura fisica e le situazioni in cui i diversi approcci assumono una maggiore utilità:

- *Metodo della matrice di trasferimento*: è anche detto metodo della matrice ABCD<sup>30</sup>. Il trasferimento del sistema considerato è espresso collegando fra loro la tensione e la corrente alla porta di ingresso con gli stessi parametri alla porta di uscita tramite gli elementi della matrice, che saranno di conseguenza dei parametri adimensionali sulla diagonale e delle transimpedenze (o transconduttanze) fuori dalla diagonale:

$$\begin{bmatrix} V_2 \\ I_2 \end{bmatrix} = \begin{bmatrix} A & B \\ C & D \end{bmatrix} \begin{bmatrix} V_1 \\ I_1 \end{bmatrix} \quad (\text{IV-12})$$

- *Metodo della matrice delle impedenze*: in maniera del tutto simile a quanto sopra è possibile legare fra loro i valori di tensione ad entrambe le porte ai corrispondenti valori di corrente ottenendo così un trasferimento composto da sole impedenze. La maggior parte delle volte è il risultato a cui



**Figura IV-6: schema di una rete a due porte**

un progettista mira nel design di un dispositivo o di una linea di trasmissione, in quanto ogni elemento della matrice rappresenta l'impedenza di uscita del dispositivo dal morsetto corrispondente, che è l'informazione più semplicemente manipolabile in fase di progetto<sup>31</sup>. D'altro canto dal punto di vista fisico una descrizione da questo punto di vista risulta molto meno esplicativa di ciò che accade rispetto agli altri metodi enunciati. Generalmente la matrice delle impedenze si presenta con la forma seguente:

<sup>29</sup> Nella presente trattazione si considereranno sempre e solo stadi ad una o due porte, in cui la singola porta è costituita da due nodi, uno per il segnale ed uno per il riferimento di massa.

<sup>30</sup> Questo metodo ha visto un utilizzo trasversale nel campo della fisica delle basse energie e non è solamente limitato al campo dell'elettronica RF: è possibile trovare questo tipo di approccio anche per quanto riguarda l'ottica geometrica, o del calcolo delle intensità ottiche in cavità laser.

<sup>31</sup> A differenza degli altri dati l'impedenza può essere utilizzata in simulazioni a parametri concentrati *SPICE-like*.

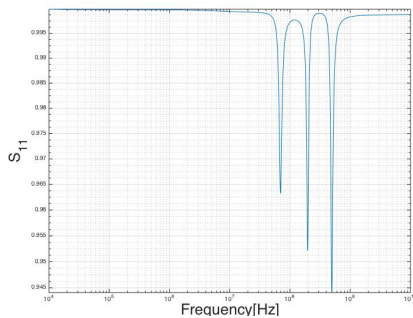
$$\begin{bmatrix} V_1 \\ V_2 \end{bmatrix} = \begin{bmatrix} Z_{11} & Z_{12} \\ Z_{21} & Z_{22} \end{bmatrix} \begin{bmatrix} I_1 \\ -I_2 \end{bmatrix} \quad (\text{IV-13})$$

naturalmente in maniera del tutto equivalente alla matrice delle impedenze è possibile definire una matrice delle ammettenze<sup>32</sup>:

$$\begin{bmatrix} Y_{11} & Y_{12} \\ Y_{21} & Y_{22} \end{bmatrix} = \begin{bmatrix} Z_{11} & Z_{12} \\ Z_{21} & Z_{22} \end{bmatrix}^{-1} \quad (\text{IV-14})$$

- *Metodo della matrice di Scattering*<sup>33</sup>: dalla teoria dell'automatica, qualsiasi segnale in uscita da uno stadio può essere visto come il prodotto di convoluzione fra l'andamento temporale del segnale in ingresso e la risposta all'impulso del sistema. Portando la medesima descrizione nel dominio della frequenza questo si traduce nell'effettuare il prodotto fra le trasformate di Fourier di segnale e della risposta all'impulso, cioè fra trasformata del segnale e funzione di trasferimento del sistema. Tale funzione di trasferimento, se sono presenti più porte, sarà in forma matriciale, e corrisponderà alla Matrice di Scattering. Dal punto di vista fisico questo strumento è strettamente collegato ai coefficienti di trasmissione e riflessione visti da ogni porta dello stadio. La matrice di scattering è così definita:

$$\begin{bmatrix} b_1 \\ b_2 \end{bmatrix} = \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} \begin{bmatrix} a_1 \\ a_2 \end{bmatrix} \quad (\text{IV-15})$$



**Figura IV-7: andamento in frequenza del parametro  $S_{11}$ , simulato.**

con **b** ampiezza dei fronti uscenti ed **a** quella dei fronti entranti.

Dal momento che si ha a che fare con delle onde come detto prima è possibile giustificare in maniera immediata il ruolo degli elementi della matrice di scattering, detti *S-parameters*: gli elementi sulla diagonale rappresentano la frazione di onda che entrante da una porta vengono riflesse verso la stessa porta, ed allo stesso modo gli elementi fuori diagonale rappresentano la frazione di onda che viene trasmessa dalla porta di ingresso verso tutte le altre.

L'importanza degli S-parameters però non è soltanto limitata alla loro valenza teorica: molto spesso alle alte frequenze (tipicamente in applicazioni RF) e molto difficile o addirittura impossibile misurare l'impedenza di un circuito, però attraverso opportuni strumenti come gli *analizzatori di rete* è immediato ricavare i

parametri S di una rete acquisendo le onde riflesse o trasmesse a fronte di un ingresso noto, e tramite i parametri S è possibile risalire all'impedenza del circuito sotto esame, vista alla frequenza desiderata<sup>34</sup> e dal nodo di interesse.

Da quanto detto sopra quindi i parametri di scattering sono un utilissimo viatico per descrivere l'impedenza di un circuito tramite il suo coefficiente di riflessione (IV-10), sia dal punto di vista sperimentale che simulativo utilizzando i simulatori elettromagnetici 2D o 3D disponibili sul mercato, basati sulla soluzione in domini continui delle *Equazioni di Maxwell*<sup>35</sup>.

Per ottenere questi risultati, largamente sfruttati in seguito, occorre però collegare funzionalmente le trattazioni parallele fin ora descritte.

Per fare questo inizialmente occorre ricavare un legame fra l'ampiezza delle onde con i valori di tensione e corrente ai capi del circuito:

$$\begin{cases} a_1 = \frac{V_1 + Z_0 I_1}{2\sqrt{Z_0}} \\ b_1 = \frac{V_1 - Z_0 I_1}{2\sqrt{Z_0}} \end{cases} \Leftrightarrow \begin{cases} V_1 = \sqrt{Z_0}(a_1 + b_1) \\ I_1 = \frac{1}{\sqrt{Z_0}}(a_1 - b_1) \end{cases}$$

<sup>32</sup> Compatibilmente con le condizioni di invertibilità e singolarità della matrice stessa.

<sup>33</sup> Ancora una volta è un metodo molto interdisciplinare, utilizzato specialmente nel campo delle nanotecnologie per calcolare il trasferimento di nanostrutture a dimensionalità ridotta come *quantum wells*.

<sup>34</sup> Elementi reattivi e parassiti mutano la loro impedenza con la frequenza di utilizzo.

<sup>35</sup> Un esempio di simulatore 3D è CST Studio, che verrà utilizzato nel proseguo della trattazione.

$$\begin{cases} a_2 = \frac{V_2 - Z_0 I_2}{2\sqrt{Z_0}} \\ b_2 = \frac{V_2 + Z_0 I_2}{2\sqrt{Z_0}} \end{cases} \Leftrightarrow \begin{cases} V_2 = \sqrt{Z_0}(a_2 + b_2) \\ I_2 = \frac{1}{\sqrt{Z_0}}(b_2 - a_2) \end{cases} \quad (\text{IV-16})$$

con  $Z_0$  impedenza caratteristica del circuito ottenibile tramite l'equazione (IV-9).

Ricordando che  $Z=V/I$  è possibile ricavare una relazione fra le matrici di scattering e di impedenza:

$$\underline{S} = (\underline{Z} - Z_0 \underline{I})(\underline{Z} + Z_0 \underline{I})^{-1} \Leftrightarrow \underline{Z} = (\underline{I} - \underline{S})^{-1}(\underline{I} + \underline{S})Z_0 \quad (\text{IV-17})$$

esprimendo infine esplicitamente le relazioni fra S e Z:

$$\underline{S} = \frac{1}{\det(\underline{Z} + Z_0 \underline{I})} \begin{bmatrix} (Z_{11} - Z_0)(Z_{22} + Z_0) - Z_{12}Z_{21} & 2Z_{12}Z_0 \\ 2Z_{21}Z_0 & (Z_{11} + Z_0)(Z_{22} - Z_0) - Z_{12}Z_{21} \end{bmatrix} \quad (\text{IV-18})$$

$$\underline{Z} = \frac{Z_0}{\det(\underline{I} - \underline{S})} \begin{bmatrix} (1 + S_{11})(1 - S_{22}) + S_{12}S_{21} & 2S_{12} \\ 2S_{21} & (1 - S_{11})(1 + S_{22}) + S_{12}S_{21} \end{bmatrix} \quad (\text{IV-19})$$

in seguito sarà molto utilizzata la relazione che lega l'impedenza con il parametro di scattering di trasmissione  $S_{12}=S_{21}$ <sup>36</sup>.

### IV.3.iii. Comportamento Reale di Elementi Circuitali e Parassitismi

Gli elementi circuitali discreti [7] reali presentano parametri parassiti (RLC) che causano comportamenti molto differenti rispetto al caso ideale descritto nei circuiti elettrici. È molto importante tenere presente la differenza fra il comportamento ideale ed il comportamento reale degli elementi che vengono applicati su un PCB nell'analisi della *Power Integrity*, in particolare nella valutazione delle impedenze e del filtraggio delle alimentazioni (PDN – Power Distribution/Delivery Network).

Il presente lavoro ha come scopo lo studio del sistema di filtraggio

sulle alimentazioni, per cui in esso si utilizzeranno largamente condensatori di filtro. Per completezza però si accennerà anche al comportamento di resistori ed induttori reali.

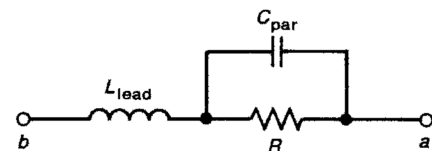


Figura IV-8: circuito equivalente ad un resistore reale.

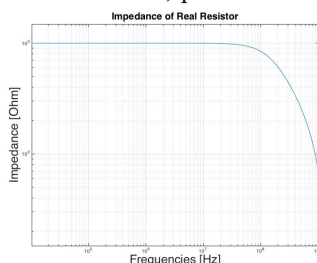


Figura IV-11: comportamento reale di un resistore in frequenza.

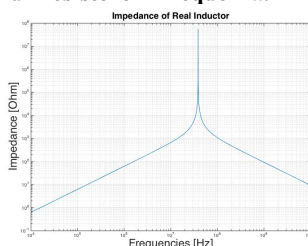


Figura IV-9: comportamento reale di un induttore in frequenza

- *Resistore Reale*: il comportamento ideale di resistori consiste in una impedenza reale e costante in frequenza con fase anch'essa costante e nulla. Il comportamento è in realtà molto più complesso e tiene conto anche di componenti reattive figlie della tecnologia di realizzazione del componente. In particolare, oltre al comportamento resistivo bisogna considerare, in prima approssimazione, anche un aspetto capacitivo intrinseco del resistore ed una componente induttiva introdotta dal montaggio (saldatura) sul PCB. Il circuito equivalente ad un resistore ideale è indicato in figura. È possibile verificare la correttezza del modello calcolandone il trasferimento in modulo e fase oppure tramite analisi del comportamento ai limiti. In DC il comportamento di un condensatore ideale è quello di un circuito aperto, mentre un induttore ha come comportamento quello di un

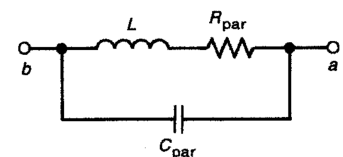


Figura IV-10: modello circuitale equivalente ad un induttore reale.

<sup>36</sup> Trattando principalmente circuiti composti da elementi passivi o relativi parassitismi.

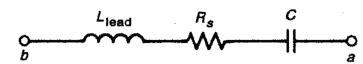
cortocircuito, di conseguenza il comportamento coincide con quello di un resistore ideale. D'altra parte a frequenze infinite il comportamento risulta invertito fra i componenti reattivi: l'induttore risulta un circuito aperto mentre il condensatore un cortocircuito, per cui l'impedenza totale dello stadio sarà infinita ed il comportamento dominante sarà quello induttivo. La non idealità dei resistori, come evidenziato da figura IV-8, diventa una caratteristica importante ad alte frequenze (dell'ordine del GHz) per cui per le applicazioni descritte dal presente lavoro verranno trascurate, in particolare la componente capacitiva occorre a frequenze così alte da non essere descritta in figura.

- *Induttore Reale*: considerando un induttore composto da un filo avvolto intorno ad un core di differente materiale, esso naturalmente presenterà una induttanza, come previsto, una resistenza dovuta al filo stesso ed una capacità figlia dell'accoppiamento fra spire parallele. Il comportamento ideale di un induttore ha invece impedenza crescente con la frequenza, e con fase costante e pari a  $90^\circ$ .

Il modello circuitale corrispondente è quello di figura IV-10. Ripetendo l'analisi precedente, in DC il condensatore si comporta come un circuito aperto mentre l'induttore come un cortocircuito, di conseguenza il trasferimento in continua è quello di un resistore. A frequenza infinita il comportamento dello stadio è quello di un cortocircuito: tutta la corrente transitante nello stadio scorre nel ramo del condensatore (cortocircuito) mentre l'altro ramo si apre a causa della presenza dell'induttore. L'andamento reale è sintetizzato in figura IV-9.

A causa del loro andamento in frequenza gli induttori vengono spesso usati per bloccare rumori in corrente in circuiti caratterizzati da bassa impedenza.

- *Condensatore Reale*: il condensatore ideale ha un andamento di impedenza decrescente con la frequenza, con impedenza infinita in DC e fase costante pari a  $-90^\circ$ . Nel caso reale invece occorre considerare anche una resistenza (ESR<sup>37</sup>) ed una induttanza (ESL<sup>38</sup>) parassita figlie del montaggio (quindi delle saldature) e della realizzazione fisica dei condensatori stessi. Il risultato è che un condensatore reale è modellizzato con uno stadio RLC serie (figura IV-12.) in cui la resistenza è rappresentata dalla resistenza delle armature, mentre l'induttanza è rappresentata dalla somma della ESL intrinseca e dal montaggio su PCB.

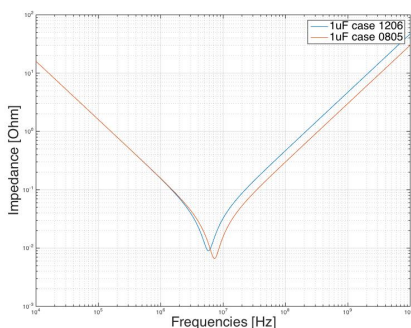


**Figura IV-12: modello circuitale equivalente di un condensatore reale.**

Il trasferimento di questo stadio è dato da:

$$Z(s) = L \frac{s^2 + \frac{R}{L}s + \frac{1}{LC}}{s} \quad (\text{IV- 20})$$

con frequenza di risonanza



**Figura IV-13: comportamento reale di un condensatore in frequenza variandone il case.**

$$f = \frac{1}{2\pi\sqrt{LC}} \quad (\text{IV- 21})$$

Sia in continua che a frequenza infinita l'impedenza dello stadio è infinita (rispettivamente a causa del condensatore e dell'induttore) mentre vi è un minimo in corrispondenza della frequenza di risonanza<sup>39</sup>, come in accordo con il comportamento reale (figura IV-13).

Il valore dei parassitismi dipende fortemente dalla tecnologia con cui vengono realizzati questi dispositivi; generalmente condensatori di filtraggio si dividono in condensatori ceramici ed elettrolitici.

I condensatori ceramici tipicamente presentano valori di ESR ed ESL molto bassi, ma possono assumere valori di capacità limitate (fino ad alcune centinaia di  $\mu\text{F}$ ), per cui per valori maggiori di capacità occorre virare su condensatori elettrolitici, tipicamente al Tantalio, che

<sup>37</sup> Equivalent Series Resistance.

<sup>38</sup> Equivalent Series Inductance.

<sup>39</sup> Motivo per cui i condensatori sono utilizzati come sistemi filtranti.

hanno valori di C che possono superare il mF ma anche parassitismi maggiori. Per questo motivo il secondo tipo di condensatori descritto possiede un fattore di qualità molto più basso e di conseguenze risonanze molto meno strette.

Nel caso di condensatori ceramici il valore dei parassitismi dipende fortemente anche dal *case* utilizzato (fig.IV-13), cioè dalla geometria del dispositivo, tipicamente misurato in *inch*.

### IV.3.iv. Il Power Delivery Network (PDN)

Inizialmente nella progettazione di PCB [9,10], la cura del sistema di alimentazione era considerato come un aspetto secondario del design. Un *Power Delivery Network* ideale è rappresentato da un generatore ideale di tensione, mentre in realtà sono presenti numerosi altri parassitismi, introdotti nel percorso della corrente fra il generatore ed il dispositivo da alimentare, rappresentato in applicazioni EWS dal D.U.T. le regioni di circuito costituenti il PDN sono di fatto rappresentate da *power planes*<sup>40</sup> affacciati ad altrettanti piani di massa (spesso un intero layer di un PCB), e connessi tramite via ed altre interconnessioni al dispositivo da alimentare<sup>41</sup>.

Questo percorso circuitale tipicamente introduce cadute di potenziale causate da resistenze parassite od accoppiamenti induttivi o capacitivi figli della geometria e del materiale utilizzato.

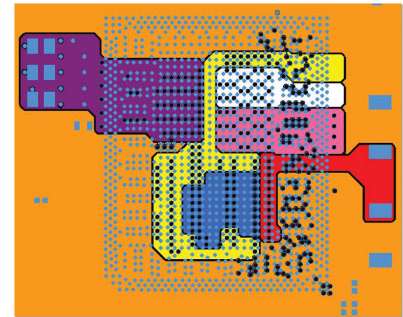


Figura IV-14: diversi *power planes* in un singolo layer di PCB

Circuiti integrati moderni hanno subito uno *scaling down* delle geometrie, che ha comportato anche una riduzione delle tensioni in gioco e dei conseguenti margini di rumore. In parallelo, l'aumento della complessità dei circuiti ha causato anche un aumento della corrente totale assorbita a queste basse tensioni (anche superiori a 100A @ 0.8V), rendendo il PDN un elemento estremamente critico da progettare. In aggiunta, l'aumento delle frequenze di funzionamento dei dispositivi ha comportato il fatto che l'efficienza del PDN nel fornire al D.U.T. una tensione di alimentazione ed un riferimento di massa il più possibile puliti deve essere garantita fino a frequenze elevate. Per fare questo occorre soddisfare dei requisiti sul valore dell'impedenza del sistema di alimentazione stesso ( $Z_{target}$ ), in quanto molti rumori hanno intensità proporzionale all'impedenza del PDN ( $Z_{PDN}$ <sup>42</sup>) ed anche per ridurre le perdite in energia causate dalle cadute di tensione parassite sul PDN stesso.

Una semplice formula per ricavare la specifica di impedenza del PDN in base alle caratteristiche desiderate:

$$Z_{target} = \left[ \frac{V_{dd} \left( \frac{\%Ripple}{100} \right)}{MaxTransientCurrent} \right] \quad (IV- 22)$$

con *MaxTransientCurrent* il delta di corrente che commuta. Solitamente  $Z_{target}$  risulta dell'ordine dei mΩ o decine di mΩ, nel range della DC fino alle centinaia di MHz.

Le non idealità possibili di un sistema di alimentazione si dividono in due grandi famiglie: il *DC voltage drop* (o *IR drop*) e l'*AC noise*. Il DC drop è la caduta di tensione dovuta al comportamento ohmico del PDN in continua, mentre l'AC noise è il contributo di rumore dovuto ai transitori di corrente al D.U.T.

Generalmente in fase di progetto viene assegnato dal costruttore un intervallo di valori entro cui deve rimanere il valore di tensione e di corrente che deve essere garantito dall'alimentazione, e di conseguenza viene fornito anche un *noise budget* in cui deve rientrare il PDN stesso. Dal momento che l'IR drop è un fenomeno deterministico mentre l'AC noise è un rumore statistico si utilizza come regola generale di progetto una assegnazione del 30% del noise budget al DC drop ed il restante 70% all'AC noise.

<sup>40</sup> Si parla di *power planes* anche quando tale piano è costituito soltanto da una frazione di layer di PCB adibita ad una certa alimentazione. Capita infatti spesso che in un singolo layer di PCB siano contenuti numerosi piani di alimentazione.

<sup>41</sup> Nel caso di applicazioni EWS tali interconnessioni possono essere filature, BGA, o semplicemente le sonde che contattano il DUT.

<sup>42</sup> Molto spesso è difficile mantenere il target di impedenza su un ampio intervallo di frequenza, per questo spesso le richieste si limitano ad un intervallo nello spettro. In applicazioni EWS in particolare l'elevata induttanza delle sonde non permette un controllo su  $Z_{PDN}$  oltre circa i 500MHz.

### IV.3.iv.i DC Voltage Drop

DC Voltage Drop rappresenta la caduta di tensione parassita dovuta alla geometria della rete ed ai materiali da cui è composta. In base a questa definizione si può calcolare l'IR Voltage Drop semplicemente dalla legge di Ohm:

$$IR\ Drop = R_{DC}I \quad (IV-23)$$

Molto spesso la geometria di un Power Delivery Network è molto complessa, talvolta con diversi rami in parallelo, per cui calcolarne la resistenza diventa impossibile a livello analitico. Per questo motivo anche il DC drop non assume un valore costante in tutto il dispositivo, ma esisteranno zone più "stressate" elettricamente di altre<sup>43</sup>, come mostrato in figura IV-15: dalla scala cromatica è evidente che esiste una zona del PDN elettricamente più sollecitata del resto della rete, a causa del fatto che buona parte della corrente è forzata a scorrere entro un limitato numero di via.

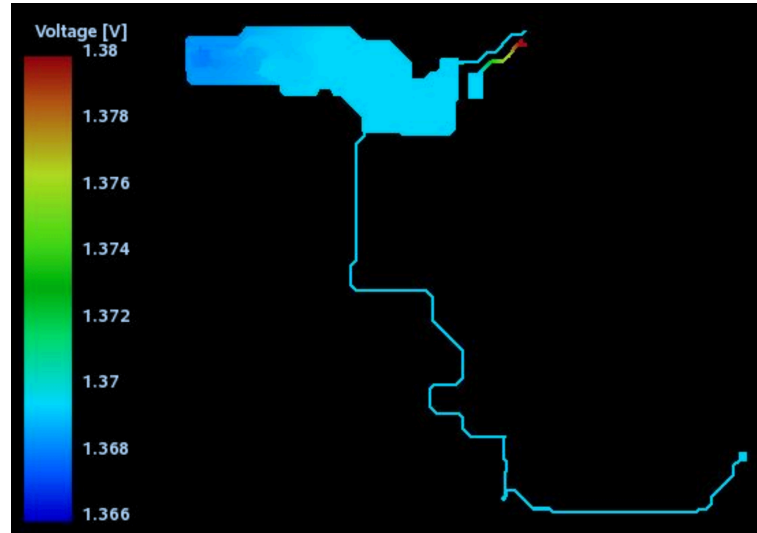


Figura IV-15: esempio di IR drop.

La presenza di questa non idealità ha come conseguenza il fatto che la tensione che raggiunge il dispositivo da alimentare non è corrispondente a quella erogata dal generatore ma inferiore.

Questo problema viene generalmente affrontato prelevando all'altezza del *D.U.T.* la tensione di alimentazione attraverso un punto di *sensing* che verrà portato in retroazione al generatore stesso, che quindi potrà variare dinamicamente la tensione erogata<sup>44</sup> in modo tale da mantenere la tensione sul punto di *sensing* costante. Questo feedback è in grado di risolvere il problema della caduta di tensione a bassa frequenza (fino ad alcune decine di kHz, corrispondenti alla banda del loop di reazione) nel caso in cui una certa tensione debba alimentare soltanto un dispositivo; nel caso in cui la medesima alimentazione viene portata a più di un dispositivo infatti soltanto quello più vicino al punto di sensing riceverà il valore nominale di tensione, quelli più vicini all'alimentatore riceveranno una tensione maggiore, minore quelli più lontani.

In applicazioni commerciali si provvede attualmente con una alimentazione "distribuita", effettuata tramite diversi alimentatori di bassa potenza collocati vicino ai singoli componenti, ma questo non è possibile nelle applicazioni Probe Card, dove gli alimentatori sono integrati nella testa del prober. Essi possono gestire masse isolate tra loro e devono essere controllati in modo sofisticato dal tester.

In aggiunta, nelle Probe Card vengono testati contemporaneamente più di un dispositivo, ognuno con parecchie alimentazioni dedicate ed una distribuzione di masse in comune oppure dedicata. Configurazioni con più di 256 alimentazioni possono rappresentare delle condizioni normali di collaudo. Il segnale di sense talvolta può essere prelevato da PCB, Space Transformer oppure direttamente da un ago della Probe Head, per permettere una compensazione più completa.

Regola generale, naturalmente modificabile in base alle specifiche di progetto, è accettare un IR Drop che vada dal 0.5% al 2.5% della tensione di alimentazione.

<sup>43</sup> Anche la corrente non si distribuisce uniformemente lungo il PDN, di conseguenza la disomogeneità di DC drop ha causa duplice. Quest'ultima causa può essere gestita solo parzialmente e soltanto in fase di design.

<sup>44</sup> La tensione erogata dal generatore è quindi (in dispositivi funzionanti secondo specifica)  $>V_{dd}$ .



### IV.3.iv.ii. AC noise

L'AC noise è il rumore presente sulle alimentazioni causato dalle variazioni di corrente assorbite dal D.U.T. , dagli elementi reattivi e dai parassitismi presenti lungo la rete che porta la tensione. I principali fattori che influenzano questo aspetto sono il layout del sistema, la presenza di condensatori e, in caso di Probe Cards, il sistema di interconnessione tra PCB e sonde e le sonde stesse.

Tutti questi aspetti influenzano l'impedenza vista dal *D.U.T.* in funzione della frequenza, detta  $Z_{imp}^{45}$ , che si vuole che resti inferiore al valore di  $Z_{target}$  in un certo intervallo di frequenza (vedi sezione precedente).

La modellizzazione degli elementi parassiti presenti in una Probe Card costituisce la parte principale del presente lavoro, per cui verrà approfonditamente trattata in seguito, così come il potere filtrante dei condensatori.

In questa sede si intende discutere come il layout del Power Delivery Network influenzi la  $Z_{imp}$ .

Alle basse frequenze, in cui il comportamento dominante risulta essere quello resistivo<sup>46</sup>, per minimizzare l'impedenza occorre portare le alimentazioni (e le masse) attraverso interi piani o porzioni di piani, così da massimizzare la sezione di conduttore in cui la corrente può scorrere. Al contempo alle alte frequenze il contributo dominante nell'impedenza è quello induttivo, per cui occorre minimizzare il flusso del campo magnetico indotto, e quindi il *loop* induttivo composto fra piano di power, via e ritorno di corrente sul piano di massa. Per fare questo la soluzione migliore è disporre piani di alimentazione e massa su layer contigui; in questo modo oltre a minimizzare il *loop* induttivo si massimizza l'accoppiamento capacitivo fra alimentazione e massa.

L'altro elemento determinante ai fini induttivi di un PCB è costituito dai *via* utilizzati su questi percorsi.

### IV.3.iv.iii. Filtraggio

Per contrastare le fonti di non idealità precedentemente descritte è necessario progettare un sistema di filtraggio locale sull'alimentazione, composto da condensatori posti fra loro in parallelo collocati vicino al D.U.T. [11].

Grazie al suo comportamento in frequenza il condensatore viene applicato per fare fronte a due tipi di problematiche:

- *Filtraggio delle alimentazioni*: un condensatore in un intorno più o meno grande della sua frequenza di risonanza rimuove l'energia RF che viene iniettata sull'alimentazione da segnali che stanno commutando ad una data frequenza generando picchi di alimentazione sopra o sotto il valore nominale<sup>47</sup>. Un condensatore di decoupling inoltre rappresenta una fonte di potenza DC localizzata vicino ad alcuni dispositivi, in modo tale che essi alle alte frequenze possano raggiungere la tensione di alimentazione senza essere affetti dal ritardo della linea.
- *Bulk*: sono condensatori di capacità molto grande, e quindi agenti a bassissime frequenze, utili sia al filtraggio delle alimentazioni che anche a garantire la stabilità dell'alimentatore. Ogni diverso tester infatti necessita della presenza di diversi condensatori di bulk, a causa della diversità nella corrente assorbita da ciascun alimentatore.

Il presente lavoro sarà principalmente focalizzato sulla funzione di *decoupling* delle alimentazioni. Dal momento che la funzione primaria di un condensatore è quella di accumulare carica elettrica, esso se posto vicino al *driver* di una linea di trasmissione può fornirgli energia negli istanti iniziali, senza che sia necessario attendere il tempo di propagazione della richiesta di alimentazione dall'alimentatore<sup>48</sup>.

La proprietà di questi componenti maggiormente sfruttata è però conseguenza dell'andamento in frequenza della sua impedenza (fig. IV-13): prima della frequenza di risonanza un condensatore reale ha un andamento

<sup>45</sup> La presenza di molti elementi circuitali o parassiti reattivi porta ad avere una impedenza fortemente dipendente dalla frequenza.

<sup>46</sup> Gli induttori, sempre in serie ad altri elementi, si comportano come cortocircuiti, mentre ciò che viene modellizzato capacitivamente si comporta come un circuito aperto verso massa.

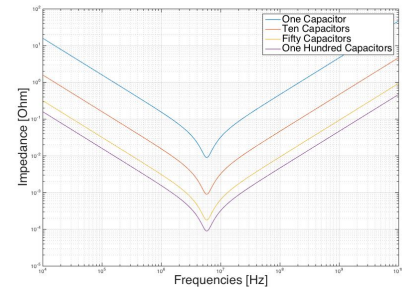
<sup>47</sup> *Crosstalk*, o diafonia.

<sup>48</sup> Che limiterebbe sostanzialmente la risposta in frequenza totale del dispositivo.

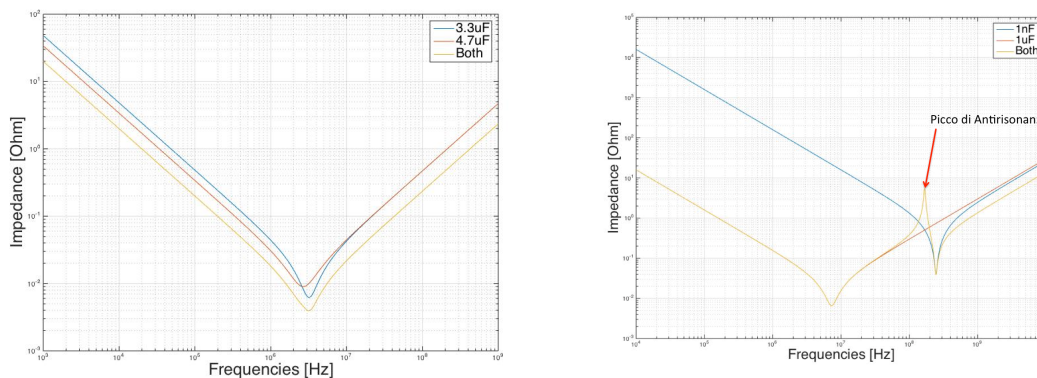
propriamente capacitivo, di conseguenza la sua impedenza decresce con la frequenza, mentre dopo la frequenza di risonanza l'impedenza incomincia a crescere, in quanto la componente induttiva (ESL) diventa dominante. Il punto di minimo corrisponde al valore della resistenza del dispositivo, in genere molto bassa e pari al valore di ESR del condensatore. Il PDN in corrispondenza di un intorno del punto di risonanza del condensatore presenta una impedenza molto bassa, per cui assicurando dei condensatori di valori diversi in punti opportuni del sistema di alimentazione è possibile avere un controllo della sua impedenza in un certo intervallo di frequenze.

Generalmente l'intervallo in cui si vuole controllare l'impedenza è molto più largo dell'ampiezza della risonanza di un solo condensatore, per cui risulta necessario utilizzare condensatori con diversi valori di capacità fra loro in parallelo, così da coprire l'intervallo di frequenza desiderato<sup>49</sup>. Anche il numero di dispositivi applicati sul PCB ha un ruolo importante: dalla teoria dei circuiti se  $n$  condensatori dello stesso valore sono fra loro montati in parallelo allora la resistenza e l'impedenza totale dello stadio saranno scalate di un fattore  $n$ , mentre la capacità aumenterà di un fattore  $n$ , aumentando il potere filtrante.

Nella fase di progettazione del sistema di filtraggio sulle alimentazioni è poi necessario prestare attenzione alla distribuzione dei valori di capacità onde evitare la presenza di *antirisonanze*: si supponga di essere in presenza di due condensatori reali aventi diverso valore di capacità posti fra loro in parallelo, e di considerare l'impedenza ad un valore di frequenza compreso fra le risonanze dei due componenti. In questo caso il condensatore avente capacità più grande assume un comportamento induttivo a causa della sua ESL, ma il secondo, con capacità più piccola è ancora in regime capacitivo, contrastando così l'andamento crescente dell'impedenza totale e mantenendo sotto controllo l'impedenza dello stadio. Se però i valori di capacità sono fra loro troppo diversi<sup>50</sup>, allora ciò che succede è che il comportamento capacitivo del secondo condensatore non è ancora così pronunciato da poter contrastare il comportamento induttivo del primo, generando così un indesiderato picco di antirisonanza.



**Figura IV-16: varie configurazioni di condensatori reali tutti uguali in parallelo.**



**Figura IV-17: confronto fra configurazioni di montaggio che favoriscono in filtraggio (a sinistra) e che presentano picco di antirisonanza (destra).**

Si osservi come da un lato quando i valori di capacità sono fra loro molto simili allora vi è un effetto “costruttivo”: il picco di risonanza è più intenso della semplice somma dei singoli componenti. D'altra parte, quando le frequenze di risonanza sono molto distanti si genera un picco di antirisonanza parassita con valore di impedenza maggiore della somma delle componenti.

Nel progettare un sistema di filtraggio una delle parti più delicate è proprio gestire il seguente trade-off : da un lato l'efficienza di un sistema di filtraggio è pesantemente influenzata da quanto efficacemente viene coperto lo spettro delle frequenze dalle capacità e da quante capacità per tipo vengono apposte sul PCB (al netto quindi più condensatori ci sono più efficace sarà il PDN), mentre dall'altro esigenze di costo e di spazio su scheda impongono l'utilizzo del minor numero possibile di componenti.

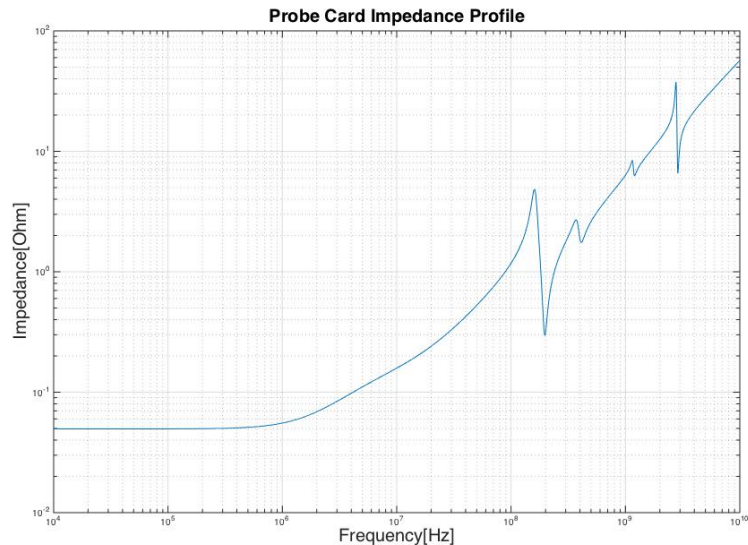
<sup>49</sup> Si ricorda che più alta è la capacità di un condensatore più bassa sarà la frequenza di risonanza dello stesso (IV-21).

<sup>50</sup> In genere è buona cosa che due valori di capacità sul singolo sito di montaggio non abbiano frequenze di risonanza fra loro distanti poco più di una decade.

### IV.3.iv.iv. Tipico Profilo di Impedenza

A completamento di quanto fino adesso trattato si riporta in figura il tipico andamento dell'impedenza di una Probe Card con la frequenza, ricavata con una simulazione numerica (figura IV-18):

a basse frequenze l'andamento è costante e legato alla resistenza DC del PDN (e dell'alimentatore), mentre ad alta frequenza l'impedenza aumenta in maniera esponenziale a causa dell'induttanza delle sonde. La zona centrale presenta picchi di risonanza ed antirisonanza dovuti alla capacità intrinseca dei piani di alimentazione e dovuti all'eventuale aggiunta di condensatori per abbassare l'impedenza proprio all'interno di questo range. Si sottolinea che la presenza del comportamento induttivo degli aghi, direttamente a contatto con il D.U.T., limita inevitabilmente la banda



**Figura IV-18: profilo di impedenza di una Probe Card senza sistema di filtraggio, simulato.**

passante in alta frequenza, senza che il sistema di filtraggio presente su Space Transformer o PCB possa migliorare l'andamento, per cui l'intervallo in cui è garantita una impedenza controllata tipicamente non va mai oltre i 500MHz.

A frequenze superiori il filtraggio può essere garantito solamente dalle capacità delle reti di alimentazioni presenti sul DUT (*silicon die*) stesso. In alcuni casi (microprocessori, FPGA, etc.) questa capacità viene aumentata volutamente dai progettisti di circuiti integrati proprio a questo scopo, ma questo esula dalla presente trattazione sulle probe card.

### IV.3.v. Effetto Pelle

L'effetto pelle [12] è una delle conseguenze della propagazione ondulatoria dei campi elettrici all'interno di conduttori. Con questo nome si denota la tendenza delle correnti elettriche a disporsi in maniera non uniforme: tipicamente la densità di corrente tenderà ad essere maggiore alle superfici del conduttore, in maniera via via più accentuata all'aumentare della frequenza.

Questo fenomeno comporta un aumento della resistenza del mezzo con la frequenza, e di conseguenza uno smorzamento progressivo delle risonanze<sup>51</sup>.

Per modellizzare questo effetto è necessario rifarsi alle *equazioni di Maxwell* adattate alla propagazione in un mezzo conduttore, quindi affiancate alla *legge di Ohm in forma locale*, cioè rispettivamente:

$$\begin{aligned} \operatorname{div}(\mu H) &= 0 \\ \operatorname{div}(\varepsilon E) &= 0 \\ \operatorname{rot}(E) + \frac{\mu}{c} \frac{\partial H}{\partial t} &= 0 \\ \operatorname{rot}(H) - \frac{\varepsilon}{c} \frac{\partial E}{\partial t} - \frac{4\pi\sigma}{c} E &= 0 \end{aligned} \quad (\text{IV-24})$$

e

del tipo:

$$J = \sigma E \quad (\text{IV-25})$$

per semplicità di trattazione si suppone che i campi varino lungo una sola componente spaziale, detta  $\xi$ , e si suddividono gli stessi in una componente *longitudinale* ed una *trasversale*:

$$\begin{cases} E(\xi, t) = E_{long}(\xi, t) + E_{tr}(\xi, t) \\ H(\xi, t) = H_{long}(\xi, t) + H_{tr}(\xi, t) \end{cases} \quad (\text{IV-26})$$

da cui deriva che una possibile soluzione per la componente longitudinale di H è rappresentata da un campo costante, mentre quella per il campo elettrico longitudinale sarà spazialmente uniforme e temporalmente variante come

$$E_{long}(\xi, t) = E_0 e^{-\frac{4\pi\sigma t}{\varepsilon}} \quad (\text{IV-27})$$

mentre per le proprietà dell'operatore rotore la parte longitudinale dei due campi deve soddisfare le relazioni:

$$\begin{cases} H = \frac{c}{\mu\omega} (k \times E) \\ i(k \times H) + i\varepsilon \frac{\omega}{c} E - \frac{4\pi\sigma}{c} E = 0 \end{cases} \quad (\text{IV-28})$$

da cui deriva, per onde piane del tipo:

$$E_{tr} = E_0 e^{(ik \cdot x - i\omega t)} \quad (\text{IV-29})$$

un vettore d'onda  $k \in \mathbb{C}$

---

<sup>51</sup> Dal momento che le correnti si dispongono sulla superficie diminuisce l'area del conduttore in cui scorre effettivamente corrente, e dal momento che per la seconda Legge di Ohm  $R = \rho \frac{l}{A(\omega)}$ . Essa allora aumenterà con la frequenza, e visto che le risonanze avvengono fra il condensatore reale ed i circuiti con esso in serie (vedi dopo), di fatto aumentando R diminuisce il fattore di qualità della risonanza

$$k^2 = \mu\varepsilon \left(\frac{\omega}{c}\right)^2 \left(1 + i \frac{4\pi\sigma}{\omega\varepsilon}\right) \quad (\text{IV-30})$$

in cui il primo termine corrisponde alla corrente di spostamento, mentre il secondo alla corrente di conduzione.

Risolvendo per  $k$ , ciò che si ottiene è, per  $\sigma \in \mathbb{R}$ , un vettore d'onda esprimibile come

$$k = \alpha + i\beta \quad (\text{IV-31})$$

in cui i valori di  $\alpha$  e  $\beta$  sono fortemente dipendenti dal tipo di conduttore in cui avviene la propagazione.

Tipicamente si distinguono due casi:

- *Cattivo Conduttore* ( $\frac{4\pi\sigma}{\omega\varepsilon} \ll 1$ ): in questo caso si ha che  $Re(k) \gg Im(k)$  e che l'attenuazione dell'onda,  $Im(k)$ , risulta essere indipendente dalla frequenza<sup>52</sup>:

$$k \approx \sqrt{\mu\varepsilon} \frac{\omega}{c} + i \frac{2\pi}{c} \sqrt{\frac{\mu}{\varepsilon}} \sigma \quad (\text{IV-32})$$

- *Buon Conduttore* ( $\frac{4\pi\sigma}{\omega\varepsilon} \gg 1$ ): in questo caso sviluppando il risultato al primo ordine si ottiene che  $\alpha \approx \beta$ , e che l'attenuazione dipende dalla frequenza:

$$k \approx (1 + i) \frac{\sqrt{2\pi\omega\mu\sigma}}{c} \quad (\text{IV-33})$$

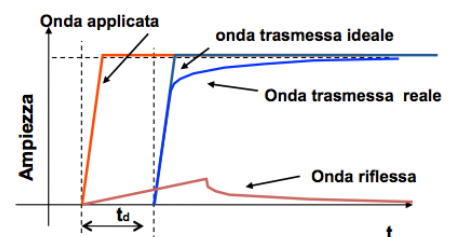
Il caso in esame prevede la propagazione in *power planes* o *vias* di PCB, generalmente composti da Cu, con  $\sigma \approx 5.96 \times 10^7 \frac{S}{m}$ , quindi si è in presenza di un buon conduttore, e se viene sostituita la (IV-39) dentro la (IV-35), si nota come vi è una decrescita esponenziale dell'ampiezza dell'onda con la distanza dalla superficie, in particolare l'onda elettromagnetica propagantesi in un mezzo conduttore verrà attenuata di un fattore  $1/e$  entro una distanza:

$$\delta = \frac{1}{\beta} \approx \frac{c}{\sqrt{2\pi\mu\omega\sigma}} \quad (\text{IV-34})$$

per quanto riguarda le correnti è possibile ricavare una formula analoga che indica la distanza a cui la densità di corrente è attenuata di un fattore  $1/e$ :

$$\delta_{corr} = \sqrt{\frac{2\rho}{\omega\mu}} \quad (\text{IV-35})$$

Come mostrato in figura IV-19 l'effetto pelle è causa di riflessioni indesiderate all'interno di linee trasmissive e distorsione del segnale trasmesso: esso colpisce maggiormente le alte frequenze, cioè le componenti spettrali che compongono il gradino di tensione. Il risultato è quindi che la parte a frequenze più alte risulterà "arrotondata" rispetto al caso reale.



**Figura IV-19: effetto pelle mostrato su una linea trasmissiva**

<sup>52</sup> Una dipendenza in realtà rimane presente, in quanto la conduttività del materiale dipende dalla frequenza.

# V. Implementazione Software di Simulazione Prelayout per Analisi di Power Integrity

## V.1. Stato dell'Arte

Come illustrato nel capitolo precedente il mercato delle Probe Card per sua stessa natura segue il mercato dei semiconduttori fedelmente, in quanto l'uscita di ogni nuovo IC richiede una Probe Card dedicata per la fase di testing EWS. La principale conseguenza di questo fatto è che i tempi necessari alla progettazione ed alla produzione di questo apparato devono ricalcare i tempi di lancio sul mercato di un nuovo dispositivo elettronico<sup>53</sup>, che sono andati progressivamente riducendosi fino al momento attuale, in cui il tempo di consegna di un prodotto finito dopo la commissione di una Probe Card è stimabile in 8-12 settimane. Anche la complessità del dispositivo richiesto dal cliente sta crescendo progressivamente, insieme allo sviluppo di chip di corrente sempre maggiore. Le richieste di parallelismo spaziale<sup>54</sup> e di pitch minimo<sup>55</sup> fra le sonde sono le principali cause di difficoltà in fase di progetto.

La principale conseguenza di queste due richieste è che occorre ridurre i tempi legati ad ogni fase del design, e cominciare dalla fase di analisi di *feasibility* e di prelayout di ciascun progetto, ossia le fasi preliminari in cui rispettivamente se ne valuta la fattibilità e si effettua una analisi preliminare semplificata.

La fase di *prelayout* necessita in particolare di uno strumento in grado di effettuare simulazioni veloci in grado di predire con una precisione accettabile il comportamento dell'impedenza un sistema di alimentazione e la sua variazione con la frequenza, in quanto non è possibile effettuare accurate simulazioni post-layout di tipo *FEM*<sup>56</sup> per mancanza di tempo. A questo scopo esistono strumenti multimediali in grado di stimare questo parametro tramite una modellizzazione a parametri concentrati, liberamente distribuiti dai produttori dei dispositivi da alimentare (un esempio è costituito dallo strumento *Excel* "PDN Design Tool" distribuito per il design di sistemi di alimentazione per FPGA da ALTERA®). L'utilizzo però di software di questo tipo nella progettazione di Probe Card non è possibile per i seguenti motivi principali:

- Il PDN di una probe card ha una struttura unica e diversa da ogni altro tipo di dispositivo, in quanto sono coinvolti molti più stadi di quanti siano presenti ad esempio nel sistema di alimentazione di un modulo FPGA *on chip*.
- Le dimensioni dei PCB coinvolti sono molto diverse fra le due applicazioni, per cui molti effetti secondari per applicazioni *standard* risultano dominanti nel PDN di una Probe Card. A titolo di esempio si prendono le dimensioni di un PCB per applicazioni EWS; esso può presentare piani di alimentazione con lunghezza massima fino a circa 20cm, con distanze medie fra un *layer* ed il successivo di decine di micron. È facile dedurre come non sia possibile trascurare gli effetti di accoppiamento capacitivo fra piani contigui, i quali invece vengono giustamente omessi in analisi di *power integrity* in aree di alimentazione di dimensioni inferiori.
- Anche grazie alle grandi dimensioni di ogni singolo dispositivo in una Probe Card sono disponibili molti più siti di montaggio di quelli simulabili con strumenti standard di prelayout.

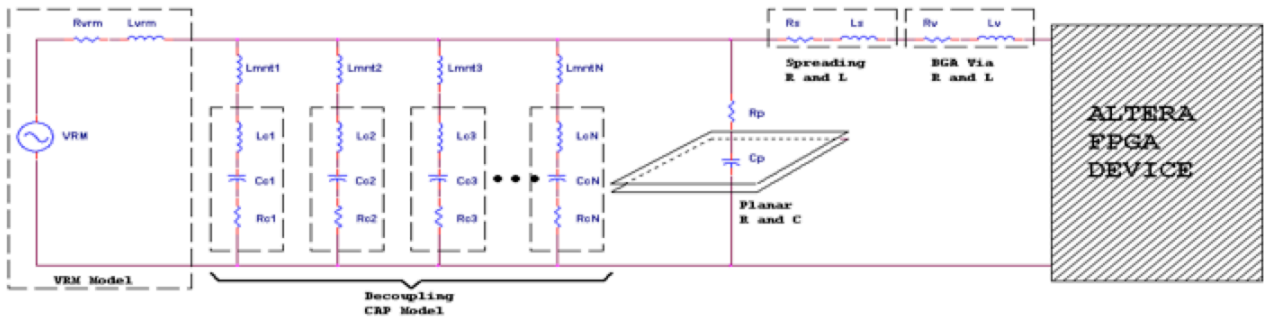
---

<sup>53</sup> In generale il presente discorso si estende naturalmente ad ogni tipo di circuito integrato oltre i microprocessori, come memorie o MEMS.

<sup>54</sup> Numero di dispositivi testabili in un singolo *touch-down*.

<sup>55</sup> Distanza fra due sonde consecutive.

<sup>56</sup> Finite Element Maxwell Equation Solver, verrà trattato nei capitoli seguenti.



**Figura V-1: modello circuitale di PDN ottimizzato all'alimentazione di moduli FPGA**

Figura V-1 mostra lo schema circuitale utilizzato da ALTERA® per la progettazione di PDN. Sfortunatamente il modello è troppo approssimativo per applicazioni EWS, in quanto:

- È presente soltanto un *power plane*, mentre in applicazioni EWS ne sono presenti fino a tre di dimensioni fra loro molto diverse, appartenenti ad elementi circuitali diversi<sup>57</sup>.
- Vi è soltanto un sito di montaggio per i condensatori di filtro, non è quindi possibile apprezzare le differenze nella capacità filtrante di condensatori montati su PCB, MLO od Interposer, parametro molto importante nel caso reale.
- Interconnessioni intermedie come le filature della configurazione *Wired Space Transformer*<sup>58</sup>, BGA o gomme conduttive non possono essere considerate, nonostante l'intenso contributo induttivo.
- Le sonde, il cui contributo parassita è assolutamente dominante oltre le poche centinaia di MHz, non possono essere considerate, ne dispongono di un modello di descrizione fisica.

Per tutti questi motivi si è vista necessaria l'implementazione di un software di Prelayout dedicato ad applicazioni EWS. Per fare questo è stato necessario un lavoro trasversale di programmazione di interfacciamento utente, gestione di database (di dimensione ridotta), modellizzazione fisica e modellizzazione circuitale al fine di avere un modello predittivo basato su un sistema a parametri concentrati il più possibile fedele alla realtà fisica sotto analisi, validato da una campagna sperimentale svolta su campioni di PCB con diverse configurazioni di condensatori di filtraggio.

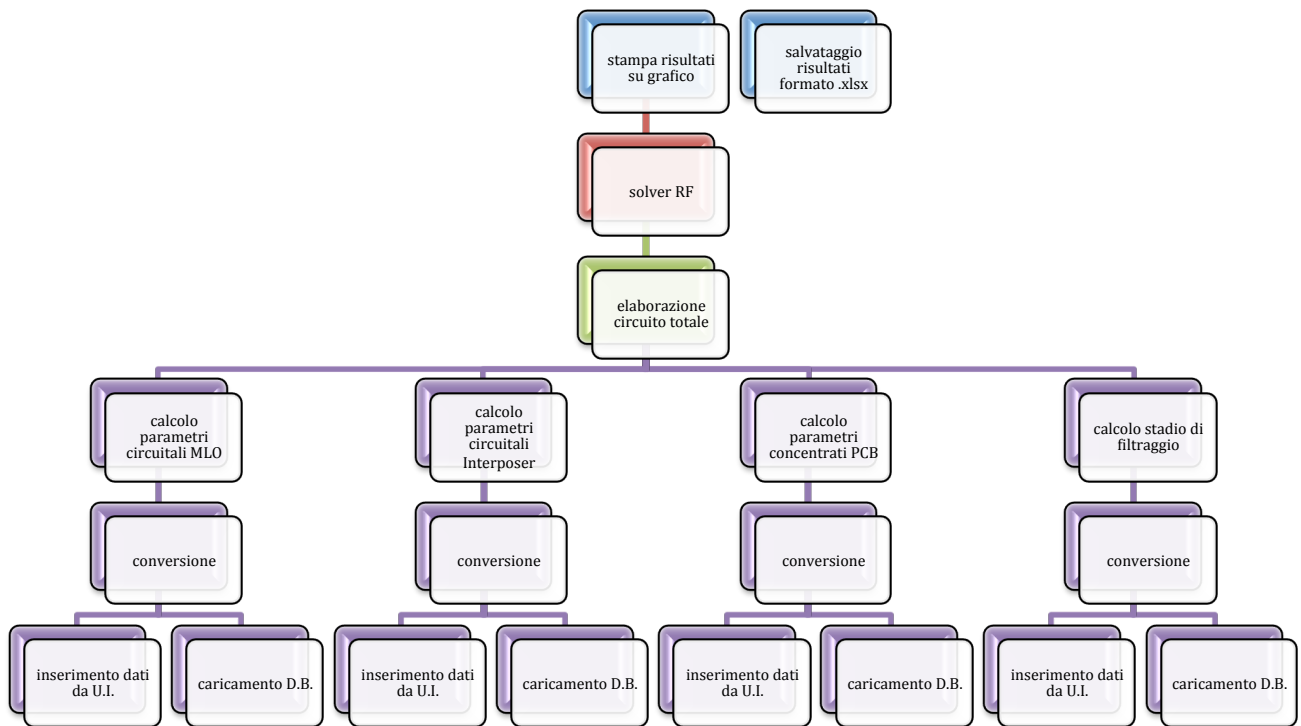
Lo sviluppo del modello fisico per la descrizione degli elementi, del modello circuitale per l'analisi in frequenza ed il confronto con i dati sperimentali verranno descritti nel dettaglio nei capitoli seguenti, mentre nel presente ci si concentrerà nel dare una panoramica della struttura algoritmica del software, realizzato tramite programmazione in linguaggio MATLAB®.

<sup>57</sup> È sempre presente un PCB, spesso affiancato da un Interposer, un MLO od entrambi.

<sup>58</sup> IV.2.ii.iii.

## V.2. Algoritmo di Funzionamento

Nella progettazione del sistema informatico si è scelto di prediligere il più possibile, a costo dell'introduzione di ridondanze, modularità e gerarchia, lasciando ogni singola funzione il più possibile indipendente dalle altre, così da produrre il minor numero di modifiche indesiderate in fase di *debugging*. In seguito viene riportato un diagramma di flusso che indica il percorso delle informazioni da quando inserite fino alla elaborazione della simulazione da parte del programma. Tale schema sarà poi seguito nella descrizione delle singole fasi di elaborazione.



**Tabella V-1: algoritmo di funzionamento del software di simulazione. Il flusso procede gerarchicamente dal basso verso l'alto.**

Le uniche fasi controllate dall'utente sono quelle di inserimento dei dati da *User Interface*. Alcuni fra questi dati non saranno direttamente utilizzabili, quindi sarà necessaria una fase di conversione, nella quale essi fungeranno da "indice" per estrarre i dati dai Database.



## V.2.i. Gestione delle Interfacce Utente

### V.2.i.i. MATLAB® GUIDE

Il software di programmazione MATLAB® dispone di due ambienti dedicati allo sviluppo di interfacce grafiche. È possibile una implementazione programmatica oppure una implementazione grafica tramite un ambiente specifico, chiamato *GUIDE* [13].

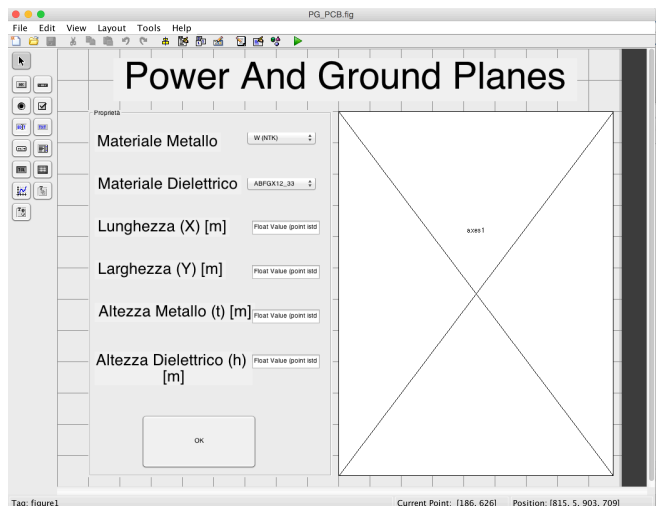
Lo scopo di una *User Interface* è di permettere all'utente di eseguire delle azioni senza dover creare degli *script* o senza dover conoscere a fondo il modo in cui tali azioni vengono portate a termine dal programma. Per fare questo vengono messi a disposizione dell'utente vari strumenti per l'inserimento come bottoni, editori di testo o menù a tendina.

L'interfaccia utente è un collegamento fra il motore di elaborazione e l'utente e viene implementata tramite una tecnica di programmazione detta *event-driven programming*: ogni oggetto componente l'UI possiede una funzione di *callback*, la quale viene innescata in maniera asincrona dall'utilizzo da parte dell'utente di tale oggetto (i.e. la pressione di un bottone). Quando chiamata, la funzione di *callback* comanda a MATLAB® l'esecuzione dei comandi relativi all'opzione esternamente selezionata.

Nello sviluppo del presente lavoro sono state utilizzate entrambe le tecniche sopracitate per la realizzazione delle interfacce, a seconda delle necessità:

- *GUIDE*: è un ambiente di programmazione grafica, in cui sono presenti alcuni oggetti predefiniti ma altamente customizzabili che è possibile disporre *graficamente* all'interno dell'interfaccia dopo averli selezionati da un menù. In seguito alla creazione grafica dell'interfaccia il software crea due files ad essa corrispondenti: un file *.m* contenente il codice relativo, in cui verranno inseriti i comandi che ogni funzione di *callback* dovrà eseguire, ed un file *.fig*, il quale riporterà all'ambiente grafico per future modifiche al *layout*.

Questo approccio è preferibile nel caso di interfacce molto complesse, contenenti un numero molto elevato di oggetti, in quanto disponendoli graficamente si evita la fase di dichiarazione degli oggetti stessi, spesso fra loro molto simili, eseguita dal compilatore.



**Figura V-2: ambiente di programmazione GUIDE. Sulla sinistra è visibile il menù per la generazione di oggetti.**

- *Creazione Programmatica*: il programmatore definisce tramite uno script la figura, ogni componente ad essa interno ed ogni procedura. Una UI siffatta è personalizzabile più a fondo rispetto al caso precedente, a costo di un maggiore tempo dedicato alla sua implementazione, per cui questo approccio è preferibile nel caso di interfacce contenenti pochi elementi o che devono eseguire task molto particolari e non rientranti nei "casi generali" implementabili graficamente. Una ulteriore differenza rispetto al caso precedente è che in questo caso non viene generato alcun file di tipo figura (*.fig*), ma l'interfaccia viene generata dal codice sorgente autonomamente ad ogni chiamata.

## V.2.i.ii. Inserimento dei Dati

L'algoritmo di inserimento dei dati all'interno del programma è stato progettato in maniera differente in funzione del tipo di dato considerato ed anche in base all'oggetto utilizzato per inserire il valore.

MATLAB®, indipendentemente dall'oggetto utilizzato, mette a disposizione del programmatore una struttura chiamata *handles*<sup>59</sup>, in cui verranno salvati i dati inseriti dall'utente. Questo strumento ha però una importante limitazione: la struttura non ha visibilità globale all'interno del programma ma esiste soltanto all'interno dell'interfaccia corrente. Questo non permette il passaggio di dati fra differenti ambienti, quindi non permette di trasferire i dati inseriti alle funzioni che poi saranno in grado di elaborarli.

Per ovviare a questo problema si sono salvati i dati di ciascuna interfaccia manualmente all'interno di strutture globali, in modo tale che *ogni dato generato dal programma risulti disponibile ad ogni ramo del programma stesso*. Con il comando:

```
setappdata(0,'Nome_Struttura_Globale','Nome_Struttura_Da_Salvare');
```

Viene salvata in "0" (quindi come variabile globale) una struttura del programma con il nome "Nome\_Struttura\_Globale". Ogniqualevolta tale struttura vorrà essere rievocata allora occorrerà digitare il seguente comando:

```
Struttura_Evocata=getappdata(0,'Nome_Struttura_Globale');
```

Tipicamente i dati necessari al funzionamento del programma sono le dimensioni geometriche delle strutture in esame, le proprietà fisiche dei materiali di cui esse sono composte (costante dielettrica o resistività ad esempio) e proprietà dei condensatori di filtro. Per ottenere un comportamento il più possibile user-friendly si è scelto di far selezionare all'utente soltanto alcune proprietà delle strutture da dei menù a tendina (materiale, case del condensatore o valore di capacità), e di ricavare i dati numerici necessari al modello fisico in base alle selezioni effettuate tramite estrazione da database.<sup>60</sup>

Per quanto riguarda invece le dimensioni, od il numero di componenti, questi dati vengono inseriti manualmente dall'esterno tramite caselle di inserimento testo. Ognuna di queste strutture ha un proprio algoritmo dedicato al salvataggio del dato inserito:

- *Pop-up Menù (menù a tendina)*: ad ogni punto del menù a tendina viene associato un valore intero partendo da 1, che viene salvato all'interno della struttura globale e che verrà utilizzato come indicatore per estrarre il corretto valore dalla base dati.

Nell'esempio di figura V-3 il dato inserito da utente può assumere valori da 1 a 8.

- *Text Edit (Casella di Inserimento Testo)*: l'utente inserisce un dato numerico, che inizialmente viene acquisito come stringa. In seguito ad una conversione a valore numerico il tutto viene salvato nella struttura di riferimento.

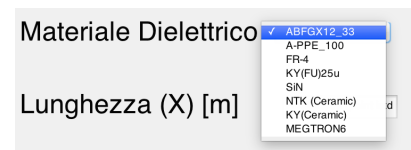


Figura V-3: esempio di Pop-up Menù

Per permettere che i dati vengano modificati, il salvataggio all'interno della variabile globale viene eseguito in seguito alla pressione di un bottone.

Questo framework basilare è stato utilizzato nella realizzazione di tutte le interfacce di inserimento, che raccolgono dati riguardanti le seguenti strutture:

- Power e Ground Planes (per PCB, MLO ed Interposer<sup>61</sup>).
- Via (per PCB, MLO ed Interposer).
- Interconnessioni (fra MLO ed Interposer e fra Interposer e PCB).
- Condensatori di filtro.

<sup>59</sup> E' importante sottolineare come le variabili di tipo struttura in questo ambiente di programmazione possono contenere anche dati di tipo diverso, a differenza di ambienti di livello più basso come C.

<sup>60</sup> Ad esempio dalla selezione di un materiale discende un solo valore di resistività o di costante dielettrica. Le modalità di estrazione dei dati da database saranno discusse nel paragrafo seguente.

<sup>61</sup> Non tutti questi componenti sono sempre presenti, in particolare è possibile escludere quelli non richiesti nel progetto sotto analisi ponendo a zero le dimensioni del componente. In questo modo il programma riconoscerà la sua assenza includendo opportunamente circuiti aperti o cortocircuiti nel modello a parametri concentrati.

## V.2.ii. Creazione Database ed Estrazione dei Dati

### V.2.ii.i. Struttura dei Dati

I dati necessari per il calcolo delle proprietà fisiche di una Probe Card tipicamente sono diversi in base al componente preso in considerazione:

- *Sonde*: esistono diverse tecnologie per la realizzazione degli aghi di sonda. Le dimensioni geometriche dell'ago sono standardizzate in base alla tecnologia costruttiva, mentre i coefficienti necessari al calcolo dell'induttanza di ciascun ago dipendono oltre che da quest'ultima anche dal suo orientamento rispetto agli assi x ed y posti sul D.U.T., comunque standardizzato in tre valori: 0°, 45°, 90°. Per quanto concerne la resistività, essa dipende soltanto dal materiale utilizzato.
- *Circuiti Stampati (MLO, PCB od Interposer)*: le geometrie vengono inserite manualmente, per cui da database vengono selezionate solo le resistività e le costanti dielettriche, dipendenti solo dal materiale.
- *Condensatori di Filtro*: i valori necessari alla modellizzazione dei condensatori di filtro sono la loro capacità ed i valori dei parassitismi<sup>62</sup>, dipendenti oltre che dal valore di capacità anche dal case.

Il modo in cui verranno immagazzinati i dati dipenderà naturalmente dalla loro struttura e dal dato che viene richiesto all'utente in fase di inserimento.

### V.2.ii.ii. Creazione dei Database

MATLAB® dispone di una funzione in grado di caricare fogli Microsoft Excel® nella forma di matrici o vettori, per cui si è scelto di creare le sorgenti in questo formato per facilitare il caricamento e la gestione dei dati.

Ogni file in formato .xlsx è stato organizzato in base alla struttura delle interfacce utente. A titolo esemplificativo si intende descrivere la forma dei fogli contenenti i dati riguardanti i condensatori di filtro.

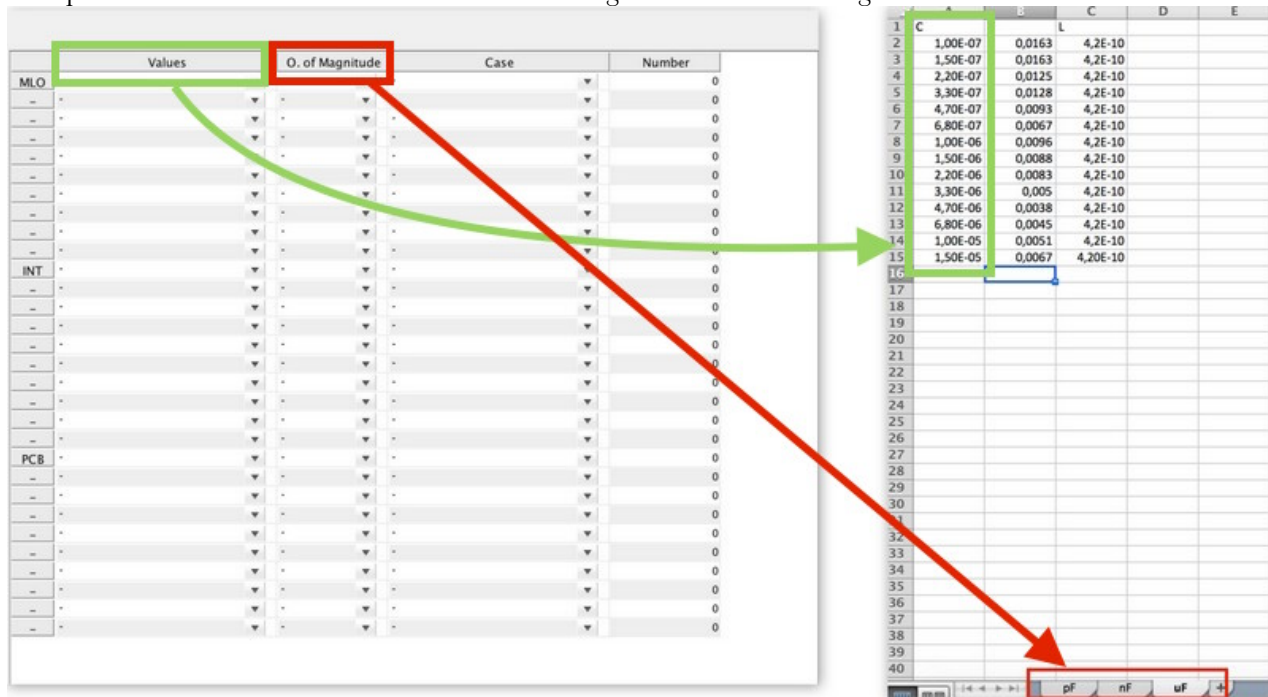


Figura V-4: confronto fra interfaccia di inserimento (sinistra) e forma dei fogli excel contenenti i dati corrispondenti (destra)

<sup>62</sup> IV.3.iii.

Come mostrato in figura V-4, è stato creato un file Microsoft Excel® per ogni case<sup>63</sup> possibile, ed un foglio corrispondente ad ogni ordine di grandezza a cui può appartenere la capacità. Ogni foglio è stato poi riempito con i valori di C, ESR ed ESL *nello stesso ordine in cui compaiono nel menù dell'interfaccia*. In questo modo ogni combinazione Valore-Ordine di Grandezza-Case rimanda ad una sola tripletta di valori.

Questo *modus operandi* è stato adattato ad ogni tipo di foglio, ad esempio per quanto riguarda le sonde è stato realizzato un file differente per ogni tecnologia ed in ogni file un foglio per ogni angolo di inclinazione con al termine un foglio contenente i parametri geometrici della data tecnologia (figura V-5).

	A	B	C	D	E
1	4,12171325	-4,184451			
2	3,00862671	-3,2912176			
3	2,40278676	-2,6224933			
4	2,50714361	-2,6675879			
5	2,59796695	-2,5517881			
6					

Figura V-5: Database per le Sonde

### V.2.ii.iii. Estrazione dei Dati

Per ogni componente è stata definita una funzione che quando chiamata carica all'interno di una struttura globale tutti i vettori e le matrici corrispondenti ad un dato insieme di valori. Il caricamento del singolo file viene eseguito tramite il comando:

```
Struttura_Attuale.Vettore_Dati=xslread('Target_Sheet.xlsx',164);
```

e dopo l'inserimento di tutti i dati all'interno della struttura essa viene salvata come struttura globale tramite il procedimento elencato nei paragrafi precedenti.

A questo punto il programma ha a propria disposizione tutti i valori del database ed anche le selezioni effettuate dall'utente. Occorre quindi guidare l'estrazione dei dati desiderati in base ai valori selezionati dai menù a tendina.

A questo proposito vengono evocate delle funzioni di *translation* in grado di generare nuove strutture contenenti soltanto le proprietà utili della struttura sotto esame.

Per fare questo la funzione *translator* dispone di numerosi costrutti *switch* annidati che in base alle selezioni contenute nel risultato dell'inserimento portano ad un valore univoco per la grandezza di interesse. Per esplicitare meglio il concetto si continua l'esempio dei condensatori di filtro. Dopo aver selezionato tutti i parametri necessari<sup>65</sup> al riconoscimento univoco di una tripletta C, ESR, ESL viene attivato il primo costrutto *switch*, con lo scopo di riconoscere il case selezionato e puntare quindi ad uno specifico file .xlsx di provenienza. A questo punto un secondo *switch* seleziona in base all'ordine di grandezza il corretto foglio da cui estrarre i dati (e di conseguenza individua univocamente il vettore/matrice da utilizzare). L'ultima fase è un terzo costrutto uguale ad i precedenti che discrimina i valori di capacità pervenendo alla corretta tripletta di valori. È importante sottolineare come questo algoritmo porta ad un corretto puntamento dei dati *solamente se essi vengono disposti nel menù e nel file sorgente nello stesso ordine*.

Le funzioni di *translation* effettuano un trasferimento dalla struttura sorgente a quella contenente i dati estratti anche dei valori manualmente inseriti dall'utente, i quali però proseguono il flusso rimanendo invariati.

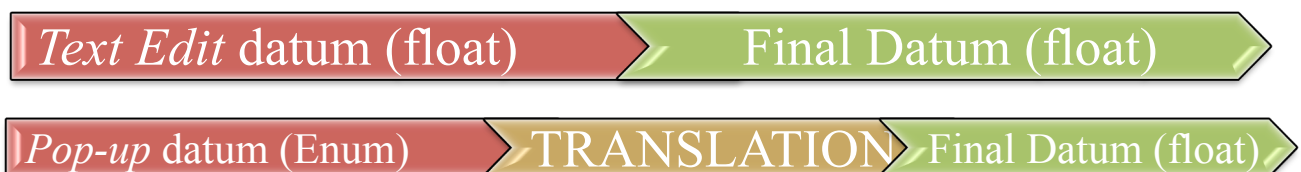


Tabella V-2: flusso dei due diversi tipi di dato dall'inserimento all'utilizzo.

<sup>63</sup> Per semplificare ulteriormente l'implementazione la possibilità di inserire condensatori al Tantalio è stata inclusa nel menù riguardante i case.

<sup>64</sup> Foglio del dato file da estrarre.

<sup>65</sup> Sono previsti messaggi di errore in caso di inserimento incompleto, non corretto o nel caso in cui la selezione voluta non sia presente nel database.

## V.2.iii. Implementazione Circuito e Solver RF

### V.2.iii.i. MATLAB® RF Toolbox

MATLAB® dispone di un insieme di funzioni dedicato all'analisi ed alla progettazione di sistemi agenti in radiofrequenza chiamato *RF Toolbox* [14]. Tale strumento permette di definire ed analizzare ogni tipo di rete RF, attiva o passiva, di importare dati sperimentali, confrontarli con le simulazioni e di definire elementi bipolari basati su tali dati<sup>66</sup>.

Tali funzioni hanno l'importante proprietà di poter essere evocate, oltre che tramite l'ambiente *Simulink*, anche a partire da script, di conseguenza è stato possibile includere una analisi RF all'interno del software, al posto di elaborare una *netlist* di tipo SPICE da fornire ad un simulatore esterno, semplificando notevolmente l'approccio per l'utente finale.

Le funzioni principalmente utilizzate nel presente lavoro sono la definizione di un circuito e l'analisi AC dello stesso, per ricavare i parametri S dello stadio e successivamente la sua impedenza.

### V.2.iii.ii. Definizione del Circuito

La sintassi utilizzata per la definizione di reti RF all'interno di MATLAB® è molto simile alla classica sintassi di simulatori SPICE: ad ogni nodo componente la rete viene associato un numero<sup>67</sup>, e di conseguenza vengono associate coppie di numeri ad ogni bipolo inserito, corrispondenti ad i terminali dello stesso.

Inizialmente occorre creare una variabile che contenga il circuito, ad esempio volendo implementare una rete RLC serie occorre utilizzare il comando:

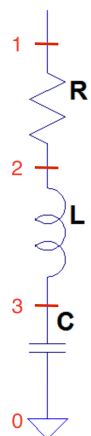
```
notch=circuit('RLC_Filter');
```

Dopo aver creato la variabile corrispondente al circuito occorre inserire i componenti dello stesso, e per fare questo esiste il comando `add` avente la seguente sintassi:

```
add(Circuit_Name, [n1 n2], Component_Type(value));
```

in cui  $n_1$  ed  $n_2$  sono gli interi a cui sono associati due particolari nodi, `Component_Type` contiene la natura del componente ("resistor", "inductor", "capacitor" nel semplice esempio trattato), mentre `value` contiene il valore della grandezza corrispondente al componente precedentemente dichiarato in unità del sistema internazionale (quindi rispettivamente  $\Omega$ , H, F). Nel caso di un filtro RLC verso massa la sintassi sarà quindi, come riportato in figura V-6:

```
add(notch, [1 2], resistor(R));  
add(notch, [2 3], inductor(L));  
add(notch, [3 0], capacitor(C));
```



**Figura V-6: assegnazione dei nodi in uno stadio RLC.**

<sup>66</sup> È ad esempio possibile importare dei parametri S in formato Touchstone (.s2p) ed utilizzarli come modello per un bipolo.

<sup>67</sup> Il nodo di massa è per convenzione indicato con 0.

Dopo aver correttamente definito ogni componente e nodo del circuito occorre associargli delle porte, ossia i nodi di iniezione di tensione e corrente. L'analisi svolta per tutte le strutture simulate nel presente lavoro prevedrà l'utilizzo di una singola porta, costituita dal nodo di ingresso e dalla tensione di riferimento. Nell'esempio attuale il nodo di ingresso sarà il nodo 1 riferito a massa, 0. La sintassi per l'impostazione delle porte è la seguente:

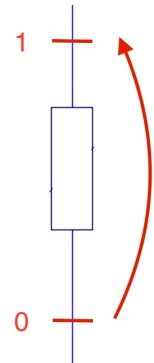
```
setports(Circuit_Variable, [nin nGND]);
```

in particolare nel caso in esame:

```
setports(notch, [1 0]);
```

Mentre nel caso di Probe Card si imposterà come porta di ingresso la punta della sonda, mentre la massa verrà portata sul *Pogo Pin*.

A questo punto il circuito è correttamente definito ed occorre impostare la simulazione dei parametri di interesse.



**Figura V-7:**  
assegnamento delle porte ad un bipolo.

### V.2.iii.iii. Solver RF

Una volta implementato il circuito sui parametri calcolati dal modello fisico occorre ricavare il profilo di impedenza della rete implementata in funzione della frequenza.

Per fare questo occorre ricavare i parametri S della rete, dei quali occorrerà estrarre il parametro indicante la riflessione  $S_{11}$  da cui estrarre poi l'impedenza.

Tutte queste fasi possiedono una funzione dedicata all'interno di *RF Toolbox*, ognuna delle quali verrà brevemente esplicitata.

Per ricavare i parametri di scattering della rete viene simulata una analisi AC: la funzione richiede in ingresso un *array* di frequenze, contenente nell'analisi eseguita un intervallo di frequenze logicamente spaziate da 10kHz a 1GHz<sup>68</sup>. Per ognuna di queste frequenze viene simulato un segnale perfettamente sinusoidale in ingresso e ne vengono salvate la componente riflessa e trasmessa. La funzione che esegue questo compito è chiamata *sparameters*, ed ha sintassi:

```
S_Param_Obj=sparameters(Circuit_Variable,Frequency_Array,Z0);
```

ad esempio per la rete RLC sopracitata:

```
S_RLC=(notch, Frequency_Array69, 50);
```

con impedenza di riferimento a 50Ω. Il risultato di questa operazione è un oggetto di tipo *s-parameter* contenente tutti i parametri della rete. Occorre a questo punto estrarre il parametro di interesse,  $S_{11}$ . Anche per questa operazione esiste una funzione dedicata di sintassi:

```
s_11=rtparam(S_RLC, 1, 1);
```

in cui gli ultimi due parametri in ingresso sono gli indici per la selezione del parametro di interesse.

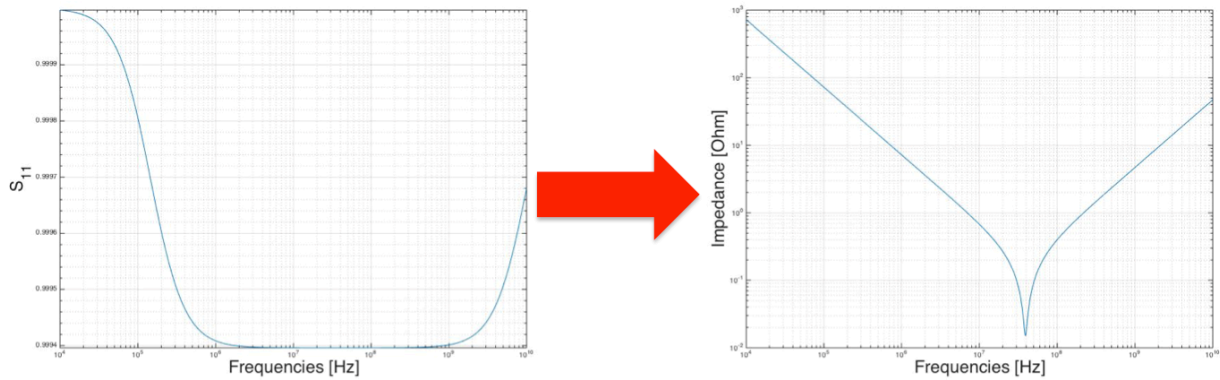
<sup>68</sup> Al di sotto dei 10kHz gli effetti dovuti alla frequenza sono trascurabili e l'impedenza tende a coincidere con l'impedenza DC, mentre al contrario sopra circa 1GHz a causa dell'alta induttanza delle sonde non è possibile controllare l'impedenza del PDN.

<sup>69</sup> È il parametro che determina il numero di punti di cui conterà la simulazione, nel caso particolare del circuito equivalente ad un Probe Card, si usano 10 000 punti.

L'ultimo stadio prima di ottenere un risultato è convertire il parametro S ottenuto in un valore di impedenza Z. Di fatto il programma esegue la trasformazione matriciale fra matrice di scattering a matrice delle impedenze descritta dall'equazione (IV-19). utilizzando la funzione s2z, con sintassi:

$$z\_11 = s2z(s\_11);$$

I risultati della simulazione eseguita con questa tecnica per la semplice rete RLC utilizzata come esempio sono riportati in figura V-8.



**Figura V-8: parametro  $S_{11}$  e  $Z_{11}$  di una rete RLC ricavati da simulazione AC effettuata con la tecnica descritta nel presente capitolo.**

# *VI. Modello Fisico Per La Descrizione di Parassitismi Circuitali*

## *VI.1. Introduzione*

Nel presente capitolo verrà proposto un modello semplificato che descriva i parassitismi di ogni singolo componente di una Probe Card in termini di parametri elettrici, a partire dal loro comportamento fisico reale. Come già detto in precedenza una Probe Card a contattazione verticale prevede la presenza di un PCB, e delle interconnessioni intermedie che connettano la stessa ad una Probe Head. L'architettura più complessa prevede la compresenza di PCB, Interposer, MLO, e delle interconnessioni fra gli stessi, di natura diversa in base all'applicazione (vedi capitolo III).

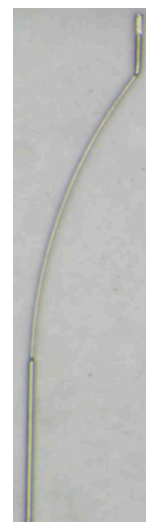
In generale quindi tutti i possibili elementi che possono comparire in questo tipo di applicazioni, e che verranno approfonditi singolarmente, sono:

- Aghi di Sonda.
- Power and Ground Planes.
- Via.
- Ball Grid Array.
- Interconnessioni.

## *VI.2. Aghi di Sonda*

Le sonde utilizzate da Technoprobe sono degli aghi di leghe metalliche speciali di lunghezza variabile fra i 3 ed i 7mm ed area, poligonale o circolare, con dimensioni caratteristiche variabili entro le decine di micron. L'area delle superfici ortogonali degli aghi può essere costante o rastremata<sup>70</sup> dalla testa alla punta. Nonostante questo le variazioni sono minime a causa delle già ridotte dimensioni, di conseguenza è possibile assumere la superficie come perfettamente cilindrica o rettangolare<sup>71</sup>. Sotto questa approssimazione gli aghi sono fondamentalmente dei cilindri o prismi di materiale conduttore, di conseguenza presenteranno una propria resistenza elettrica ed un contributo induttivo<sup>72</sup>, intuitivamente molto alto, in quanto questa grandezza elettrica risulta crescere con la lunghezza del componente considerato.

La resistenza di un ago di sonda sarà quindi circa quella di un cilindro oppure di un prisma, modellizzabile tramite la seconda legge di Ohm:



**Figura VI-1: ago di sonda realizzato con tecnologia Cobratek da Technoprobe**

<sup>70</sup> In realtà questo fatto non è valido universalmente, ci sono tecnologie che non prevedono aghi a sezione costante.

<sup>71</sup> La geometria della sezione dipende dalla specifica tecnologia di realizzazione.

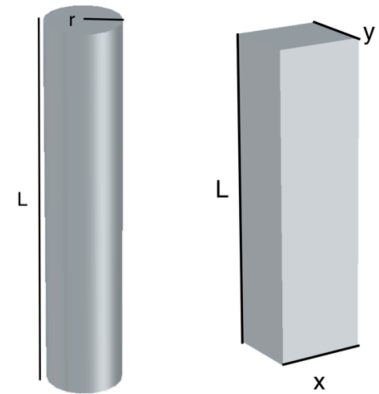
<sup>72</sup> Il modello resistivo-induttivo ha validità solo per frequenze inferiori a 2-3GHz, in quanto dopo tale intervallo la lunghezza d'onda della radiazione diventa paragonabile con le dimensioni delle sonde, rendendo inconsistente il modello.



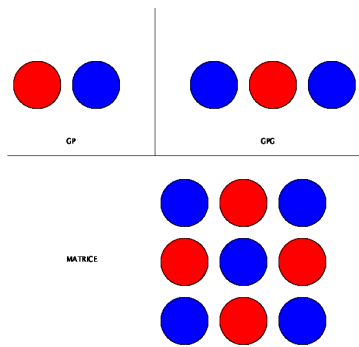
$$\begin{cases} R_{cil} = \rho \frac{l}{A} \approx \rho_{needle} \frac{l}{\pi r^2} \\ R_{prisma} = \rho \frac{l}{A} \approx \rho_{needle} \frac{l}{xy} \end{cases} \quad (VI-1)$$

Per quanto riguarda invece l'induttanza essa presenta una dipendenza molto complessa dai seguenti parametri:

- Geometria dell'ago.
- Distanza fra ago di Power ed il più vicino ago di GND (pitch).
- Configurazione di montaggio.
- Angolo di montaggio, specialmente quando il pitch è di dimensioni paragonabili a quelle dell'ago.



**Figura VI-2: modello geometrico semplificato di un ago cilindrico o a prisma (figura non in scala)**



**Figura VI-3: diverse configurazioni per i power needles.**

Prima di proseguire oltre occorre specificare cosa si intende con “configurazione di montaggio”: il *pattern* con cui vengono disposti gli aghi non è regolare ed essi in generale non sono fra loro equidistanti. In particolare per quanto riguarda gli aghi di Power e Ground, essi possono avere le seguenti configurazioni:

- *G-P*: gli aghi di Power e Ground sono accoppiati a due a due.
- *G-P-G*: ogni ago di Power viene frapposto a due aghi di GND.
- *Disposizione a Matrice*: gli aghi di Power e GND si dispongono alternativamente all'interno di una matrice bidimensionale. In questo caso aghi disposti al centro (*centre*), sui lati (*edge*) o sugli angoli (*corner*), mostrano valori di induttanza diversa a causa del diverso contributo di induttanza mutua con gli aghi vicini.

In generale dipendenze da questi vari parametri non sono analiticamente modellizzabili, per cui precedentemente al precedente lavoro sono state portate avanti delle campagne di simulazione 3D all'interno di Techprobe per determinare un andamento sperimentale dell'induttanza degli aghi in funzione dei sopracitati parametri.

Per ogni diversa tecnologia e per ogni configurazione spaziale sono state fatte dieci simulazioni *FEM* al variare del pitch, dalle quali è stato estratto l'andamento dell'induttanza in funzione della frequenza. Come valore di riferimento per i risultati è stata presa l'induttanza ad 1GHz, la quale è risultata avere il seguente andamento ricostruito:

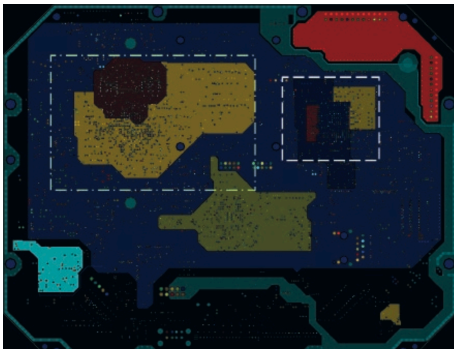
$$L_{needle} = m \cdot \log(\text{pitch}) + q \quad (VI-2)$$

con m e q parametri numerici tabulati.

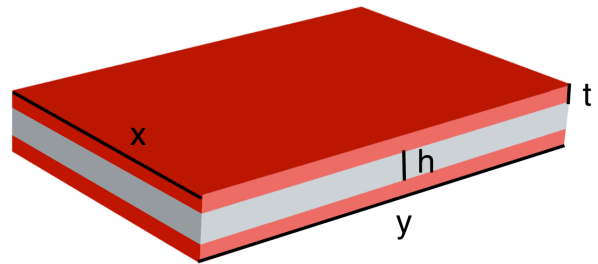
## VI.3. Power and Ground Planes

Come accennato nel paragrafo IV.3.iv.ii. le alimentazioni e le tensioni di riferimento vengono portate all'interno di un PCB da piani di conduttori, costituiti da frazioni di un *layer* o delle volte da un intero *layer* dello *stack-up*. Per ridurre le induttanze si tende ad avvicinare il più possibile i *layer* di alimentazione e di massa, essendo il caso migliore quello in cui essi sono posti su due livelli contigui. Lo schema generale che descrive questa situazione è quello di due piani conduttivi con al loro interno uno strato, solitamente più spesso, di dielettrico. Le tipiche dimensioni dipendono dal dispositivo di cui occorre studiare l'alimentazione; le dimensioni planari solitamente sono dell'ordine dei  $\text{cm}^2$  nel caso di MLO ed Interposer, mentre arrivano a parecchie decine di  $\text{cm}^2$  per il PCB. Gli spessori sono invece molto minori, dell'ordine di  $4\text{-}35\mu\text{m}$  per i *layer* metallici e  $35\text{-}100\mu\text{m}$  per quanto concerne il dielettrico nel caso in cui *Power* e *GND* risultino fra loro adiacenti.

Di fatto la geometria può variare molto in diversi dispositivi, da rettangolare fino a tendere ad un settore circolare nel caso di PCB circolari. Essa è un parametro di cruciale importanza solo nel calcolo delle frequenze di risonanza, sebbene una buona stima di questo parametro è ottenibile calcolandole per geometrie rettangolari<sup>73</sup>, che saranno sempre adottate nel modello predittivo. Lo schema semplificato di questa situazione è quindi riportato in figura VI-4.



**Figura VI-5:** particolare di tre *power planes* (giallo e rosso) in un singolo *layer* dello *stack-up* di un PCB.



**Figura VI-4:** geometria di un piano di alimentazione sovrapposto al suo ritorno di massa. In rosso sono indicati i conduttori mentre in bianco lo strato isolante. Figura non in scala.

È evidente come una struttura di questo tipo presenti numerose non idealità, da un comportamento resistivo ed induttivo legati semplicemente al trasporto di corrente, ad una componente capacitiva non trascurabile, (la struttura è perfettamente assimilabile ad un condensatore a facce piane e parallele visto che  $x, y \gg h$ ). Accanto a questi parassitismi circuitali è anche necessario analizzare più a fondo la fisica del trasporto all'interno del piano: le perturbazioni elettromagnetiche si propagano all'interno di questi oggetti in maniera ondulatoria, di conseguenza il comportamento è assimilabile a quello di delle guide d'onda, aventi quindi delle frequenze proprie di risonanza, fortemente incidenti sul comportamento dell'impedenza.

<sup>73</sup> È inoltre molto difficile risolvere questo problema in forma chiusa per geometrie differenti.

### VI.3.i. Risonanze

All'interno di una guida d'onda [12] soltanto alcuni modi potranno risuonare. La scelta di tali modi dipende dalla geometria, e per frequenze tali per cui le dimensioni planari della guida sono paragonabili alla lunghezza d'onda della radiazione possono intervenire fenomeni di risonanza con la struttura che portano ad una forte variabilità dell'impedenza con la frequenza. Questo succede perché la corrente iniettata possiede componenti spettrali in grado di stimolare i modi di risonanza del piano, e di conseguenza può causare localmente a tensioni elevate rispetto a quelle nominali. Per ottenere una espressione analitica di tale frequenza di risonanza si consideri la propagazione di un'onda all'interno di una guida rettangolare di dimensioni  $a$  e  $b$  come quella riportata in figura VI-6.

La propagazione nella struttura avverrà in accordo con l'equazione delle onde:

$$\Delta u - \frac{1}{v^2} \frac{\partial^2 u}{\partial t^2} = 0 \quad (\text{VI-3})$$

con  $\Delta$  operatore Laplaciano,  $v$  velocità di propagazione dell'onda nel mezzo ed  $u$  campo vettoriale rappresentante uno dei due campi in propagazione<sup>74</sup>.

Imponendo come condizioni al contorno l'annullamento della derivata normale ai bordi:

$$\frac{\partial u}{\partial n} = 0 \text{ per } \begin{cases} x = 0, a \\ y = 0, b \end{cases} \quad (\text{VI-4})$$

con  $n$  versore normale alla superficie, si ottiene un andamento armonico del campo in propagazione:

$$u_{m,n}(x, y) = u_0 \cos\left(\frac{m\pi x}{a}\right) \cos\left(\frac{n\pi y}{b}\right) \quad (\text{VI-5})$$

con  $m$  ed  $n$  indici che individuano il modo di propagazione considerato.

La pulsazione di risonanza di ciascun modo sarà quindi:

$$\omega_{m,n} = \frac{\pi}{\sqrt{\mu_0 \epsilon_0} \sqrt{\mu_r \epsilon_r}} \sqrt{\left(\frac{m}{a}\right)^2 + \left(\frac{n}{b}\right)^2} = \frac{c\pi}{\sqrt{\mu_r \epsilon_r}} \sqrt{\left(\frac{m}{a}\right)^2 + \left(\frac{n}{b}\right)^2} \approx \frac{c\pi}{\sqrt{\epsilon_r}} \sqrt{\left(\frac{m}{a}\right)^2 + \left(\frac{n}{b}\right)^2} \quad (\text{VI-6})$$

in cui nell'ultima relazione si è supposto di essere in presenza di mezzi diamagnetici per cui  $\mu_r = 1$ . Nel proseguo della trattazione e nel programma di simulazione verrà sempre utilizzata come grandezza di riferimento la frequenza al posto della pulsazione, esprimibile come [17]:

$$f_{m,n} = \frac{\omega_{m,n}}{2\pi} = \frac{c}{2\sqrt{\epsilon_r}} \sqrt{\left(\frac{m}{a}\right)^2 + \left(\frac{n}{b}\right)^2} \quad (\text{VI-7})$$

Il valore di  $\epsilon_r$  da considerarsi nell'espressione precedente è quello del materiale dielettrico di substrato<sup>75</sup>.

Considerando un piano di Cu circondato da un substrato di FR-4 ( $\epsilon_r \approx 4.2$ ) con  $a = 10\text{cm}$  e  $b = 5\text{cm}$ , allora le prime quattro risonanze avverranno alle frequenze:

$$f_{1,1} \approx 1.63\text{GHz}$$

$$f_{2,1} \approx 3.26\text{GHz}$$

$$f_{1,2}^{76} \approx 5.88\text{GHz}$$

$$f_{2,2} \approx 6.53\text{GHz}$$

<sup>74</sup> È stato implicitamente assunto che si propagano nella guida solo modi TEM.

<sup>75</sup> Dalla teoria delle linee di trasmissione risulta che l'onda di tensione si propaga in entrambi i conduttori come differenza di potenziale, per cui per lo più essa si svilupperà nel dielettrico frapposto ad essi.

<sup>76</sup> Dal momento che i piani non sono quadrati le degenerazioni sulle frequenze sono rimosse.

corrispondenti a radiazioni di lunghezza d'onda di:

$$\begin{aligned}\lambda_{1,1} &= \frac{c}{f_{1,1}} \approx 18 \text{ cm} \\ \lambda_{2,1} &= \frac{c}{f_{2,1}} \approx 9.2 \text{ cm} \\ \lambda_{1,2} &= \frac{c}{f_{1,2}} \approx 5.1 \text{ cm} \\ \lambda_{2,2} &= \frac{c}{f_{2,2}} \approx 4.6 \text{ cm}\end{aligned}$$

di lunghezza paragonabile alle dimensioni della struttura.

### VI.3.ii. Accoppiamento Capacitivo

La presenza di due conduttori (power e GND) di forma assimilabile a planare ( $t \ll x, y$ ) separati da uno strato di dielettrico di spessore molto minore delle dimensioni superficiali presenta un forte accoppiamento capacitivo. La struttura stessa è perfettamente assimilabile ad un condensatore a facce piane e parallele, in quanto è possibile trascurare la fuoriuscita di linee di forza dalla struttura ed ulteriori effetti di bordo. Per questo motivo la capacità del piano può essere espressa con la classica espressione della capacità di un condensatore ad armature piane e parallele [17,19]:

$$C_{plane} = \varepsilon_0 \varepsilon_r \frac{A}{h} = \varepsilon_0 \varepsilon_r \frac{xy}{h} \quad \text{se } h \ll \sqrt{A} \quad (\text{VI-8})$$

in cui in particolare l'ultima relazione rimane valida in caso di geometria rettangolare.

L'intensità dell'accoppiamento capacitivo è fortemente dipendente dall'area del piano considerato, per cui è diversa nel caso di MLO, Interposer e PCB. Le dimensioni tipiche delle tre strutture variano dai pochi centimetri quadrati per gli MLO a parecchie decine di  $\text{cm}^2$  per il PCB, mantenendo una altezza di dielettrico (FR-4) di  $h \approx 100 \mu\text{m}$ . Con questi dati si possono ottenere dei valori indicativi di capacità di:

$$C_1 \approx 2.6 \text{ nF per } \begin{cases} x = 10 \text{ cm} \\ y = 7 \text{ cm} \end{cases}$$

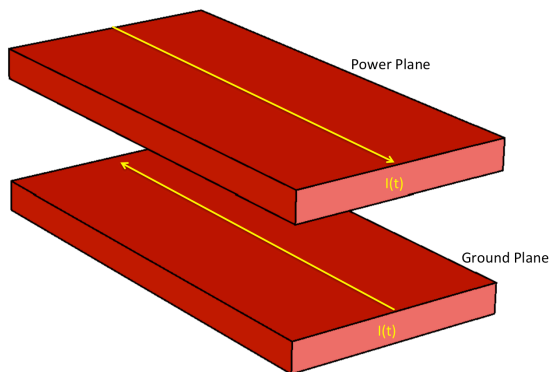
$$C_2 \approx 37 \text{ pF per } \begin{cases} x = 1 \text{ cm} \\ y = 1 \text{ cm} \end{cases}$$

in cui si sono prese per  $C_1$  delle dimensioni tipiche di *power planes* di un PCB per applicazioni EWS e per  $C_2$  le stesse ma per un MLO. Considerando che i valori tipici di capacità di filtraggio applicati sui circuiti stampati hanno valore minimo di circa 100pF si nota come nessuno dei precedenti valori è trascurabile, sebbene risultino comunque valori piccoli.

In applicazioni standard, diverse dalle Probe Card, i piani di alimentazione sono più piccoli, di conseguenza l'accoppiamento capacitivo è ancora inferiore, e può quindi essere lecitamente trascurato (come fatto nei simulatori standard a parametri concentrati).

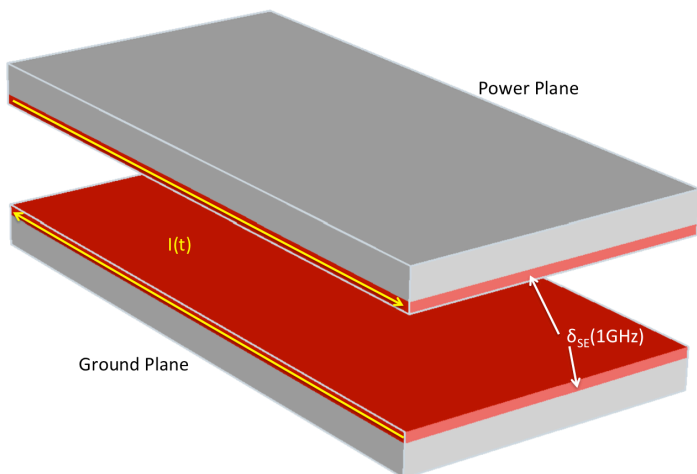
È necessario sottolineare come la presenza dei via comporta dei fori all'interno dei piani di alimentazione. Tali forature oltre a diminuire il valore effettivo di area del dispositivo introducono anche effetti di bordo e dispersione di linee di forza del campo elettrico. L'unione di queste cause porta ad una diminuzione del livello di capacità, che quindi teoricamente viene sovrastimata dalla formula (VI-8). Grazie ai piccoli valori di  $C$  comunque ottenuti ed al fatto che quelli elencati sono effetti del secondo ordine è possibile trascurarli mantenendo un ottimo valore predittivo sul caso reale.

### VI.3.iii. Resistenza



**Figura VI-7: andamento della corrente nei piani in DC. In rosso sono indicate le regioni in cui scorre la corrente. Figura non in scala.**

Occorre precisare che se fosse presente solo l'effetto pelle la corrente si distribuirebbe uniformemente lungo tutte le superfici dei conduttori, ma aumentando la frequenza, per minimizzare l'energia, il sistema tende a minimizzare anche l'induttanza, proporzionale al *loop* eseguito dalle correnti percorrendo il piano di alimentazione e quello di massa. Per questa ragione in realtà le correnti si disporranno prevalentemente sulla superficie che minimizza la *loop inductance*, come mostrato in figura VI-8, in cui in rosso sono riportate le aree in cui scorre la densità di corrente maggiore.



**Figura VI-8: comportamento della corrente in AC**

VI-10.

Il modello si basa sul comportamento in frequenza degli induttori, che in DC sono assimilabili ad un cortocircuito, mentre aumentano il loro valore di impedenza fino ad essere assimilabili ad un circuito aperto a frequenza infinita.

Sfruttando questa proprietà se i valori di induttanza sono impostati in modo tale che i primi induttori ad “aprirsi” sono quelli in alto, è possibile modulare i valori della resistenza vista ai morsetti fra cui è posta la “scala”: a frequenza nulla tutti gli induttori rimangono cortocircuitati e ciò che si ha è una rete di resistenze in parallelo. Aumentando la frequenza ogni induttore aumenta la propria impedenza fino a che il primo

La resistenza di un piano in prima approssimazione può essere espressa tramite la seconda legge di Ohm. Se il trasporto di carica avviene in direzione parallela alla superficie lungo la direzione di lunghezza maggiore<sup>77</sup> (figura VI-7) allora si può esprimere R come:

$$R_{plane}^{DC} = \rho \frac{l}{A} = \rho \frac{y}{xt} \quad (VI-9)$$

In realtà a causa dello *skin effect*<sup>78</sup> le correnti tendono a disporsi sulle superfici in maniera sempre più pronunciata all'aumentare della frequenza, di conseguenza riferendosi all'equazione (VI-9), il valore di area diminuisce. La corrente non si distribuirà più lungo tutto *t*, ma su lunghezze minori, assimilabili con la *skin depth* alla data frequenza, descritta dall'equazione (IV-41).

Per modellizzare lo *skin effect* si è optato per l'utilizzo di *circuiti a scala* [18].

Un circuito a scala (*ladder circuit*) rappresenta uno stadio di una rete elettrica composto dalla ripetizione di un pattern di elementi circuitali fra loro inizialmente in serie.

È possibile adattare lo schema sopra descritto alla modellizzazione dell'effetto pelle se si realizzano stadi con resistenze aventi fra loro rapporto costante, (imponendo che la resistenza DC coincida con quella calcolata con l'equazione (VI-9)), messe in serie con delle induttanze fittizie, anch'esse di valore variabile. Lo schema è riportato in figura

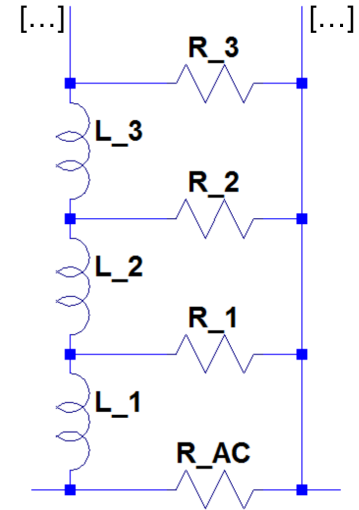
<sup>77</sup> È questo il caso delle Probe Card in quanto la corrente scorre nella direzione che connette Probe Head e Pogo pin, dal centro della struttura alla periferia, che tipicamente è la dimensione maggiore.

<sup>78</sup> IV.3.iv.

induttore in alto assume comportamento assimilabile ad un circuito aperto, escludendo in questo modo la resistenza ad esso in serie. A questo punto qualitativamente il parallelo iniziale consta di una resistenza in meno. Complessivamente si ottiene una resistenza che aumenta con la frequenza se quella esclusa era di valore minimo. Secondo questo ragionamento qualitativo è possibile a questo punto delineare delle “regole” per la modellizzazione corretta dell’effetto studiato:

1. La resistenza posta nel punto più alto del circuito deve essere quella di valore più basso, e da quel punto le resistenze vanno posizionate in ordine crescente, in cui l’ultima posizionata deve corrispondere al valore di saturazione di R, detto  $R_{AC}$ <sup>79</sup>. Per semplicità di modellizzazione solitamente si pongono le resistenze fra loro in rapporto costante:

$$R_n = \frac{R_{n-1}}{k} \text{ con } k > 1 \quad (\text{VI-10})$$



**Figura VI-10: Ladder circuit per la modellizzazione di skin effect.**

2. Dal momento che in DC tutti gli induttori hanno comportamento ad impedenza nulla occorre che il valore del parallelo fra tutte le resistenze presenti corrisponda al valore di  $R_{DC}$  calcolato con la (VI-9). Considerando a titolo di esempio un circuito con quattro correzioni resistive:

$$R_{DC} = R_{AC} \parallel R_1 \parallel R_2 \parallel R_3 \parallel R_4 = \left( \left( \frac{1}{R_{AC}} \right) + \left( \frac{1}{R_1} \right) + \left( \frac{1}{R_2} \right) + \left( \frac{1}{R_3} \right) + \left( \frac{1}{R_4} \right) \right)^{-1} \quad (\text{VI-11})$$

sostituendo la (VI-10) nella (VI-11) si ottiene:

$$R_{DC} = \left[ \frac{1}{R_{AC}} + \frac{1}{R_1} (1 + k + k^2 + k^3) \right]^{-1} \quad (\text{VI-12})$$

da cui il valore di  $k$ . In generale però l’equazione (VI-12) è di molto difficile soluzione e si tende a risolverla tramite fitting con un andamento sperimentale noto.

3. Per ottenere l’andamento desiderato delle induttanze occorre che quelle di valore più elevato siano poste più in alto, e se ancora in rapporto costante si avrà che:

$$L_{n+1} = hL_n, h > 1 \quad (\text{VI-13})$$

in questo caso però  $L$  è un parametro puramente fittizio, per cui il valore di  $L_1$  è arbitrariamente assegnabile, insieme ad  $h$  per minimizzare l’errore con i dati sperimentali<sup>80</sup>.

In figura VI-11 è riportato l’andamento della resistenza calcolata con un modello di circuito a scala a due stadi:

<sup>79</sup> Il valore di  $R_{AC}$  è a discrezione e dipende anche dal limite di frequenza massima fino a cui il modello si vuole sia sensato. Un esempio teoricamente rilevante ma di scarso valore pratico è sostituire ad  $R_{AC}$  un circuito aperto, corrispondente alla resistenza a frequenza infinita in quanto  $\delta \rightarrow 0 \Leftrightarrow f \rightarrow \infty$ . Porre  $R_{AC}$  come circuito aperto però non permette di avere un riferimento iniziale per l’assegnamento delle resistenze successive.

<sup>80</sup>  $L_1$  ed  $h$  sono i parametri che controllano la concavità con cui cresce il valore di  $R$ .

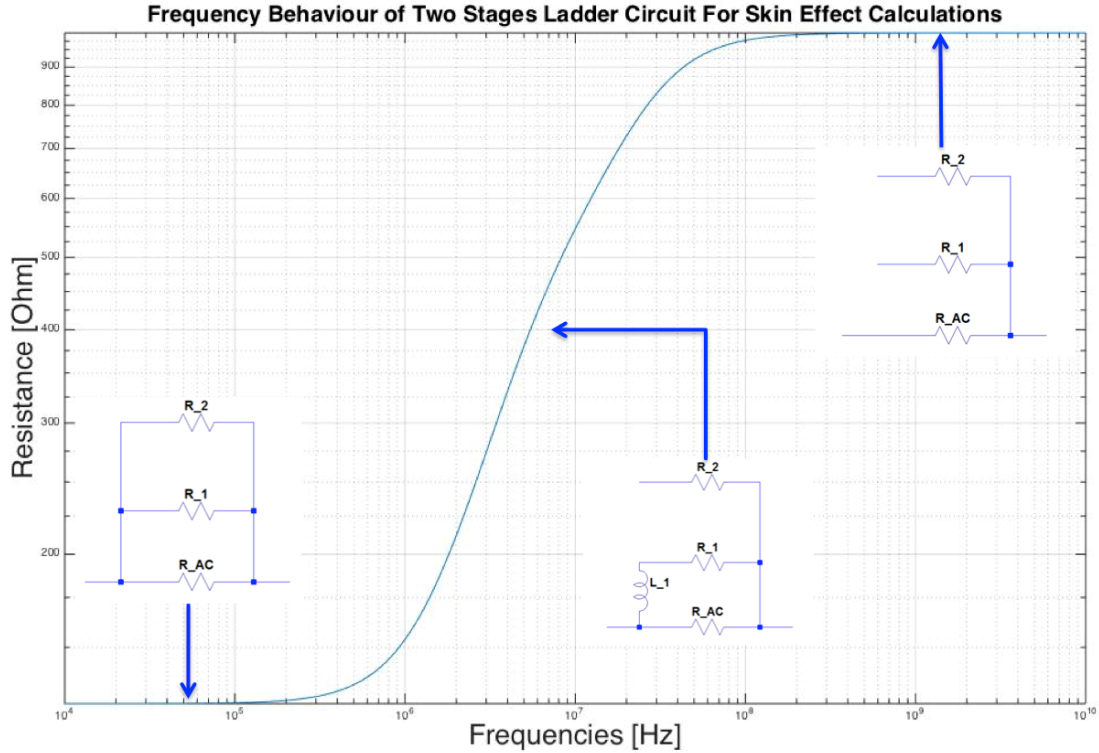


Figura VI-11: skin effect modellizzato con Ladder Circuit a due stadi.

Nello sviluppo del programma di simulazione è stato necessario introdurre l'effetto pelle in quanto esso contribuisce a peggiorare il fattore di qualità delle risonanze dei piani (questo argomento verrà trattato nel dettaglio nei capitoli seguenti). Per fare questo con buon accordo sperimentale è stato sufficiente costituire un circuito a scala consistente in un solo stadio (figura VI-12), eludendo in questo modo la necessità di ricavare i parametri numerici  $h$  e  $k$ .

Questa approssimazione è risultata comunque sufficiente per introdurre il fenomeno in modo accettabile tenendo conto della natura approssimativa dell'intero modello previsionale, basato su parametri concentrati.

Si è inizialmente dovuto determinare il limite di frequenza del modello, che si è deciso di porre in corrispondenza di 1GHz, in quanto, come espresso nei precedenti paragrafi, costituisce il limite di validità del modello a parametri concentrati.

Il valore della resistenza massima sarà quindi quella ad 1GHz, cioè quando la corrente si concentra entro una distanza dalla superficie *interna* (vedi figura VI-8) pari a:

$$\delta_{SE}(1GHz) = \sqrt{\frac{2\rho}{1GHz \cdot 2\pi \cdot \mu}} \quad (VI-14)$$

quindi sostituendo la (VI-14) all'interno della (VI-9):

$$R_{AC} = \frac{y}{x} \sqrt{\frac{2\pi\mu \cdot 1GHz \cdot \rho}{2}} \quad (VI-15)$$

il valore di  $R_{DC}$  è noto ed è pari a quanto ricavato con la (VI-9). Con questi dati si ricava il valore di resistenza da apporre al primo stadio ricordando che:

$$R_{DC} = \left( \frac{1}{R_{AC}} + \frac{1}{R_x} \right)^{-1} \quad (VI-16)$$

da cui:

$$R_x = \frac{R_{AC}R_{DC}}{R_{AC}-R_{DC}} \quad (VI-17)$$

Come valore per l'induttore si è utilizzata l'induttanza del piano stesso, in quanto si è visto da numerose simulazioni che questo parametro, quando variato all'interno dello stesso ordine di grandezza, risulta poco importante in presenza di un solo stadio<sup>81</sup>. Fin da ora occorre sottolineare che il valore dell'induttanza ha poca incidenza nella variazione della resistenza dello stadio, ma essa produrrà un contributo indesiderato nel calcolo delle risonanze che verrà analizzato in seguito. Esso costituisce un valore induttivo ulteriore e fittizio, che sposterà, anche se di poco, la posizione delle risonanze.

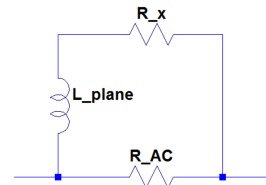


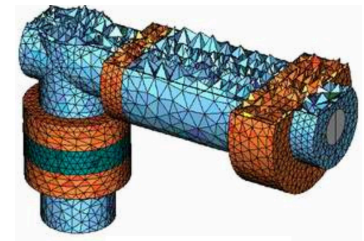
Figura VI-12: modello di skin effect utilizzato nel software di simulazione

### VI.3.iv. Accoppiamento Induttivo

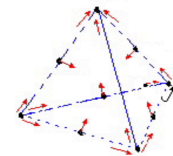
#### VI.3.iv.i. Metodo ad Elementi Finiti (Cenni)

Per effettuare la validazione diretta del modello elaborato per l'induttanza dei piani di *power*, è stato necessario effettuare delle simulazioni elettromagnetiche [3,20].

A questo scopo è stato utilizzato l'ambiente di simulazione elettromagnetica *CST Studio*<sup>®</sup>, ed in particolare lo strumento di simulazione ad elementi finiti *CST Microwave Studio*<sup>®</sup>. Tale strumento risolve le equazioni di Maxwell all'interno della struttura 3D che può essere inserita dall'utente tramite un'interfaccia. Le soluzioni cercate sono l'andamento dei campi e dei potenziali all'interno della struttura, che vengono ricavate da interazioni successive partendo dalla geometria inserita e dalle sue condizioni di bordo.



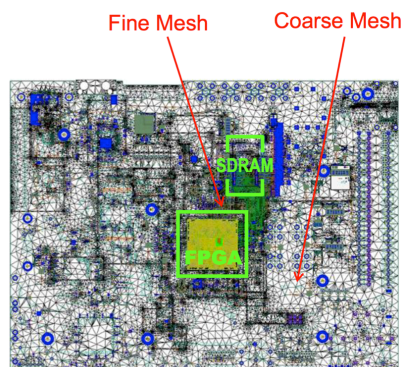
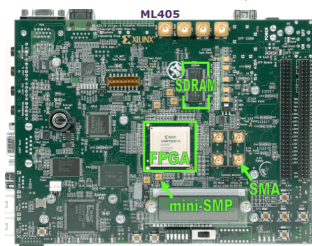
La simulazione *FEM* è un metodo di calcolo intrinsecamente tridimensionale basato sulla suddivisione del dominio in unità minime di forma tetraedrica, detti appunto *elementi finiti*; le equazioni di Maxwell vengono risolte singolarmente all'interno di ciascun elemento, sfruttando la soluzione ai bordi di un tetraedro come condizioni al contorno per gli elementi contigui.



Tetrahedral Mesh Cell

Figura VI-13: esempio di *meshing* tetraedrico.

I primi simulatori elettromagnetici effettuavano un *mesh* con elementi di dimensione costante, mentre i programmi moderni per risparmiare sui tempi di



Electromagnetic Model Extracted

Figura VI-14: *mesh* adattativo ricavato da un modulo reale.

calcolo dispongono di un sistema di *meshing adattativo*: in fase di elaborazione del *meshing* il sistema è in grado di riconoscere le regioni di dominio critiche per la soluzione, infittendo il reticolo in queste zone, in modo tale da non sprecare tempo computazionale nell'elaborazione della soluzione con un grado di precisione non necessario. Un esempio di *adaptive meshing* è riportato in figura VI-14.

Tutte le simulazioni effettuate hanno richiesto la formalizzazione di delle porte sui piani da cui viene effettuata l'iniezione di corrente. Per ridurre i tempi computazionali le porte sono state implementate come puntiformi poste sui lati corti della coppia *power-ground planes* simulate.

<sup>81</sup> In presenza di un solo stadio il modello non permette di controllare la concavità del transitorio, per cui il valore di L ha una incidenza molto bassa sul risultato.



### VI.3.iv.ii. Induttanza e Geometria del PDN di Probe Cards

L'induttanza di un sistema è un parametro fortemente dipendente dalla geometria del sistema stesso, in quanto essa è proporzionale alla lunghezza dei percorsi chiusi effettuati dalla corrente nel suo transito (tramite il flusso del campo magnetico attraverso la superficie delimitata da tali percorsi). La forma del dispositivo in cui scorre corrente può portare a forzare la corrente entro certi percorsi, modulando il valore di induttanza.

I piani di alimentazione di qualsiasi PCB possiedono delle forature dovute alla presenza dei via che li attraversano, di conseguenza queste variazioni dalla geometria di un piano ideale è possibile che incidano sui valori di induttanza dello stadio. I PCB utilizzati nelle Probe Card in particolare hanno caratteristiche peculiari: dal momento che la Probe Head è posta al centro del dispositivo e che i piani di alimentazione si dipanano radialmente, allora sarà presente una regione molto intensamente forata in corrispondenza del centro della scheda, mentre tutto il resto del piano presenterà un andamento induttivo assimilabile a quello di un piano pieno.

In base a queste considerazioni si è evidenziata la necessità di elaborare due modelli indipendenti:

- Modello di induttanza di piani pieni.
- Modello di induttanza di piani forati.

### VI.3.iv.iii. Induttanza di un Piano Pieno

Per il calcolo dell'induttanza di un piano pieno ci si è rifatto ai modelli presenti in letteratura [16], secondo cui:

$$L_{plane}^{filled} = \frac{\mu_0 \mu_r h y}{2 x} \quad (\text{VI-18})$$

direttamente proporzionale ad  $h^2$  ed  $y$  in quanto con essi aumenta la lunghezza del *loop* induttivo, ed inversamente proporzionale ad  $x$  in quanto all'aumentare di questo parametro diminuisce la densità di corrente in ogni sezione del piano e di conseguenza viene generato un campo magnetico meno intenso in ogni sezione.

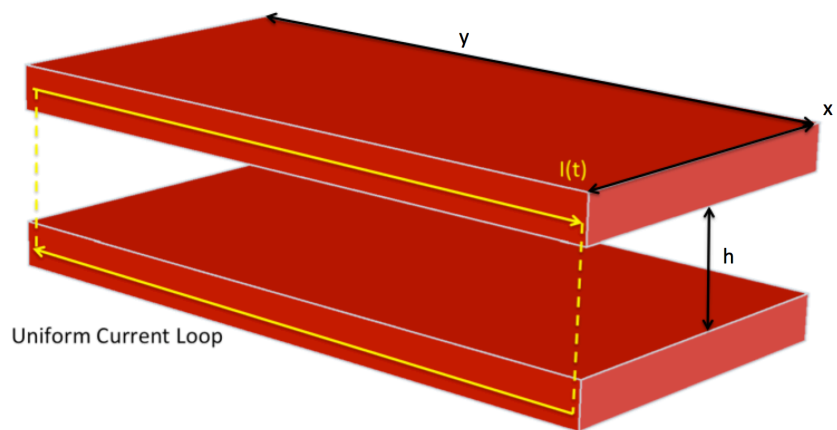


Figura VI-15.: loop induttivo del sistema composto da power and ground plane.

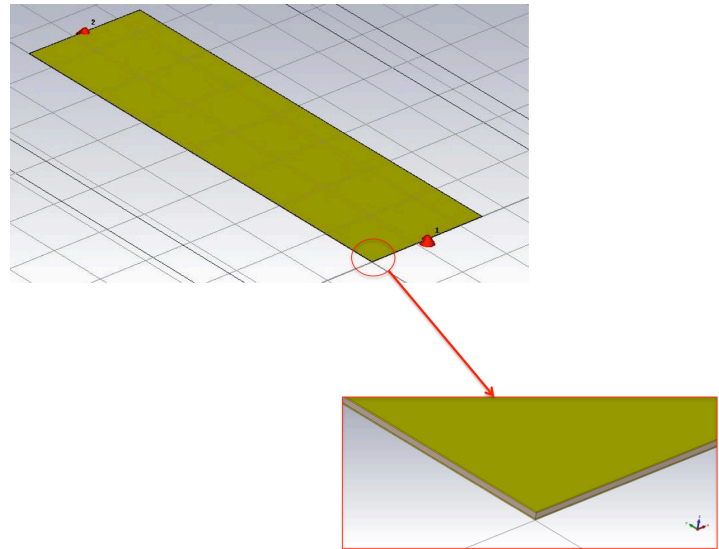
Come indagine preliminare è stata applicata questa formula ad una geometria nota, ed è stata eseguita una simulazione elettromagnetica 3D sulla stessa struttura, così da stimare gli eventuali errori di modello.

<sup>82</sup> In teoria il valore esatto da porre nella formula includerebbe anche un tratto all'interno del metallo, che dipenderebbe dalla frequenza a causa dell'effetto pelle. Tale tratto risulterebbe comunque sempre molto minore di  $h$ , in quanto in ogni caso vale che lo spessore di metallo è  $t < h$  ed a sua volta la quantità da sommare all'altezza di dielettrico sarebbe dell'ordine di grandezza della *skin depth*, la quale è tipicamente  $\delta_{SE} < t$ . Trascurare l'altezza in cui si dispone la corrente è quindi una ipotesi ragionevole.

La struttura simulata ricalca la geometria del *benchmark* di misura utilizzato per la campagna sperimentale effettuata (descritta nel dettaglio nel capitolo VII. del presente lavoro):

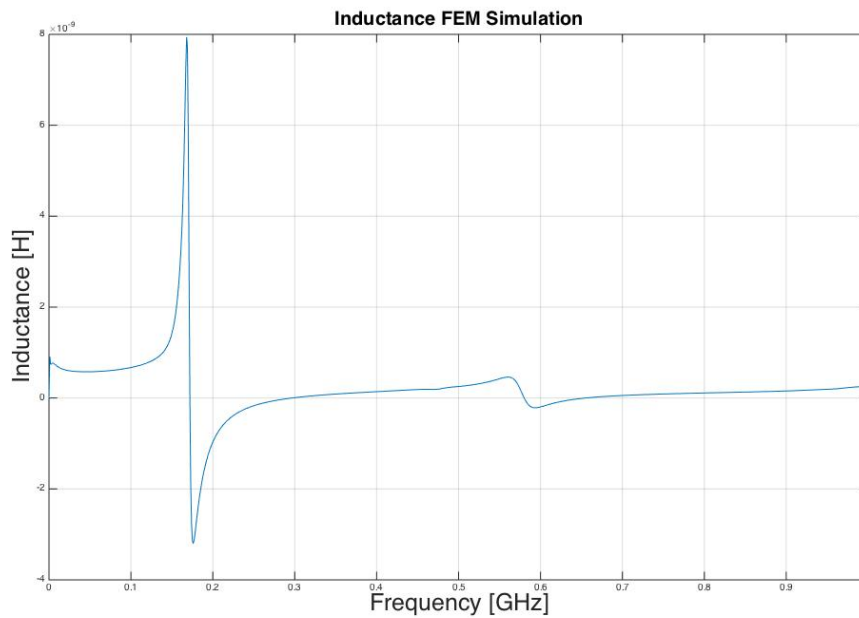
Proprietà	Valore
Lunghezza ( $y$ )	15cm
Larghezza ( $x$ )	5cm
Spessore Dielettrico ( $h$ )	85 $\mu$ m
Materiale Dielettrico	FR-4
Spessore Metallo ( $t$ )	18 $\mu$ m
Materiale Metallo	Cu

**Tabella VI-1: proprietà della struttura simulata**



**Figura VI-16: struttura simulata con ingrandimento sullo spessore di dielettrico. In rosso sono indicate le porte di iniezione della corrente.**

Il profilo totale di induttanza ricavato dalla simulazione è riportato in figura VI-17:

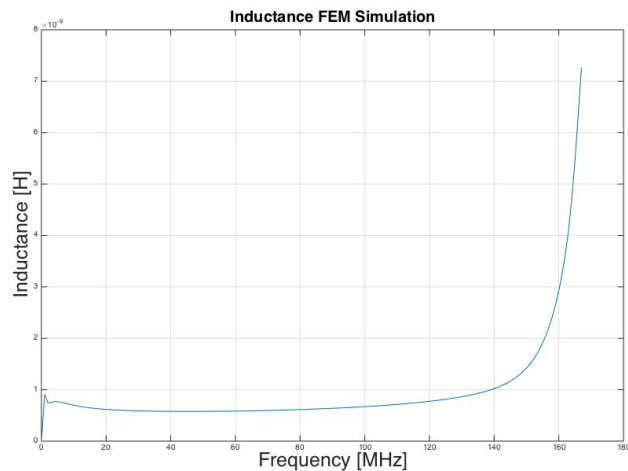


**Figura VI-17: Risultato della simulazione dell'induttanza del piano effettuata con il software CST Microwave Studio®.**

Il risultato della simulazione è fisicamente consistente soltanto prima del punto di massimo, posto alla frequenza di 180 MHz; il simulatore infatti ricava l'induttanza dalla parte immaginaria dell'impedenza del piano. Se  $\text{Im}(Z) > 0$  allora il comportamento sarà induttivo, mentre se  $\text{Im}(Z) < 0$  allora il comportamento sarà capacitivo. Dopo il punto di massimo il piano assume comportamento capacitivo, ma il simulatore ne ricava forzatamente un valore di "induttanza equivalente", negativo e privo di fondamento fisico.

Per una analisi più approfondita del risultato è stato effettuato un ingrandimento dell'andamento ricavato nell'intervallo di consistenza (figura VI-18):

dopo un breve transitorio iniziale, anch'esso privo di consistenza fisica<sup>83</sup>, vi è un massimo locale, seguito da un intervallo di decrescita fino alla stabilizzazione (circa) al valore di induttanza del dispositivo. Il massimo iniziale è conseguenza dello *skin effect*: a basse frequenze la corrente si dispone con maggiore uniformità nel conduttore, di conseguenza i loop percorsi dalla stessa in media saranno più estesi di quelli compiuti in alta frequenza e l'induttanza sarà più alta. Aumentando la frequenza la *skin depth* tenderà a diminuire, le correnti si "schiacceranno" lungo la



**Figura VI-18: Andamento dell'induttanza in funzione della frequenza, dettaglio.**

superficie inferiore del piano e l'induttanza tenderà al valore nominale. A causa della combinazione di tutti questi effetti occorre selezionare nella parte centrale dell'intervallo compreso fra i due massimi il valore di induttanza da confrontarsi con il modello semplificato. Nel presente lavoro si è sempre preso come valore di induttanza quello alla frequenza di 40MHz. Un qualsiasi punto compreso fra 40MHz e 60MHz sarebbe qualitativamente corretto in quanto la variazione percentuale del valore di  $L$  è minima:

$$\frac{\Delta L}{L} = \frac{L(60\text{MHz}) - L(40\text{MHz})}{L(40\text{MHz})} \approx \frac{584\text{pH} - 578\text{pH}}{578\text{pH}} \approx 1\%$$

il valore di riferimento ricavato dalle simulazioni elettromagnetiche sarà quindi:

$$L_{sim}^{15} \approx 578\text{pH}$$

a fronte di un valore calcolato tramite la (VI-18) di:

$$L_{mod}^{15} \approx 320\text{pH}$$

Il modello semplificato basato su formula introduce un sostanziale errore rispetto al valore ottenuto con il simulatore elettromagnetico 3D, pari a:

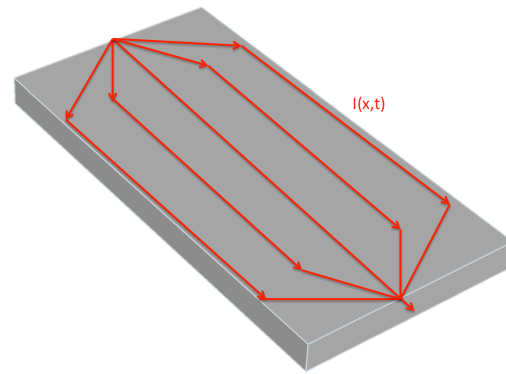
$$\frac{\Delta L_{15}}{L_{15}} = \frac{584\text{pH} - 320\text{pH}}{584\text{pH}} \approx 45\%$$

Occorre comprendere quale sia la causa di discostamento fra i due valori ottenuti. Per fare questo si è inizialmente indagata la simulazione effettuata, ed in particolare le condizioni di iniezione della corrente. E' possibile che le porte che iniettano la corrente in modo puntuale all'interno della struttura portino ad una sovrastima dell'induttanza causata da un effetto di *spreading*: le cariche in moto tendono ad occupare tutta la superficie a loro disposizione, per cui vi saranno due regioni transitorie in cui i fronti di corrente si allargheranno (inizialmente) o si stringeranno (alla fine) per occupare al meglio la superficie a disposizione nella parte centrale del piano. In tali regioni l'induttanza sarà molto maggiore di quella per una corrente omogenea<sup>84</sup>, per cui l'induttanza totale verrà sovrastimata (figura VI-19).

<sup>83</sup> I simulatori presentano una notevole difficoltà a ricavare il comportamento in continua. Per comprendere cosa sta accadendo in questa circostanza si pensi ad un simulatore che debba descrivere un induttore ideale di induttanza  $L$ : in continua l'andamento deve essere quello di un cortocircuito, per cui il grafico dovrà passare per l'origine degli assi, nonostante il valore di induttanza rimanga  $L$ . il simulatore deve trovare un modo per connettere i due andamenti, generando così il transitorio iniziale.

<sup>84</sup> Rifacendosi alla notazione di equazione (VI-18), in valore di  $x$  "efficace" in tali regioni è minore di  $x$  stesso, per cui  $L$  aumenta.

Per validare l'ipotesi precedente si è portata avanti una campagna di simulazioni affiancate al calcolo di  $L$  effettuato con il modello semplificato. Fra una simulazione e la successiva è stata progressivamente ridotta la larghezza del piano; in questo modo l'effetto di *spreading* sarebbe risultato sempre meno rilevante, in quanto le correnti avrebbero meno superficie da occupare e l'allargamento sarebbe avvenuto entro uno spazio inferiore allineando il valore di impedenza con quello calcolato tramite l'equazione (VI-18).

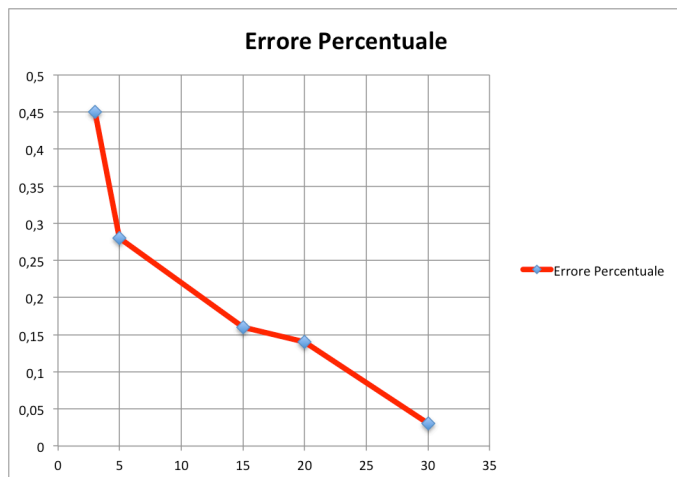


**Figura VI-19: spreading delle correnti in seguito ad iniezione puntuale.**

Sono state effettuate cinque simulazioni diverse, delle quali sono riportate impostazioni e risultati nella seguente Tabella:

Dimensioni	Fattore di Forma	Modello Semplificato	Simulazione CST®(@40MHz)	Differenza	Errore Percentuale
15cm x 5cm	3	320pH	578pH	258pH	45%
15cm x 3cm	5	534pH	746pH	212pH	28%
15cm x 1cm	15	1.6nH	1.91nH	310pH	16%
15cm x 7mm	20	2.28nH	2.67nH	390pH	14%
15cm x 5mm	30	3.2nH	3.318nH	118pH	3%

**Tabella VI-2: risultati di diverse simulazioni a confronto.**

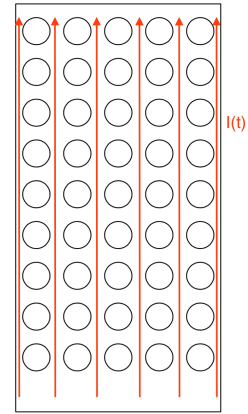


**Figura VI-20: interpolazione dell'errore in funzione del fattore di forma.**

Le simulazioni hanno mostrato come l'errore diminuisce drasticamente aumentando il fattore di forma del piano simulato, di conseguenza la causa del discostamento fra simulazione e previsione di equazione (VI-18) è principalmente dovuta alla presenza di quell'effetto di *spreading* delle correnti nella parte iniziale e finale della propagazione precedentemente descritto. Tale effetto non si registra nei casi reali in quanto l'iniezione di corrente avviene tipicamente da un numero consistente di via distribuiti longitudinalmente sul piano, di conseguenza di può considerare in prima approssimazione nei casi reali una iniezione uniforme di corrente, ed è possibile utilizzare per descrivere piani di alimentazione l'equazione (VI-18).

### VI.3..iv.iv. Induttanza di un Piano Forato

Si consideri un piano rettangolare regolarmente forato percorso da una corrente in direzione longitudinale. Qualitativamente la presenza delle forature forzerà la corrente a scorrere entro dei “percorsi preferenziali”. I percorsi che più probabilmente saranno investiti dalla corrente saranno quelli che minimizzano la lunghezza da percorrere, per cui saranno quelli tali per cui la componente ortogonale alla direzione della corrente del vettore  $\mathbf{j}$  è molto piccola od al limite nulla (figura VI-21). In questa pittura è possibile supporre che i possibili *loop* induttivi sul piano forato vengano discretizzati dalla presenza dei fori. In questo modo ogni percorso di corrente verrà stressato maggiormente rispetto al caso precedente, comportando un aumento dell'induttanza della struttura.



**Figura VI-21: Piano Forato.**

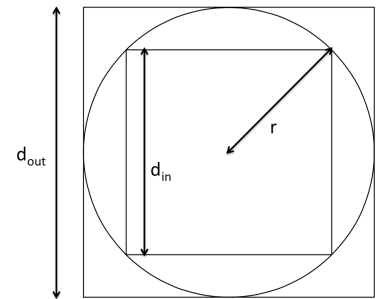
Se si trascura la possibilità che cariche in moto transitino da un percorso di corrente a quello adiacente<sup>85</sup>, allora è possibile effettuare una ulteriore approssimazione geometrica: i fori al posto di avere sezione circolare si assumono a sezione perfettamente quadrata, con lo scopo di semplificare i calcoli successivi. Occorre però mantenere una geometria più simile possibile a quella di partenza, quindi si è scelto di impostare come lato di ogni foro la media fra il lato del quadrato inscritto e quello circoscritto alla circonferenza che nel caso reale costituisce il via. Rifacendosi alla notazione di figura VI-22 si ottiene:

$$d_{out} = 2r \quad (VI-19)$$

$$d_{in} = \frac{2r}{\sqrt{2}} = \sqrt{2}r \quad (VI-20)$$

da cui

$$d = \frac{d_{out} + d_{in}}{2} = r \left( 1 + \frac{1}{\sqrt{2}} \right) \quad (VI-21)$$



**Figura VI-22: quadrato inscritto e circoscritto al foro.**

Se il numero totale di fori è noto ma non è nota la loro disposizione spaziale<sup>86</sup>, è possibile supporre una disposizione a matrice in cui tutti i quadrati sono fra loro equispaziati. La struttura ottenuta è quella di figura VI-23. Detto  $n$  il numero totale di fori,  $x_0$  la distanza del primo foro dal bordo lungo  $x$ ,  $y_0$  la medesima distanza lungo  $y$  e  $p$  il pitch medio<sup>87</sup>, allora è possibile ricavare il numero di forature per ogni riga della disposizione imponendo che la distanza totale sia uguale alla larghezza del piano, detta  $X$ , nota.

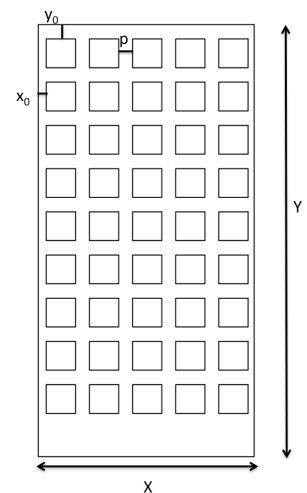
$$2x_0 + n_x(d + p) - p = X \quad (VI-22)$$

risolvendo:

$$n_x = \left\lfloor \frac{X + p - 2x_0}{d + p} \right\rfloor \quad (VI-23)$$

è subito ottenibile anche  $n_y$  come:

$$n_y = \left\lfloor \frac{n}{n_x} \right\rfloor \quad (VI-24)$$



**Figura VI-23: piano forato con geometria approssimata**

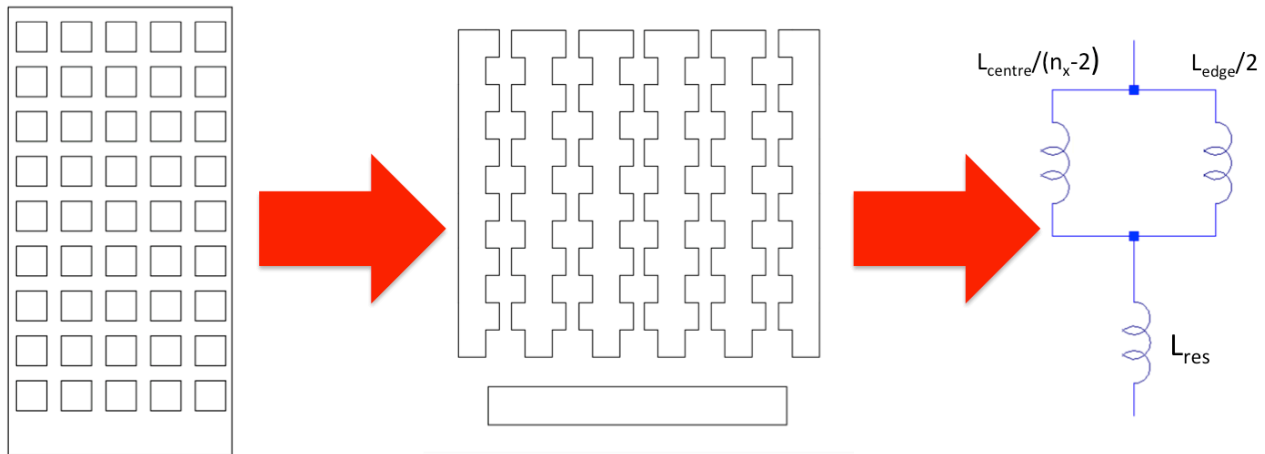
<sup>85</sup> Questa sarà l'assunzione più pesante effettuata nello sviluppo di questo particolare modello.

<sup>86</sup> È il caso più frequente nei piani di alimentazione dei PCB, in quanto solitamente il pattern è fortemente disomogeneo e collegato a necessità di progettazione.

<sup>87</sup> Noto in quanto è il pitch fra due via consecutivi, utile anche nei successivi paragrafi.

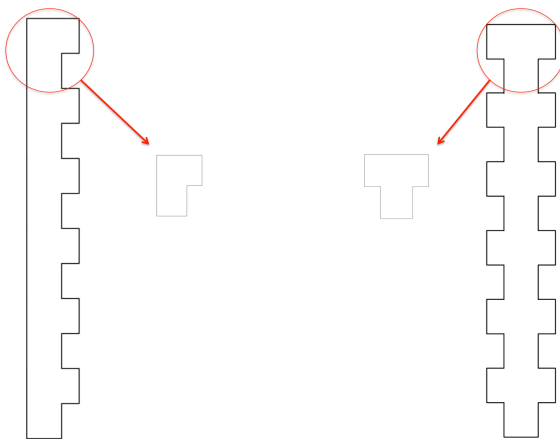
Osservando figura VI-24 si può notare che la struttura ottenuta può essere scomposta in due tipi di figura geometrica ripetuti, corrispondenti ai singoli percorsi di corrente (fig. VI-25 al centro) seguiti eventualmente da una regione assimilabile ad un piano pieno.

Le figure di bordo si ripeteranno soltanto due volte mentre il numero di figure centrali ripetute si nota geometricamente che è  $(n_x - 2)$ . Tutte queste figure dal punto di vista elettrico sono poste fra loro in parallelo, per cui è possibile a questo punto ottenere un modello circuitale equivalente a partire dai singoli percorsi conduttivi, ricordando che l'induttanza di  $n$  induttori identici in parallelo è rappresentata dall'induttanza di un induttore diviso  $n$ :



**Figura VI-24: processo di scomposizione del piano.**

Rimane quindi da calcolare l'induttanza dei percorsi conduttivi. In entrambi i casi è possibile usare il medesimo procedimento: considerando il singolo percorso esso sarà costituito dalla ripetizione in serie ( $n_y - 1$  volte) dello stesso blocchetto, a sua volta composto da due rettangolini la cui induttanza è calcolabile con la (VI-18). Facendo attenzione al fatto che il primo elemento possiede geometria leggermente diversa dai successivi (entrambi i tipi di rettangolino costituente hanno alcune dimensioni pari ad  $x_0$  ed  $y_0$  al posto di  $p$ ), si ottiene l'induttanza di ciascun percorso come:



**Figura VI-25: scomposizione in elementi base.**

$$L_{centre} = L_{centre}^{head} + (n_y - 1)L_{centre}^{middle} \quad (VI-25)$$

$$L_{edge} = L_{edge}^{head} + (n_y - 1)L_{edge}^{middle} \quad (VI-26)$$

e per quanto riguarda la parte restante, essa sarà l'induttanza di un piano di larghezza  $X$  e lunghezza imponendo la lunghezza totale uguale ad  $Y$ :

$$y_{res} = Y - y_0 - (n_y - 1)p - n_y d \quad (VI-27)$$

sostituendo questi valori nello schema di figura VI-24 a destra e risolvendo lo stadio si ottiene l'impedenza del piano:

$$L_{plane}^{gridded} = L_{res} + \left( \frac{1}{L_{edge}} + \frac{1}{L_{centre}} \right)^{-1} = L_{res} + \left[ \frac{1}{L_{edge}^{head} + (n_y - 1)L_{edge}^{middle}} + \frac{1}{L_{centre}^{head} + (n_y - 1)L_{centre}^{middle}} \right]^{-1} \quad (VI-28)$$

Per valutare la bontà del modello è stata eseguita, come nel caso del piano pieno, un set di simulazioni al variare della larghezza del campione. Sarà presente ancora dell'errore dovuto ad effetti di iniezione puntuale, ma la presenza dei fori e la seguente "quantizzazione" dei cammini conduttivi dovrebbe avere un effetto limitante sullo *spreading* delle cariche nel piano.

La geometria simulata è riportata in figura VI-26. È stato preferito nell'analisi introdurre pochi fori di grande diametro piuttosto di molti fori di diametro inferiore per limitare i tempi di simulazione. Nel ridurre la dimensione laterale fra una simulazione e la successiva è stata modulata anche la dimensione dei fori e lo spazio intercorrente fra gli stessi, così da mantenere circa costante, a meno di limiti geometrici, il numero di fori presenti.

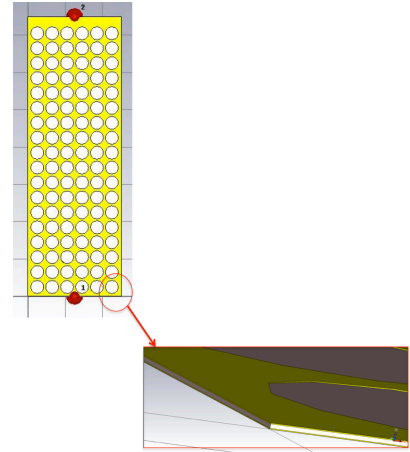


Figura VI-26: geometria simulata.

Sono state fatte tre simulazioni i cui parametri e risultati sono riportati in Tabella VI-3:

Dimensioni	Numero di Fori	Fattore di Forma	Modello Semplificato	Simulazione CST®(@40MHz)	Differenza	Errore Percentuale
15cm x 5cm	6 x 17	3	1.18nH	1.68nH	500pH	30%
15cm x 3cm	6 x 18	5	1.68nH	2.25nH	570pH	25%
15cm x 1cm	6 x 19	15	4.4nH	4.71nH	310pH	6.5%

Tabella VI-3 risultati di diverse simulazioni a confronto.

È evidente come, in maniera simile al caso precedente, al diminuire della larghezza del piano i due modelli tendono alla convergenza dei valori. La convergenza è molto più veloce nel caso di piani forati a causa dell'effetto guidante figlio delle forature stesse, che tendono a forzare la corrente nella parte centrale del dispositivo, di conseguenza nonostante le numerose assunzioni sottostanti il modello esso fornisce una descrizione accettabile del fenomeno fisico.

I due modelli fino adesso sviluppati possono essere singolarmente utilizzati per la descrizione di dispositivi semplici (come ad esempio il campione utilizzato per la campagna sperimentale che verrà descritta nel capitolo VII) ma nel caso del piano di alimentazione di una Probe Card è necessario l'utilizzo di entrambi in quanto la parte di piano sottostante la Probe Head presenta una densità di forature molto elevata, che discostano l'induttanza notevolmente dal valore calcolato dall'equazione (VI-18), mentre la parte successiva ne presenta una densità trascurabile. Circuitualmente la situazione descritta è quella di due induttori fra loro in serie, per cui un piano di alimentazione di lunghezza  $Y$  in definitiva presenterà una induttanza del tipo:

$$L_{plane} = L_{plane}^{filled}(kY) + L_{plane}^{gridded}((1 - k)Y) \quad (VI-29)$$

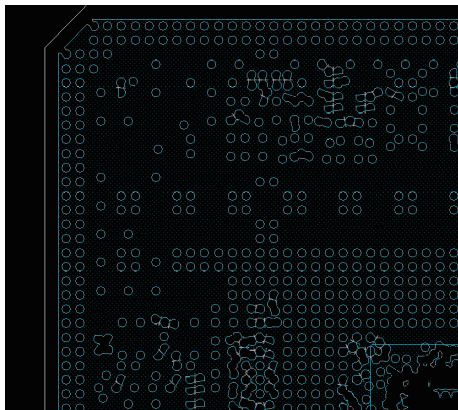


Figura VI-27: particolare del piano di alimentazione di un MLO.

con  $k < 1$  parametro indicante la frazione di piano non regolarmente forata.

In figura VI-27 è mostrata la sezione di un piano di alimentazione di un MLO reale, utilizzato presso Technoprobe per realizzare l'interconnessione di una Probe Card verticale: si può notare come la parte centrale sia molto più intensamente forata di quella esterna, per la quale l'approssimazione a piano pieno rimane valida.

## VI.4. Via

I via sono delle forature ricavate all'interno di circuiti stampati per connettere elettricamente differenti *layer*. Essi sono costituiti da forature placcate parzialmente o completamente di materiale conduttore (solitamente Cu). Per la loro stessa geometria i via possono essere modellizzati come dei cilindri (pieni o cavi) completamente circondati da materiale dielettrico, come in figura VI-28.

Oltre alla resistenza elettrica i via mostrano un comportamento induttivo molto piccato, a causa della loro geometria cilindrica.

Come per altri dispositivi la resistenza elettrica è immediatamente ricavabile tramite la seconda legge di Ohm:

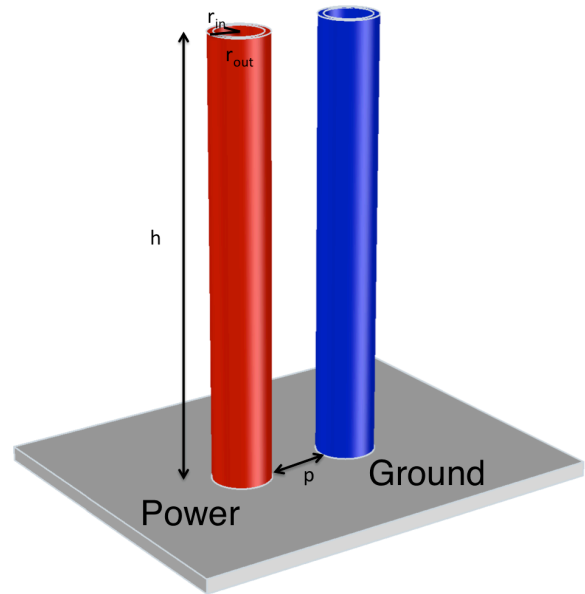


Figura VI-28: modello di via

$$R_{via} = \rho \frac{h}{A} = \rho \frac{h}{\pi(r_{out}^2 - r_{in}^2)} \quad (VI-30)$$

tale formula è possibile utilizzarla sia per via cavi che per via pieni, infatti:

$$r_{in} \rightarrow 0 \quad \Rightarrow \quad R_{via} \rightarrow \rho \frac{h}{\pi r_{out}^2} \quad (VI-31)$$

per quanto riguarda l'induttanza, è presente una formula in letteratura [16] per il calcolo della stessa basata sulle seguenti tre assunzioni:

- L'effetto pelle porta la corrente a disporsi sulla superficie già a frequenze relativamente basse, per questo motivo la formula descrive soltanto via modellizzati come *cilindri cavi*.
- Il ritorno di corrente di un via di alimentazione è costituito principalmente dai via di massa più prossimi. Per semplificare il calcolo, in caso di array uniformi di power e ground via, si preferisce calcolare l'induttanza equivalente di una coppia di via pari all'effetto medio dell'intera matrice diviso il numero di via componenti.<sup>88</sup>

L'induttanza di un via si ricava quindi come:

$$L_{via} = \frac{\mu_0 \mu_r h}{2\pi} \ln \left[ \frac{p}{2r_{out}} + \sqrt{\left(\frac{p}{2r_{out}}\right)^2 - 1} \right] \quad (VI-32)$$

<sup>88</sup> La correttezza di questo risultato è una evidenza osservata in seguito a numerose simulazioni 3D effettuate in Technoprobe precedentemente alla stesura del presente lavoro.

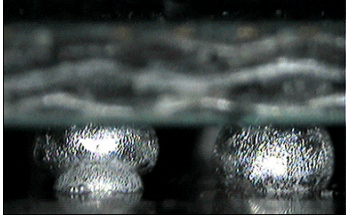


## VI.5. Solder Ball

Una *Solder Ball* è una sfera di diametro di alcune centinaia di  $\mu\text{m}$  composta di particolari leghe di Sn ed altri materiali<sup>89</sup> utilizzata dall'industria elettronica per saldare in maniera definitiva circuiti integrati su PCB.

Il principale vantaggio nell'utilizzo di BGA<sup>90</sup> consiste nel fatto che è possibile sfruttare tutta quanta l'area sottostante il *packaging* per la saldatura, a differenza di altre tecniche che possono saldare soltanto sul perimetro.

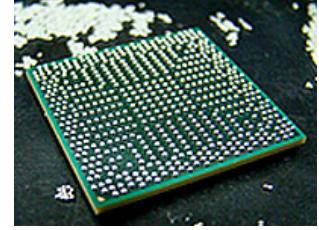
In ambito EWS l'interconnessione con BGA viene solitamente utilizzata per connettere due circuiti stampati contigui, come PCB ed Interposer (o MLO)



**Figura VI-30: particolare di due Solder Ball saldate.**

oppure Interposer ed MLO.

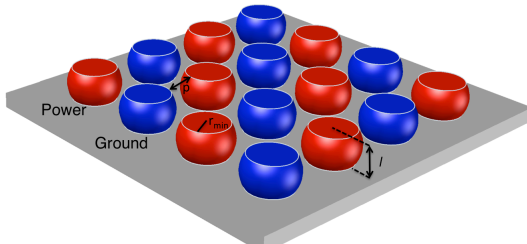
La singola sfera è composta di materiali saldanti di conseguenza all'atto del fissaggio del componente essa si scioglierà perdendo la forma perfettamente sferica, ma acquisendo due "troncature", come mostrato in figura VI-30, perciò l'intero array può essere modellizzato come in figura VI-31.



**Figura VI-29: esempio di BGA.**

Anche queste sfere, così come i via, mostreranno principalmente un comportamento di tipo resistivo-induttivo. La componente induttiva ha un andamento molto simile a quello ottenuto per i via, in quanto molte delle ipotesi fatte in precedenza rimangono valide anche per il caso in esame. È possibile in prima approssimazione assumere quindi che:

$$L_{Solder} \approx L_{via} = L_{via} = \frac{\mu_0 \mu_r h}{2\pi} \ln \left[ \frac{p}{2r} + \sqrt{\left(\frac{p}{2r}\right)^2 - 1} \right] \quad (\text{VI-33})$$



**Figura VI-31: modellizzazione semplificata di BGA**

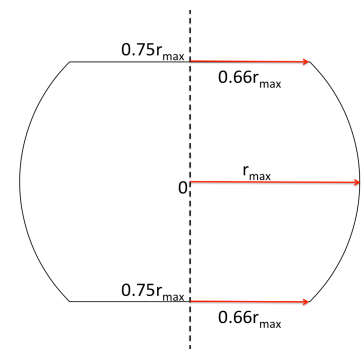
Per quanto concerne la resistenza, essa è ricavabile ancora una volta dalla seconda legge di Ohm, utilizzandola in forma differenziale. Si consideri infatti un la sezione di una Solder Ball, come da figura VI-32, in questo caso la resistenza di una sezione di componente con altezza infinitesima sarà dato da:

$$dR = \frac{\partial R}{\partial z} dz = \frac{\partial}{\partial z} \left( \rho \frac{zr}{A(z)} \right) dz \quad (\text{VI-34})$$

l'area varia circolarmente con l'altezza. Detta  $z$  la coordinata verticale normalizzata, allora  $r(z) = r_{max} \sqrt{1 - z^2}$   $z \in (-1, 1)$ <sup>91</sup>:

$$dR = \frac{\rho}{\pi r_{max}} \frac{\partial}{\partial z} \left[ \frac{|z|}{(1-z^2)} \right] dz = \frac{\rho}{\pi r_{max}} \frac{1+z^2}{(1-z^2)^2} dz \quad (\text{VI-35})$$

da cui



**Figura VI-32: modello di cui è stata calcolata la resistenza.**

$$R_{Solder} = \int_{-0.75}^{0.75} \frac{\rho}{\pi r_{max}} \frac{1+z^2}{(1-z^2)^2} dz = 2 \frac{\rho}{\pi r_{max}} \left| -\frac{z}{z^2-1} \right|_0^{0.75} \approx 3.43 \frac{\rho}{\pi r_{max}} \quad (\text{VI-36})$$

<sup>89</sup> Le leghe più utilizzate nella produzione di Solder Balls sono Sn<sub>90</sub>Pb<sub>10</sub>, Sn<sub>63</sub>Pb<sub>37</sub> e Sn<sub>96.5</sub>Ag<sub>3</sub>Cu<sub>0.5</sub>.

<sup>90</sup> *Ball Grid Array*, matrice di Solder Ball utilizzata per la saldatura.

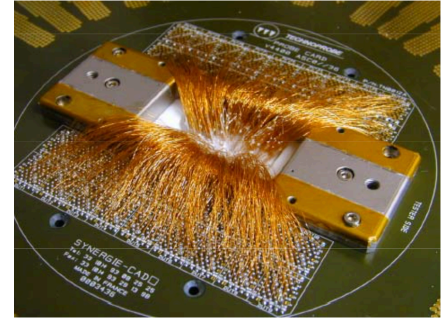
<sup>91</sup> In realtà facendo variare  $z$  fra -1 ed 1 si riottenrebbe l'intera sfera, per cui per ottenere la forma desiderata si pone  $z \in [-0.75, 0.75]$ .

## VI.6. Altre Interconnessioni

Sono possibili anche altri tipi di interconnessione per connettere i circuiti stampati di una Probe Card, o come connessione diretta di PCB e Probe Head. Nella maggior parte dei casi queste interconnessioni sono rappresentate da soluzioni filate come ad esempio nel caso di tecnologie *Wired Space Transformer*.

Una modellizzazione teorica del comportamento parassita di questi componenti è impossibile, infatti le filature si sviluppano principalmente in aria ed hanno la possibilità di assumere configurazioni casuali, variando quindi in maniera del tutto stocastica le loro proprietà elettromagnetiche.

Un altro fattore di incertezza è costituito dal processo produttivo: le filature vengono posizionate e saldate manualmente, quindi esiste un grande fattore di incertezza anche sulle condizioni nominali di funzionamento.



**Figura VI-33: esempio di interconnessione filata.**

Nonostante tutti questi aspetti è necessario includere quantomeno qualitativamente l'effetto prodotto da questo stadio, infatti tali fili sono tipicamente lunghi parecchi centimetri, quindi forniranno un contributo resistivo ed induttivo importante. Come valore di questi parametri ci si rifà ancora una volta al modello adattato per i via, per cui:

$$L_{\text{filatura}} = \frac{\mu_0 \mu_r h}{2\pi} \ln \left[ \frac{p}{2r} + \sqrt{\left(\frac{p}{2r}\right)^2 - 1} \right] \quad (\text{VI-37})$$

$$R_{\text{filatura}} = \rho \frac{h}{\pi r^2} \quad (\text{VI-38})$$

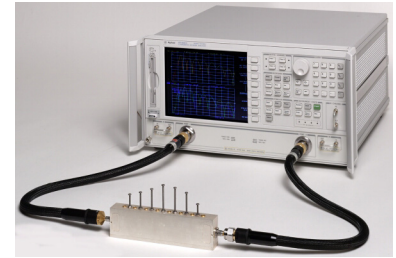
E' doveroso notare come il pitch fra le interconnessioni è un parametro difficilmente stimabile, di conseguenza anch'esso sarà determinato tramite stime qualitative.

# VII. Misure Sperimentali

## VII.1. Il Vector Network Analyzer

Il principale strumento utilizzato per l'analisi di circuiti per applicazioni in radiofrequenza è il *Vector Network Analyzer*, o VNA [21]. Il VNA è uno strumento in grado di ricavare parametri come coefficiente di riflessione, trasmissione, ritardi di gruppo e fase ed i parametri S di uno stadio.

L'analisi effettuata per ottenere questi dati è in realtà molto semplice: in un intervallo di frequenze ed un numero di punti decisi dall'utilizzatore lo strumento effettua uno sweep di frequenze e le inietta al D.U.T. utilizzate come stimolo per la misura. Per ogni frequenza inviata lo strumento è in grado di separare l'onda riflessa e l'onda trasmessa in ciascuna porta, ricavando da questa informazione modulo e fase dei parametri S della rete<sup>92</sup> dopo una elaborazione effettuata da un mainframe.



**Figura VII-1: Vector Network Analyzer.**

La rete misurata risponderà ad uno stimolo armonico con un andamento che differirà dallo stesso in modulo e fase. Tale differenza è proprio la quantità utile per la generazione dei parametri S della rete, infatti per una rete lineare valgono le seguenti:

- Il modulo del parametro  $S_{xy}$  è definito essere il rapporto fra le ampiezze delle onde misurate alle porte  $x$  ed  $y$ .

$$|S_{xy}| = \frac{b_x}{a_y} \quad (\text{VII-1})$$

- la fase del parametro  $S_{xy}$  rappresenta la differenza di fase fra l'onda misurata alla porta  $x$  e quella alla porta  $y$ :

$$\angle(S_{xy}) = \angle(b_x) - \angle(a_y) \quad (\text{VII-2})$$

I principali vantaggi offerti da questo tipo di analisi sono i seguenti:

- Un VNA è uno strumento in grado, dopo una opportuna taratura, di effettuare una correzione e compensazione dei contributi di errore apportati dal setup di misura con elevata accuratezza (*deembedding* del setup di misura). La dinamica richiesta è in generale molto elevata ( $>100\text{dB}$ ), ed in particolare lo strumento utilizzato, il VNA *Agilent N5230A*, ha range dinamico di  $136\text{dB}$  [25].
- Solo il risultato di questo tipo di misura può essere trasformato dal dominio della frequenza al dominio del tempo<sup>93</sup> in modo corretto.

<sup>92</sup> IV.3.ii.

<sup>93</sup> Per effettuare questo tipo di *data processing* esistono numerosi algoritmi detti di *pole fitting*, i quali effettuano un fitting polinomiale del risultato di misura, così da ricavarne una funzione di trasferimento che verrà antitrasformata per ottenere l'andamento temporale della risposta della rete. La convergenza di questo tipo di analisi è una fase molto delicata. Questi argomenti sono al di là degli scopi del presente lavoro, e non verranno trattati.

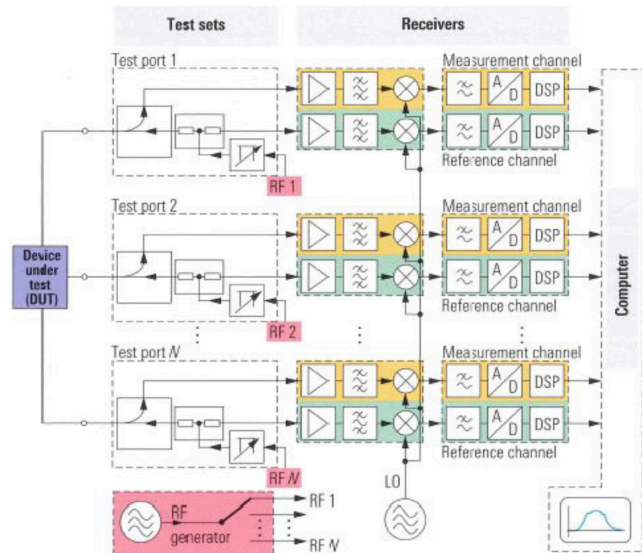
Esistono due categorie di analizzatori di reti: ad omodina ed ad eterodina:

- *Analizzatori ad Omodina:* sono strumenti aventi all'interno un solo oscillatore, il quale genera lo stimolo e processa il segnale. Gli analizzatori che sfruttano questa tecnologia sono relativamente economici e di bassa qualità. I loro principali utilizzi si limitano ad applicazioni semplici.
- *Analizzatori ad Eterodina:* sono gli analizzatori con generatore più stabile e di qualità (e prezzo) più elevati.

Lo schema a blocchi dello strumento utilizzato nel presente lavoro è riportato in figura VII-2.

Un VNA ad N porte è principalmente composto da quattro blocchi:

- *Test Set:* ha il compito di separare l'onda incidente da quella riflessa alla porta di test. Le onde vengono poi inviate ad un canale di misurazione od ad uno di *reference* per effettuare la vera misura.
- *Generatore:* è il blocco che invia il segnale RF utilizzato come stimolo. Dopo il generatore è posto uno *switch* per selezionare le porte a cui inviare il segnale.
- *Ricevitori:* per ogni porta sono presenti due ricevitori, uno per il *measurement channel* ed uno per il *reference channel* che consistono in una sezione analogica in radiofrequenza basata sul principio dell'eterodina seguita da uno stadio di digitalizzazione e *digital signal processing*.
- *Elaboratore:* è un computer con lo scopo di effettuare la correzione degli errori e mostrare i dati misurati ed elaborati su schermo. Questo sistema controlla anche le interfacce utente.



**Figura VII-2: schema a blocchi di un VNA.**

basata sul principio dell'eterodina seguita da uno stadio di digitalizzazione e *digital signal processing*.

## VII.2. Teoria della Misura a due Porte per Misure a Bassissima Impedenza

I sistemi di alimentazione sono spesso dotati di impedenze molto basse (dell'ordine dei mΩ) e molto difficili da misurare con una classica misura ad una porta (segnale e riferimento di massa)<sup>94</sup> a causa di rapporti segnale-rumore insufficienti e resistenze di contatto così elevate da sovrastare il segnale di misura.

Il principale problema nell'utilizzo di una sola porta per effettuare la misura [22] è dettata dal fatto che lo strumento possiede una impedenza di riferimento di 50Ω, di conseguenza quando il D.U.T. ha impedenze molto piccole la quasi totalità del segnale verrà riflesso, e quindi occorrerebbe una precisione molto elevata per discriminarlo. A titolo di esempio si valuta una misura ad una sola porta con  $Z_0=50\Omega$ . In questo caso la frazione riflessa sarà data da  $S_{11}$ , a sua volta dato da:

$$S_{11} = \frac{Z_{DUT} - Z_0}{Z_{DUT} + Z_0} \quad (\text{VII-3})$$

Se  $Z_{DUT}=1\Omega$ , allora si ottiene  $S_{11}=-0.96$  (-0.35dB), di conseguenza la componente trasmessa sarà il 4% dell'onda incidente, facilmente individuabile dallo strumento, ma se  $Z_{DUT}=100\text{m}\Omega$  allora  $S_{11}=-0.996$  (0.035dB); questa percentuale è così vicina alla totalità che a causa della quantizzazione della misura è molto difficile che lo strumento lo distingua dal 100%. Si utilizza come parametro per decidere quale misura utilizzare il valore dell'impedenza del D.U.T: se  $Z_{DUT}<100\text{m}\Omega$  allora lo strumento qualitativamente non sarà in grado di sostenere una misura ad una porta.

Il secondo problema di questo tipo di misura è che l'impedenza in esame ha sempre in serie altre impedenze, dovute al sistema di interconnessioni che servono a portare il segnale al D.U.T. (tipicamente cavi coassiali o sonde) le quali non possiedono un valore stabile o riproducibile ma variano con le condizioni di misura (ad esempio la pressione applicata alle sonde o la posizione del cavo coassiale possono variare l'impedenza delle interconnessioni). Questa componente non ideale non è compensabile completamente a causa della sua variabilità nemmeno in seguito ad una calibrazione.

Per questo motivo occorre passare ad una misura a due porte per misurare impedenze molto basse. Questo tipo di misura si basa sulla tecnica a quattro punte inventata nel 1880 da Lord Kelvin; in tale setup vi sono quattro punte, due utilizzate per iniettare la corrente ed altre due, più interne, per misurare la differenza di potenziale. In questo modo viene bypassata l'impedenza parassita dovuta alle sonde; infatti essa è in serie a ciò che si vuole misurare e se la misura viene effettuata da punte diverse da quelle di iniezione la corrente sentita sarà la stessa, ma la resistenza in cui scorre sarà solamente quella del D.U.T. (figura VII-3).

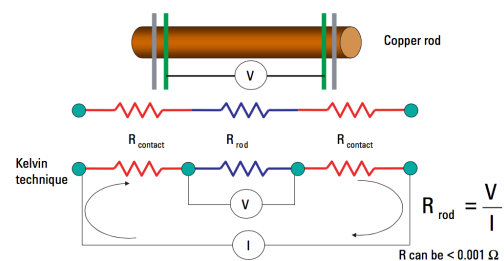


Figura VII-3: esempio di misura a quattro punte.

La misura a due porte è l'equivalente RF di quanto descritto sopra: vengono connesse due porte del VNA al campione, in modo tale che una porta serva per iniettare la corrente, e l'altra per misurare la tensione. I parametri S risultanti da questa misura assumeranno i seguenti significati:

<sup>94</sup> Una misura ad una porta consiste nell'iniettare fra due punti una corrente e misurare dagli stessi contatti la differenza di potenziale per ottenere l'impedenza come  $V/I$ . Questo tipo di analisi può essere performata utilizzando una sola porta di un VNA, in quanto dotata di un conduttore per il segnale ed uno per il GND.

- $S_{11}$  ed  $S_{22}$  sono i parametri che vedono l'impedenza del campione *shuntata* al riferimento dello strumento,  $50\Omega$ . Questa informazione è qualitativamente equivalente a quella ottenuta da una misura a due punte quindi mostra scarsa utilità.
- $S_{21}$  contiene l'informazione desiderata riguardo l'impedenza del D.U.T: la corrente in ingresso dalla porta 1 è limitata dai  $50\Omega$  della sorgente e passa attraverso il cammino a bassa impedenza del campione, generando una differenza di potenziale piccola, che viene rivelata dalla porta 2. Grazie al grande range dinamico dello strumento (136dB) questa differenza di potenziale può essere facilmente misurata e dal rapporto fra essa e la prima corrente è facile individuare anche riflessioni in corrispondenza di impedenze molto basse.

Per ottenere l'impedenza dal parametro  $S_{21}$  misurato si consideri un modello a parametri concentrati del sistema di misura come in figura VII-4:

l'iniezione di corrente è modellizzata come un generatore ideale di tensione ( $V_{source}$ ) in serie ad una resistenza a  $50\Omega$ , mentre la porta in cui viene misurata la tensione viene rappresentata con la medesima resistenza in parallelo alla tensione da misurare ( $V_2$ ). Per la (VII-1) si ha che:

$$S_{21} = \frac{V_2}{V_1} \quad (VII-4)$$

con:<sup>95</sup>

$$V_1 = \frac{1}{2} V_{source} \quad (VII-5)$$

Risolvendo per  $V_2$  si ottiene ( $Z_0=50\Omega$ ):

$$V_2 = \frac{\frac{Z_0 Z_{DUT}}{Z_0 + Z_{DUT}}}{Z_0 + \frac{Z_0 Z_{DUT}}{Z_0 + Z_{DUT}}} V_{source} = \frac{Z_{DUT}}{Z_0 + 2Z_{DUT}} V_{source} \quad (VII-6)$$

sostituendo la (VII-4) nella (VII-6) si ottiene la relazione fra  $S_{21}$  e  $Z_{DUT}$ :

$$Z_{DUT} = \frac{Z_0}{2} \frac{S_{21}}{1 - S_{21}} = 25\Omega \frac{S_{21}}{1 - S_{21}} \quad (VII-7)$$

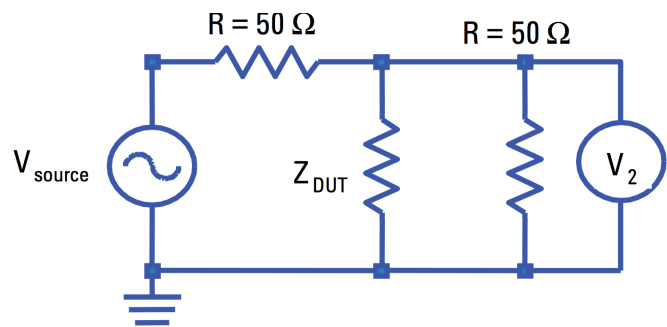


Figura VII-4: modello del sistema di misura.

<sup>95</sup> Dal momento che lo strumento eroga una tensione pari a  $V_{source}$ , allora alla porta 2 non arriverà tale valore di tensione ma la metà.

## VII.3. Struttura del Campione Misurato

Per avere una validazione sperimentale del modello elaborato nel capitolo VI, sono state effettuate delle misure su un PCB di caratteristiche note, a cui sono stati saldati diversi sistemi di filtraggio (condensatori di filtro di diverse dimensioni) e poi sono state effettuate delle simulazioni con il software implementato, così da valutare l'effettivo grado di aderenza al caso reale.

Il campione utilizzato, chiamato *PDN Measure Benchmark*, è un PCB appositamente realizzato da Technoprobe per lo studio di fenomeni di Signal and Power Integrity.

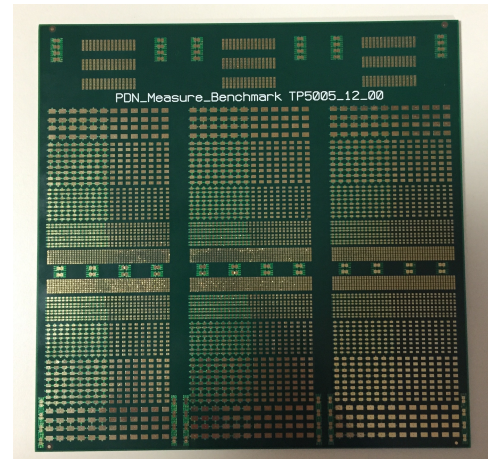


Figura VII-5: Technoprobe PDN measure benchmark.

N°	Layer	Larghezza
1	TOP	17 $\mu$ m
	Pre-Preg	100 $\mu$ m
2	Power <sub>11</sub>	17 $\mu$ m
	Pre-Preg	100 $\mu$ m
3	Power <sub>10</sub>	17 $\mu$ m
	Pre-Preg	100 $\mu$ m
4	GND <sub>1</sub>	17 $\mu$ m
	Pre-Preg	3200 $\mu$ m
5	GND <sub>2</sub>	17 $\mu$ m
	Pre-Preg	100 $\mu$ m
6	Power <sub>20</sub>	17 $\mu$ m
	Pre-Preg	100 $\mu$ m
7	Power <sub>22</sub>	17 $\mu$ m
	Pre-Preg	100 $\mu$ m
8	BOTTOM	17 $\mu$ m

Tabella VII-1: stack-up del campione

Questo circuito stampato presenta uno *stack-up* di otto layer suddivisi come nella tabella a fianco<sup>96</sup> [23].

Sul PCB di figura VII-5 sono quindi presenti due sistemi di alimentazione, detti *Power<sub>1</sub>* e *Power<sub>2</sub>*. La forma dei piani di alimentazione è poi peculiare: il *Measure Benchmark* più essere diviso in tre diversi PCB ognuno con diverse caratteristiche. Questo accade perché i piani di alimentazione più interni (*Power<sub>10</sub>* e *Power<sub>20</sub>*) non si estendono lungo tutto il PCB, ma ne occupano rispettivamente gli ultimi due terzi o i primi due terzi (figura VII-6). Per questo motivo quando si ricavano i tre circuiti più piccoli da quello di figura VII-5 essi avranno ognuno un PDN diverso:

- Il PCB ricavato dalla parte sinistra (d'ora in poi chiamato *PCB<sub>1</sub>*) non comprende il layer *Power<sub>10</sub>*, per cui l'alimentazione *Power<sub>1</sub>* presenterà una distanza doppia fra power e ground plane rispetto all'alimentazione *Power<sub>2</sub>* mostrando quindi parassitismi di valore differente.
- Il PCB ottenuto dalla regione centrale (*PCB<sub>2</sub>*) è l'unico che presenta lo stack-up completo, quindi i due sistemi di alimentazione sono perfettamente equivalenti.
- Il PCB corrispondente al lato destro (*PCB<sub>3</sub>*) è simmetrico rispetto a *PCB<sub>1</sub>*: esso non comprende il piano *Power<sub>22</sub>* quindi l'alimentazione *Power<sub>2</sub>* presenterà distanza fra power e ground doppia rispetto a *Power<sub>1</sub>*.

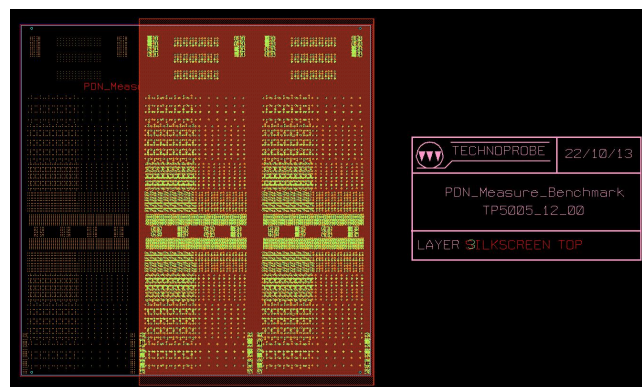
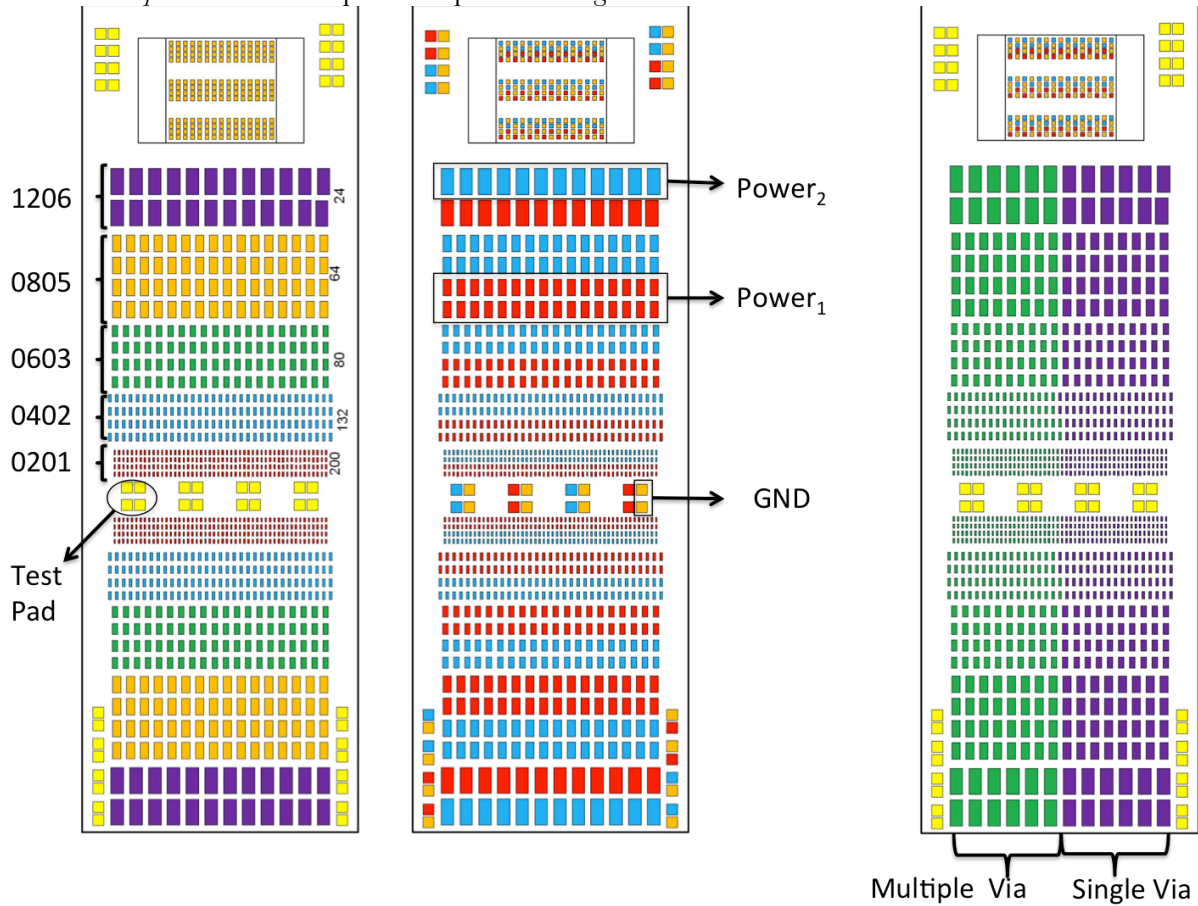


Figura VII-6: particolare del layer Power<sub>10</sub> dell'intero PCB PDN Measure Benchmark.

<sup>96</sup> Di fatto quelli riportati in tabella sono valori nominali, come descritto in seguito, i valori reali si discostano dai valori nominali.

Il campione è stato progettato in modo tale che ogni layer esterno contenga dei *pad* per la saldatura di condensatori di filtro di diverso *case*. Oltre a questa possibilità vi è anche la possibilità di scegliere a che alimentazione contattare il singolo condensatore e se contattarlo nella zona in cui i *pad* sono collegati ai *layer* interni da molti via (sinistra) o da un via singolo (destra), così da valutare anche l'effetto dei via stessi. Lo schema di *placement* del campione è riportato in figura VII-7.



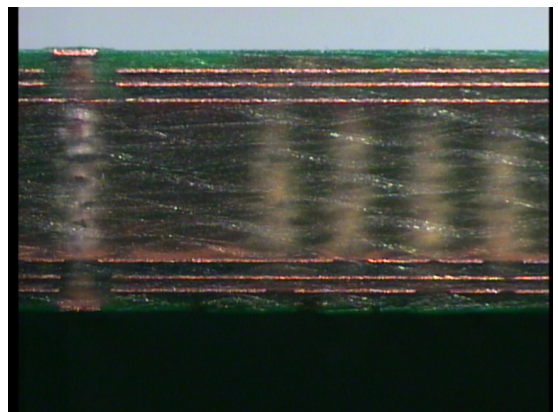
**Figura VII-7: placement di condensatori con diverso case (sinistra), disposizione delle alimentazioni sui layer esterni (centro), placement dei via (destra).**

Per avere una simulazione il più possibile corrispondente al caso reale sono state misurate le reali dimensioni del campione al microscopio ottico. Per fare questo è stato sezionato un campione ed è stato trattato con la carta vetrata per rimuovere tutto il truciolo e rendere la superficie il più possibile liscia e visibile.

In figura VII-8 è evidente lo stack-up del dispositivo ed è possibile distinguere tutti gli otto layer.

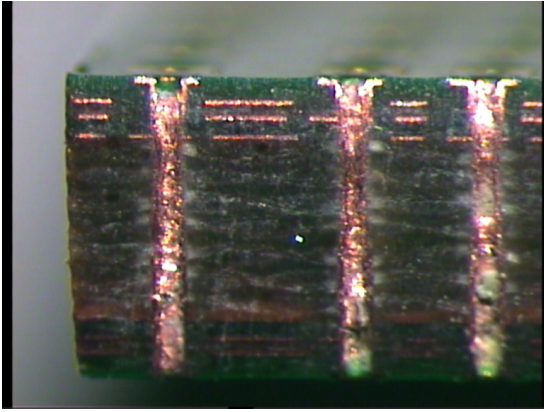
È possibile vedere più all'interno i via che connettono piani equipotenziali, ed inoltre è possibile distinguere a sinistra nell'immagine un pad del top layer. In corrispondenza del pad si vede come tutti i piani di alimentazione siano forati e come il via sia cortocircuitato a massa.

L'immagine permette di apprezzare anche la composizione del PCB, in particolare la matrice di fibra di vetro in cui è immersa la resina epossidica del FR-4 utilizzato come dielettrico.



**Figura VII-8: particolare dello stack-up del PDN Measure Benchmark.**





**Figura VII-9: particolare dei via del PDN Measure Benchmark.**

In figura VII-9 è riportata una seconda fotografia effettuata però concentrandosi sui via: è interessante notare l'intersezione fra i via e lo stack-up in quanto permette un loro immediato assegnamento: il primo via sulla sinistra è cortocircuitato solo al piano GND<sub>1</sub>, così come quello sulla destra, mentre il via centrale è cortocircuitato al layer Power<sub>11</sub>. È anche apprezzabile dalla parte superiore dell'immagine il fatto che i via sono cavi e lo spessore della loro placcatura.

Il microscopio utilizzato è dotato di un sistema di manipolatori e di un reticolo che permettono la misura delle lunghezze, ed attraverso questo sistema è stato possibile ricavare le dimensioni reali del PCB in esame:

<b>Dimensione</b>	<b>Valore</b>
<b>Power<sub>11</sub>-Power<sub>10</sub></b>	110μm
<b>Power<sub>10</sub>-GND<sub>1</sub></b>	85μm
<b>GND<sub>1</sub>-GND<sub>2</sub></b>	1250μm
<b>Spessore Rame</b>	18μm
<b>Raggio Esterno Via</b>	230μm
<b>Raggio Interno Via</b>	200μm

**Tabella VII-2: dimensioni reali del campione**

## VII.4. Setup Sperimentale

Per misurare i parametri S della rete è stato necessario allestire un setup sperimentale dedicato.

Inizialmente erano state costruite delle sonde che connettevano la terminazione del cavo coassiale in uscita dal VNA a due sonde ricavate da aghi *cantilever*, le quali venivano contattate al campione con l'ausilio di due micromanipolatori (figura VII-10).

A causa dell'alta induttanza delle sonde, lunghe dai 3 ai 4mm, saldate a stagno ai cavi coassiali, agli imprevedibili effetti dovuti alla saldatura ed a causa dell'elevato rumore introdotto da contattazioni non perfette degli aghi<sup>97</sup> le misure

risultavano estremamente rumorose ad alta frequenza e per questo si è dovuto scartare questo primo allestimento a favore di uno che fosse più robusto.

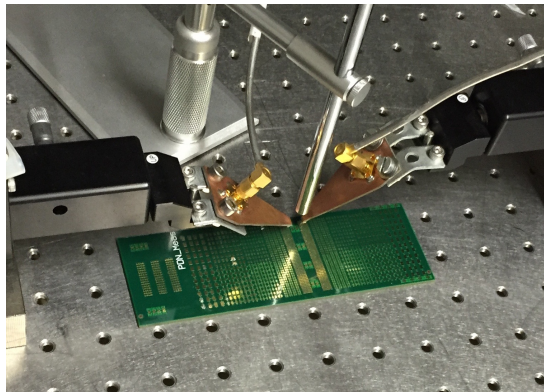


Figura VII-10: Primo setup sperimentale utilizzato.

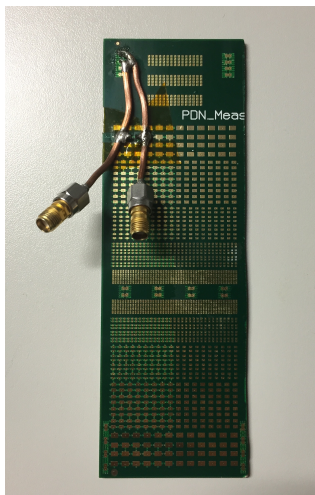


Figura VII-11: setup sperimentale definitivo.

La soluzione individuata è stata quella di saldare al PCB due cavi coassiali (fig. VII-11) direttamente saldati sui pad di alimentazione (reoforo) o di massa (camicia).

Questa soluzione mostra il sicuro vantaggio di non avere sonde mobili come gli aghi e di non avere percorsi in aria, limitando molto il rumore di misura, ma presenta anche due sostanziali limitazioni:

- Le sonde sono rigidamente connesse al PCB, per cui si è stati obbligati a effettuare numerose saldature e dissaldature dei condensatori sulla stessa scheda per ottenere le diverse configurazioni di filtraggio.

- A causa del fatto che le sonde sono state permanentemente saldate è stato necessario costruire anche un kit di calibratura dedicato, che riproducesse le due sezioni di cavo coassiale saldato sul campione, in quanto la procedura di calibratura standard prevede di porre le sonde di misura a diretto contatto con il kit di calibratura, che risultava impossibile. Naturalmente quanto fatto costituisce una calibratura approssimata, che si è dimostrata comunque accettabile nel range di frequenza delle misure in oggetto (kHz-GHz).

Il processo di calibratura del VNA consiste in una taratura di entrambe le porte (una alla volta) utilizzate in tre configurazioni standard e poi di una misura congiunta con entrambe le porte cortocircuitate fra loro.

È stato quindi necessario realizzare dei cavi coassiali di lunghezza esattamente uguale a quella dei coassiali saldati su PCB nelle seguenti configurazioni:

- *Open Circuit*: la camicia del cavo coassiale è stata cortocircuitata ad un foglio di rame, che funge da massa, mantenendo il reoforo flottante.
- *Short Circuit*: sia la camicia che il reoforo del cavo coassiale sono stati saldati alla massa.

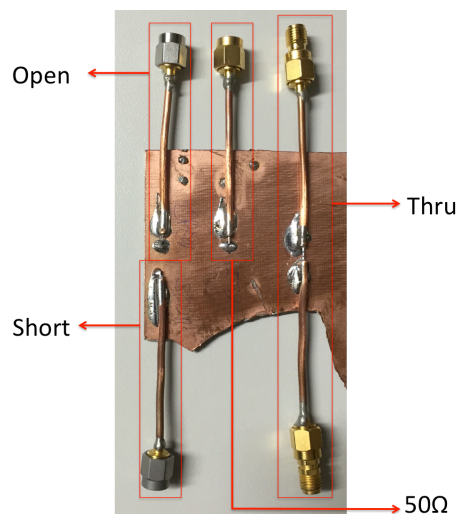
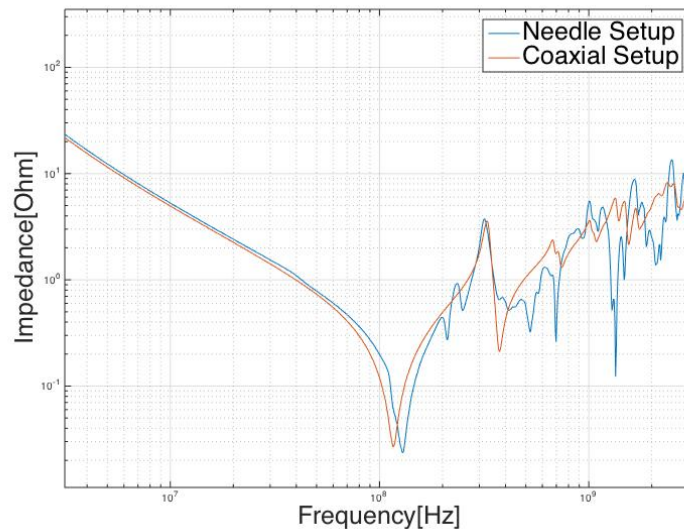


Figura VII-12: setup di calibrazione.

<sup>97</sup> Quando le sonde venivano prodotte o riparate, nonostante le ripetute fasi di lappatura a cui venivano sottoposti gli aghi si è rivelato impossibile ottenere il controllo desiderato sulla planarità, di conseguenza spesso uno degli aghi contattava prima dell'altro, portando a contattazioni imperfette alla rottura degli aghi.

- *Load*: la camicia del cavo coassiale è stata connessa alla massa, mentre il reoforo è collegato allo stesso morsetto attraverso un resistore da  $50\Omega$ .
- *Thru*: i reofori di due cavi coassiali sono stati cortocircuitati fra loro, così come entrambe le camicie, cortocircuitate a massa. Particolare attenzione è stata posta nel riprodurre esattamente la lunghezza della sezione libera (circa 1mm) del reoforo delle sonde utilizzata nel setup di misura.

La seconda soluzione si è rivelata decisamente migliore, specialmente alle alte frequenze, come mostrato in figura VII-13, in cui vengono confrontate due misure di impedenza del solo PCB senza alcun sistema di filtraggio. Le misure sono state effettuate prelevando il parametro  $S_{21}$  e ricavando l'impedenza tramite la (VII-7), in entrambi i casi in seguito a calibratura.



**Figura VII-13: confronto fra i due tipi di misura.**

L'andamento prelevato con le sonde ad ago (blu) risulta molto più rumoroso di quello preso da interconnessione a cavo coassiale (rosso), riducendo di molto il contenuto informativo: il contributo di rumore è talmente elevato da mascherare la risonanza presente a circa 400MHz e da distorcere la forma della risonanza principale a circa 100MHz. Sono osservabili anche ulteriori picchi in alta frequenza molto stretti e privi di alcun fondamento fisico.

I picchi rivelati sono le risonanze dei primi due ordini del piano di alimentazione: infatti come descritto nel capitolo precedente, tale struttura è perfettamente assimilabile ad un condensatore a facce piane e parallele ed inoltre in questo *range* di frequenze risuona con l'onda di corrente che lo investe mostrando un comportamento molto simile a quello di un condensatore reale. Il primo picco di risonanza interviene, come detto sopra, a circa 160MHz, mentre il picco corrispondente al secondo ordine interviene a 375MHz. L'elevata distanza fra i picchi porta alla presenza di una antirisonanza importante a 324MHz.

A frequenze più elevate prevale il comportamento induttivo del piano per cui l'impedenza è globalmente crescente con del rumore sovrapposto che maschera le risonanze di ordine superiore, aventi intensità molto minore di quelle mostrate.

Per questo motivo si è deciso di proseguire oltre sempre con il setup di misura di figura VII-11, applicando diversi sistemi filtranti, progettati in modo tale che coprissero il più possibile lo spettro delle frequenze in maniera progressiva.

Le misurazioni eseguite sono state le seguenti:

- $PCB_1$  con applicati cinque condensatori da 1nF con case 0805.
- $PCB_1$  con applicati cinque condensatori da 1nF e tre condensatori da 100nF entrambi con case 0805.

- $PCB_I$  con applicati cinque condensatori da 1nF, sei condensatori da 100nF ed un condensatore da 10 $\mu$ F tutti con case 0805<sup>98</sup>.
- $PCB_I$  con applicati cinque condensatori da 1nF, sei condensatori da 100nF, tre condensatori da 1 $\mu$ F ed un condensatore da 10 $\mu$ F tutti con case 0805.

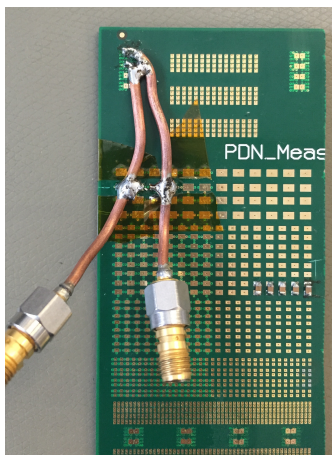
## VII.5. Risultati

Le misure hanno confermato l'effetto previsto del sistema di filtraggio. Confrontando l'impedenza del solo PCB con quella dello stesso con applicati condensatori da 1nF (fig.VII-14) , è evidente l'effetto delle capacità: è presente una risonanza aggiuntiva rispetto al caso bulk dovuta alla presenza dei condensatori, di intensità minore (maggiore resistenza) rispetto alla risonanza di primo ordine del piano stesso: questo è dovuto al fatto che il piano si presenta come meno resistivo rispetto al parallelo dei tre condensatori. La risonanza di un condensatore reale porta ad una impedenza minima che è pari alla sua resistenza, quindi e per il piano di alimentazione si avrà:

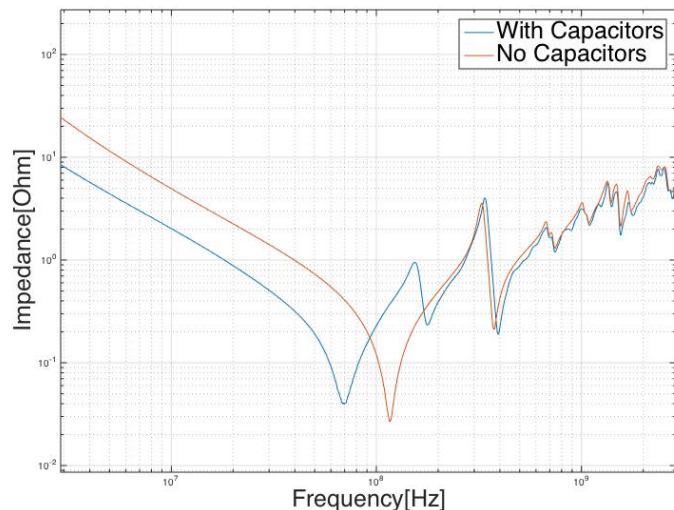
$$R_{plane}^{res} \approx 20m\Omega$$

qualitativamente in accordo con i valori riportati in figura.

A frequenze inferiori rispetto alla prima risonanza (fino a circa 100MHz), l'impedenza risulta diminuita ovunque di un fattore 4. Questo è conseguenza del fatto che la frequenza di risonanza dei condensatori applicati è molto simile a quella del piano, di conseguenza il risultato dei due effetti è una traslazione della risonanza del piano verso frequenze minori. Dovendo mantenere invariata la pendenza del grafico<sup>99</sup> il risultato netto è una diminuzione sistematica dell'impedenza della rete.



**Figura VII-15: setup sperimentale utilizzato.**



**Figura VII-14: confronto fra PCB con e senza sistema filtrante.**

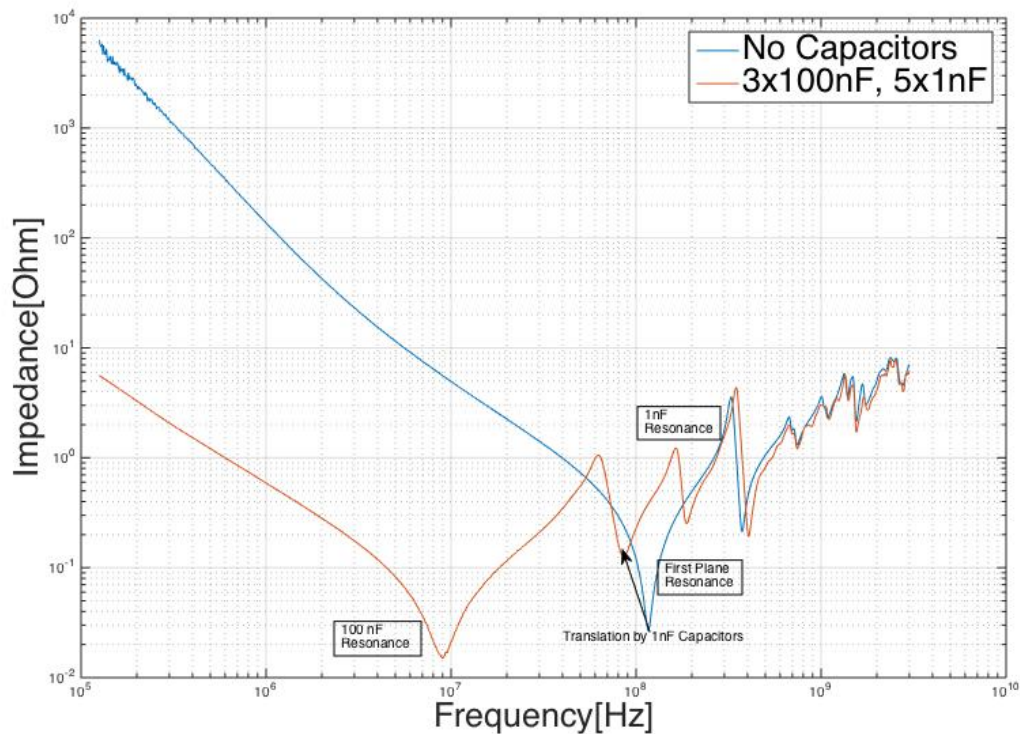
L'unico effetto negativo introdotto dalla presenza dei condensatori è una leggera antirisonanza fra i primi due picchi. Il filtraggio inoltre non ha sortito alcun effetto sull'antirisonanza dovuta alla presenza del picco del secondo ordine, per cui occorrono dispositivi agenti a frequenze superiori.

È necessario sottolineare come questo intervallo di frequenza (oltre i 500MHz) sia di scarso interesse per applicazioni EWS, e che raramente il controllo di impedenza è richiesto fino a questi valori, di conseguenza la presenza del picco di antirisonanza non costituisce problema. Inoltre a queste frequenze cominciano ad essere operative le capacità *on-die* che alterano ulteriormente il comportamento complessivo e le posizioni di queste antirisonanze ad alta frequenza.

<sup>98</sup> Questa misura in particolare ha come scopo quella di evidenziare una antirisonanza, infatti vi sono condensatori con valore di capacità distante due decadi, per cui si presenterà una antirisonanza molto piccola.

<sup>99</sup> Essa è infatti determinata dall'effetto capacitivo del piano, l'introduzione dei condensatori non varia la capacità del piano, quindi la pendenza deve conservarsi.

L'inserimento di condensatori di *decoupling* ha come scopo ultimo quello di regolare l'impedenza della rete mantenendola al di sotto di un valore assegnato,  $Z_{target}$  per un range di frequenza più ampio possibile. Come si vede da figura VII-14 i condensatori hanno sortito un effetto benefico, ma l'intervallo di frequenze in cui è sensibile il cambiamento è molto limitato. A causa della presenza degli aghi *non è possibile* estendere il controllo delle impedenze a valori più alti di frequenza (affidandolo quindi alle capacità *on-die*), ma è cruciale concentrare l'attenzione alle medie e basse frequenze, dove è anche più importante l'ampiezza della corrente commutata<sup>100</sup>, quindi intuitivamente sarà utile apporre condensatori con capacità via via crescente. Rimanendo su dispositivi ceramici poi, aumentando il valore di capacità, intuitivamente è ragionevole aspettarsi risonanze via via con resistenza minore in quanto mantenendo il case invariato aumentando la



**Figura VII-16: confronto fra misure diverse. In blu impedenza del PCB senza filtraggio, in rosso impedenza dello stesso PCB con saldati tre condensatori da 100nF e cinque da 5nF.**

<sup>100</sup> Nel range delle medio basse frequenze infatti si hanno le commutazione di corrente più elevate: i link differenziali ad altissima velocità infatti assorbono una corrente quasi costante dalle alimentazioni, quindi il rumore di commutazione sarà minore.

capacità diminuisce il valore della resistenza, aumentando quindi il fattore di qualità della risonanza<sup>101</sup>.

A tale proposito è stata effettuata una seconda misura, in cui sono stati aggiunti ai dispositivi già esistenti anche tre condensatori, anch'essi con case 0805 ma di valore di 100nF, i cui risultati sono riportati in figura VII-16. La risonanza introdotta risulta molto più larga delle precedenti ed avviene circa due decadi prima di quella dei condensatori da 1nF, come prevedibile<sup>102</sup>.

Questa misura mostra un effetto molto importante: nonostante il sistema di filtraggio consista di condensatori con capacità distanti due decadi il profilo non mostra picchi di antirisonanza elevati. Il motivo di questo è da ricercarsi nell'azione filtrante del piano: esso risona a frequenze intermedie fra le due capacità (100MHz in assenza di condensatori, 85 MHz in presenza di condensatori), di conseguenza agisce come un terzo filtro che concorre a mantenere l'impedenza bassa. Questo effetto può quindi essere sfruttato nel caso di PCB con piani di alimentazioni di grandi dimensioni<sup>103</sup>, in quanto essi stessi intrinsecamente svolgono la funzione di filtro in un certo intervallo di frequenze.

Rispetto al caso senza condensatori vi è anche la differenza che la risonanza del piano di alimentazione è meno intensa, così come quella dei condensatori da 1nF a causa dell'interazione con i 100nF messi in parallelo. Questo mostra come infatti per avere un filtraggio efficace in presenza di capacità di valori molto diversi è meglio avere un numero molto più elevato di condensatori a bassa capacità, in quanto tendenzialmente il loro effetto viene sovrastato da quello dovuto a capacità più elevate.

Nonostante questo, il profilo di impedenza della rete a basse frequenze risulta notevolmente migliorato rispetto al caso di figura VII-14, nonostante l'intervallo in cui essa risulta controllata è ancora limitato circa a due decadi (da 10MHz a 1GHz).

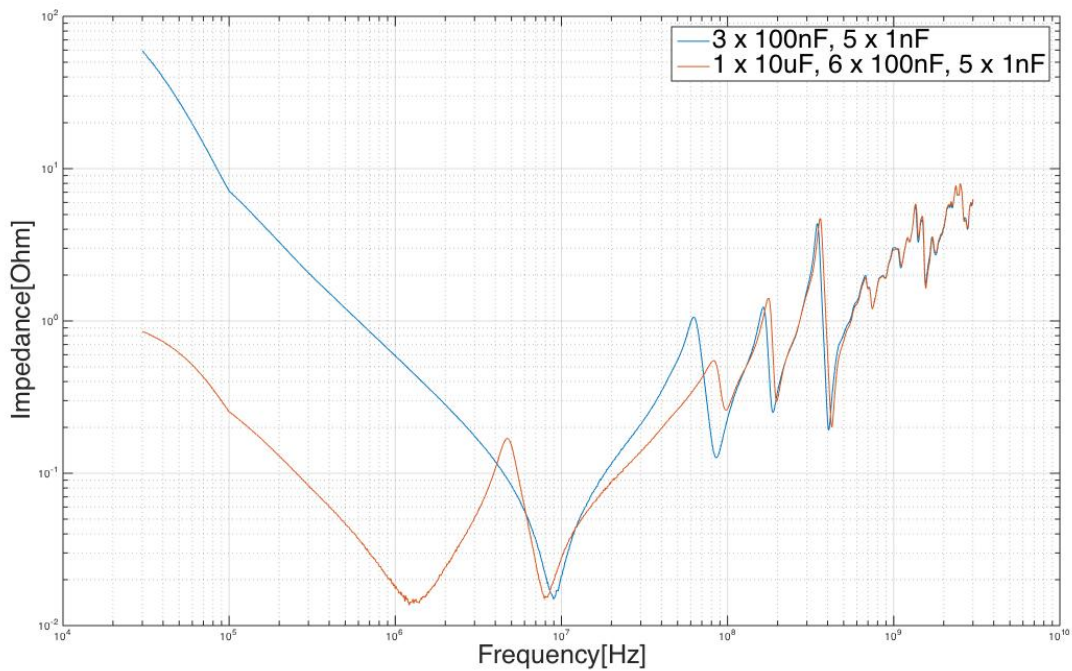
Per evidenziare maggiormente l'effetto negativo delle antirisonanze bisogna quindi spostarsi verso frequenze più basse ed evitare così l'effetto filtrante del piano. Per fare questo è stata effettuata una ulteriore misura, aggiungendo un condensatore di capacità 100 volte maggiore dei 100nF presenti ma con stesso case: 10µF. Nel fare questo è stato però necessario incrementare il numero di condensatori da 100nF, per essere certi di avere una risonanza ben visibile.

---

<sup>101</sup> Intuitivamente questo avviene perché il case individua le dimensioni planari del condensatore, mentre per aumentare la capacità viene aumentata l'altezza del dispositivo. Nel fare questo si aumenta l'area delle armature diminuendo la resistenza, dalla (VI-9).

<sup>102</sup> La capacità varia fra i due casi di un fattore 100, mentre gli altri parametri rimangono dello stesso ordine di grandezza.

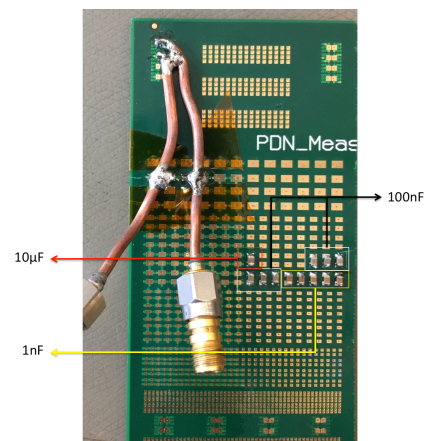
<sup>103</sup> All'atto pratico questa limitazione è fondamentale: piani di alimentazione piccoli, come nel caso di MLO, risonano a frequenze molto elevate e con resistenze troppo alte per avere un effetto filtrante apprezzabile. Questo è uno dei motivi per cui nei simulatori per prelayout attuali l'effetto capacitivo (e quindi risonante) dei piani di alimentazione viene trascurato.



**Figura VII-17: confronto fra misure diverse. In blu caso con 3 x 100nF e 5 x 1nF, in rosso 1 x 10µF, 6 x 100nF, 5 x 1nF, tutti 0805.**

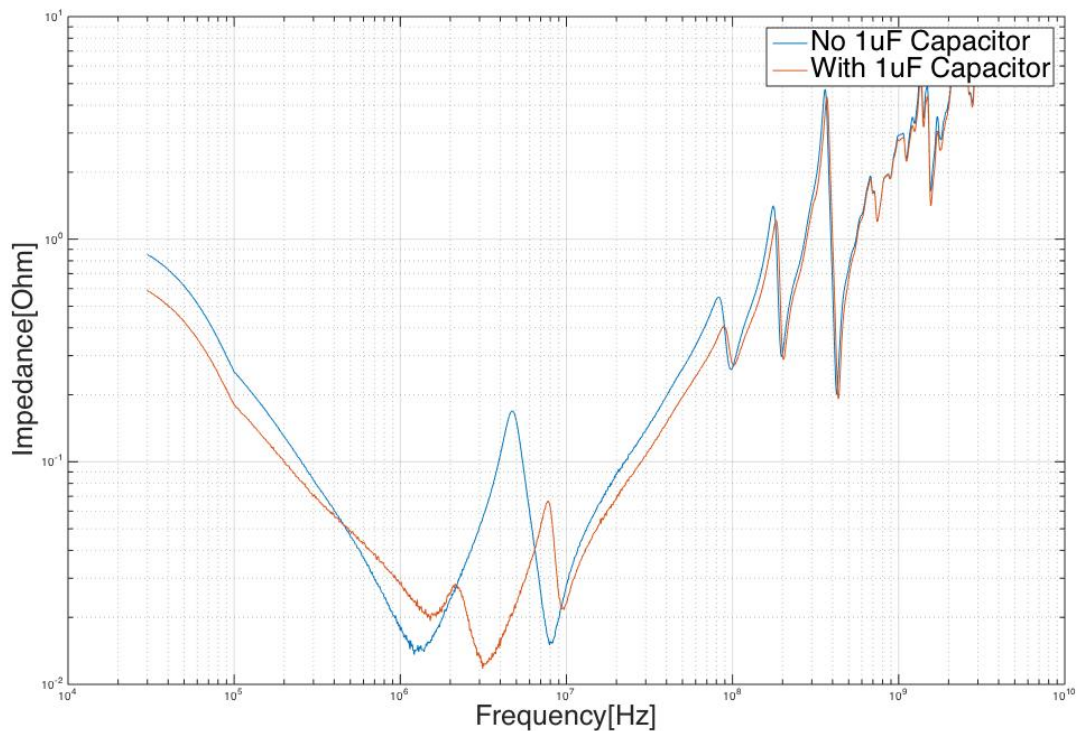
I risultati di questa misura sono riportati in figura VII-17: alle alte frequenze l'andamento ricalca quello della misura precedente, con però in aggiunta la larga risonanza figlia del condensatore da 10µF. In questo caso l'antirisonanza è un effetto evidente. Essa di fatto impedisce di avere un intervallo lungo ad impedenza controllata ma lo "spezza" in due sottointervalli più piccoli, rendendo inutile il sistema di filtraggio.

Per eliminare l'antirisonanza occorre porre fra i condensatori da 10µF e quelli da 100nF almeno un valore intermedio che filtri il picco, come ad esempio 1µF. Mantenendo invariato il resto del setup totale sono stati aggiunti tre dispositivi da 1µF filtrando in questo modo l'antirisonanza ed ottenendo quindi un profilo di impedenza più dolce (figura VII-19).



**Figura VII-18: setup di misura relativo a figura VII-17.**

La figura mostra come l'andamento a bassa frequenza sostanzialmente non vari in seguito all'aggiunta di condensatori da 1µF in quanto è determinata dalle capacità maggiori, ma anche che la loro presenza ha sostanzialmente eliminato l'antirisonanza ed ha diminuito l'incidenza dei condensatori da 100nF.



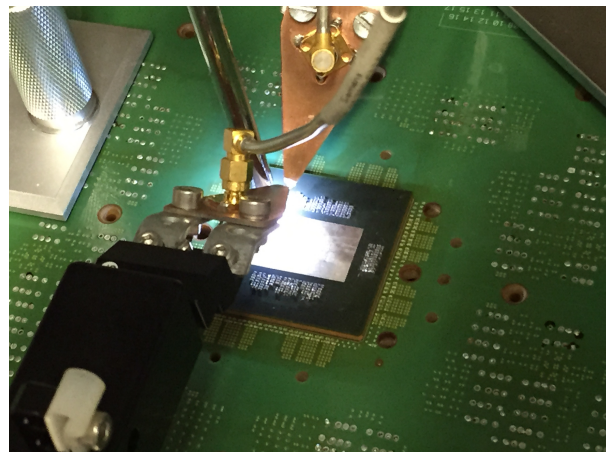
**Figura VII-19: confronto fra misure. in blu 1 x 10F, 6 x 100nF, 5 x 1nF, in rosso 1 x 10pF, 1 x 1pF, 6 x 100nF, 5 x 1nF.**

## VII.6. Misurazione del PDN di una Probe Card Reale

Nel contesto della campagna sperimentale qui descritta si è scelto di effettuare delle misure di impedenza anche del sistema di alimentazione di una vera Probe Card. Per fare questo si è scelto di utilizzare un modello prodotto da *Technoprobe*, chiamata *TP\_5005\_69\_00*.

Questa Probe Card di grandi dimensioni, presenta una interconnessione attraverso MLO, (substrato più scuro al centro), fissato al PCB attraverso un sistema BGA, e garantisce la possibilità di testare in contemporanea fino ad 8 dispositivi.

Per misurare i parametri S di una alimentazione principale di questo dispositivo è stato necessario applicare le porte dello strumento proprio sull'MLO, in corrispondenza di uno dei condensatori di filtro presenti. Tali condensatori sono di dimensioni molto ridotte (case 0402) di conseguenza è stato impossibile saldare direttamente sulla scheda i cavi coassiali necessari ad effettuare la misura, e si è dovuto ricorrere ad un sistema di sonde e micromanipolatori, accettando un andamento più rumoroso. Il setup utilizzato è riportato in figura VII-20.



**Figura VII-20: particolare del setup di misura.**



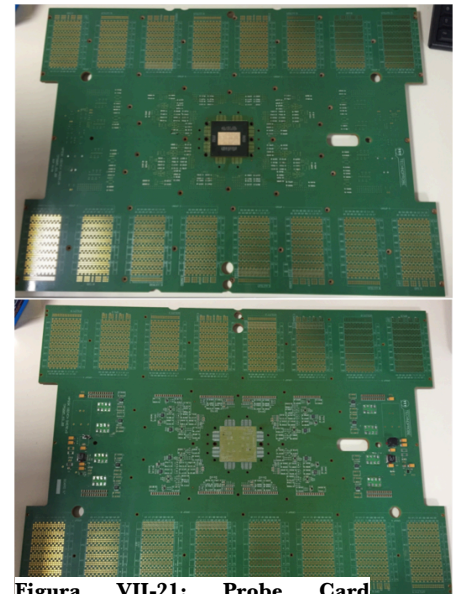
## VII.6.i. Struttura dell'Alimentazione Selezionata

In una Probe Card sono presenti molti PDN, in quanto ogni D.U.T. necessita di numerose alimentazioni; in particolare questo modello presenta la possibilità di testare in parallelo 8 dispositivi differenti.

La misura di impedenza è stata effettuata su una alimentazione principale del D.U.T. 7, la quale presenta un power plane interposto a due masse sull'MLO, e la stessa struttura sul PCB, con 52 via in ingresso ed uscita da entrambi i piani.

Il sistema di filtraggio è costituito da sei condensatori da 1 $\mu$ F di case molto piccolo, 0402, sull'MLO e da due condensatori da 22 $\mu$ F di case 1206 posti sul PCB.

Nella tabella seguente è riportata la struttura del PDN dell'alimentazione descritta come ricavata dalla documentazione dei suoi componenti:



**Figura VII-21: Probe Card misurata. In alto vista probe side, tester side in basso.**

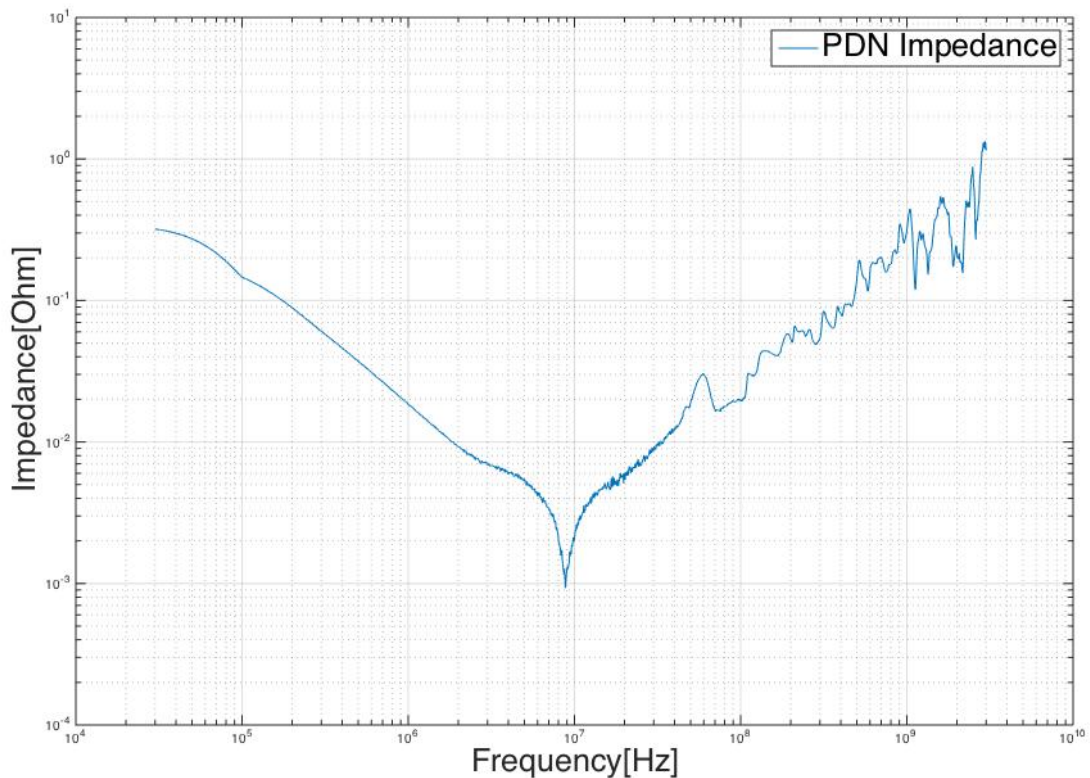
Parametro	MLO	PCB
<b>Lunghezza</b>	1.76cm	19.3cm
<b>Larghezza</b>	1.3cm	21.4cm
<b>Metallo</b>	Cu	Cu
<b>Altezza Metallo</b>	18 $\mu$ m	17 $\mu$ m
<b>Dielettrico</b>	FR-4	A-PPE_100
<b>Altezza Dielettrico</b>	100 $\mu$ m	75 $\mu$ m
<b>Configurazione di Massa<sup>104</sup></b>	Due GND Equidistanti	Due GND Equidistanti
<b>Diametro dei Via</b>	210 $\mu$ m	200 $\mu$ m
<b>Altezza dei Via Verso Tester</b>	1.81mm	5.35mm
<b>Altezza dei Via Verso Sonde</b>	187 $\mu$ m	624 $\mu$ m
<b>Pitch</b>	800 $\mu$ m	1.5mm <sup>105</sup>

**Tabella VII-3: dimensioni e materiali della Probe Card analizzata.**

<sup>104</sup> Nel caso in cui vi sia un piano di alimentazione frapposto a due masse equidistanti, la capacità sarà dimezzata e l'induttanza raddoppierà rispetto al caso in cui è presente un solo GND.

<sup>105</sup> In corrispondenza del Pogo Pin

## VII.6.ii. Risultati



**Figura VII-22: Impedenza Misurata del sistema di alimentazione selezionato.**

Come visibile dalla figura il profilo di impedenza presenta un picco molto pronunciato in corrispondenza di 10MHz, dovuto alla presenza dei sei condensatori da  $1\mu\text{F}$  presenti sull'MLO. È visibile anche un effetto dei condensatori da  $22\mu\text{F}$  posti sul PCB, che causano il cambio di pendenza della curva a circa 2MHz. Non essendo stata montata la Probe Head sulla scheda essa presenta un PDN con una impedenza in generale molto bassa, che arriva a toccare  $1\text{m}\Omega$  in corrispondenza del minimo.

L'andamento qualitativo è in accordo con quanto prevedibile: in bassa frequenza il contributo è principalmente capacitivo e figlio dei condensatori montati come filtraggio, mentre in alta frequenza le induttanze dei vari componenti diventano dominanti, riportando l'impedenza totale verso alti valori.

# VIII. Elaborazione del Modello Circuitale e Simulazione

## VIII.1. Introduzione

Dopo aver elaborato la struttura del software di simulazione ed aver delineato un modello fisico per ogni componente circuitale è stato necessario generare una rete a parametri concentrati che mettesse insieme i vari componenti elettronici nella maniera più descrittiva possibile.

Per fare questo sono stati utilizzati come riferimento i risultati delle misure mostrate nel capitolo VII per quanto riguarda i componenti che vi compaiono, mentre ci si è riferiti principalmente all'andamento qualitativo noto per quanto riguarda dispositivi peculiari del mondo EWS, in particolare i *Probe Needles*.

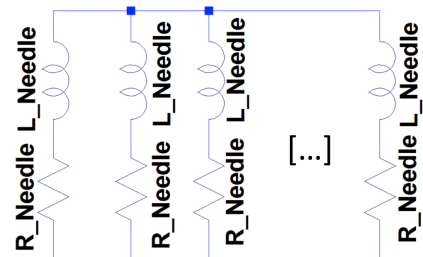
Una volta ottenuto un modello circuitale per ogni componente si è passati a connettere i vari stadi per ottenere un circuito elettrico ricalcante l'intero *Power Delivery Network* di una *Probe Card*.

## VIII.2 Modello a Parametri Concentrati dei Componenti

### VIII.2.i. Probe Head

I parassitismi introdotti dal singolo ago sono principalmente di tipo resistivo ed induttivo<sup>106</sup>. A causa della loro ridotta area e della loro lunghezza essi sono il componente che mostra il valore più elevato di parassitismi di questo tipo. Tipicamente un singolo ago può presentare una resistenza da 90mΩ a 1Ω, ed una *loop inductance* di alcuni nH, molto elevate rispetto agli altri elementi circuitali.

Per questo motivo la resistenza in continua dell'intero PDN è in gran parte determinata da questo elemento, così come l'andamento in alta frequenza.



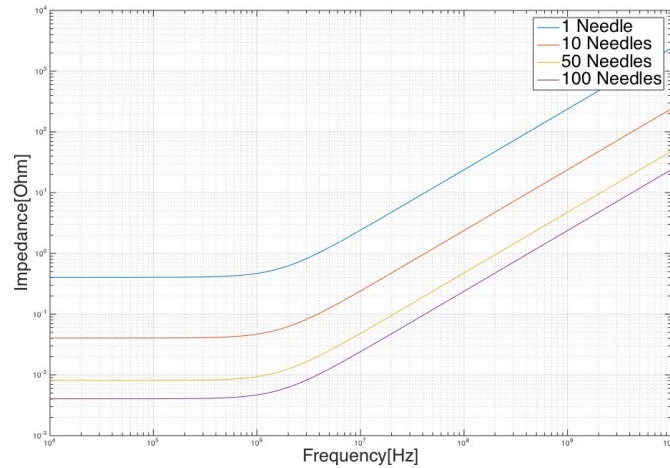
Il singolo ago per quanto detto sopra è possibile modellizzarlo con un circuito RL serie, e l'intera Probe Head sarà composta da  $n$  di queste serie fra loro in parallelo (fig. VIII-1). Secondo questo modello il numero di aghi assegnato ad un certo PDN determina la resistenza e l'induttanza dello stesso. Il numero di aghi di cui è composto il sistema di alimentazione può variare da pochi elementi fino ad alcune migliaia.

**Figura VIII-1: modello circuitale di Probe Head.**

In figura VIII-2 è stata simulata l'impedenza di una Probe Head nell'intervallo fra 10kHz e 10GHz, variando il numero di aghi, con il modello circuitale di figura VIII-1, in cui i parametri circuitali sono stati calcolati con la (VI-1) e la (VI-2).

La simulazione mostra come previsto che la resistenza DC della Probe Head diminuisce aumentando il numero di aghi e mostra anche il brusco aumento di impedenza oltre 1MHz dovuto al comportamento induttivo. Come anticipato nei capitoli precedenti questo andamento è il principale limite al controllo di impedenza del PDN, ed è il motivo per cui esso viene garantito raramente oltre le poche centinaia di MHz.

<sup>106</sup> Le sonde presentano anche un contributo capacitivo, di valore trascurabile rispetto a quello dovuto a condensatori e piani.



**Figura VIII-2: simulazione di impedenza di una Probe Head variando il numero di aghi.**

### VIII.2.ii. Via, BGA ed Interconnessioni Filate

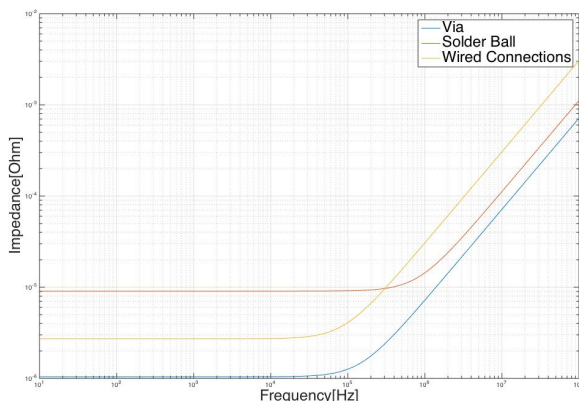
Così come per le sonde anche i via, le Solder Ball e le altre interconnessioni mostrano principalmente dei parassitismi induttivo-resistivi alle frequenze di interesse (trascurando la loro capacità), per cui il modello circuitale adottato sarà ancora una volta rete una RL serie per ogni componente.

Naturalmente ognuno degli elementi sopra elencati presenterà parassitismi di valore differente in base al modello fisico di riferimento.

Per valutare la differenza fra i vari casi è stata sviluppata una simulazione per ogni tipo di interconnessione mantenendo il pitch e numero di elementi uguale per ogni tipo di interconnessione. Nella tabella riportata sotto sono elencati i parametri geometrici e di materiale utilizzati per la simulazione. Per quanto riguarda i via essi sono i parametri ritrovati nel PCB utilizzato nelle misure del capitolo VII, per le Solder Ball i valori utilizzati sono valori tipici, così come per le filature:

Elemento	Materiale	Altezza	Raggio	Pitch	Numero
Via	Cu	85µm	200µm	1.1mm	50
Solder Ball	Sn <sub>90</sub> Pb <sub>10</sub>	500 µm	500µm	1.1mm	50
Filature	Cu	5mm	300µm	1.1mm	50

**Tabella VIII-1: geometrie simulate.**



**Figura VIII-3: confronto fra diverse interconnessioni simulate. In blu i via, in rosso le Solder Ball, in giallo interconnessioni filate.**

Il risultato è che a causa delle sue ridotte dimensioni il componente che introduce i meno parassitismi è il via<sup>107</sup>, mentre il più resistivo, a causa della sua geometria e della resistività più elevata, è la Solder Ball. Come prevedibile invece il contributo induttivo più intenso è quello dovuto alle interconnessioni filate, in quanto molto più lunghe delle altre due strutture analizzate (paragrafo VI.7).

<sup>107</sup> In questo ambito viene considerato come via solo la parte che connette i due layer. Nel caso reale sono presenti anche via che attraversano l'intero PCB, quindi possono attraversare fino a venti layer, ed in questo caso il loro comportamento può risultare peggiore di quello delle Solder Ball.

### VIII.2.iii. Power Planes

Come mostrato nei capitoli precedenti i piani di alimentazione mostrano forti accoppiamenti di tipo capacitivo ed induttivo con il loro più vicino ritorno di massa, presentano una resistenza variabile con la frequenza<sup>108</sup> a causa dell'effetto pelle. Le misure hanno anche mostrato come essi presentino risonanze tipiche di condensatori reali. Il modello circuitale che descriverà tali elementi dovrà quindi garantire le seguenti proprietà:

- La resistenza dovrà aumentare con la frequenza.
- Ad alta frequenza dovrà dominare un comportamento induttivo.
- Dovranno essere presenti risonanze analoghe a quelle di condensatori reali.

Verrà mostrato nel seguito il ragionamento eseguito per giungere alla modellizzazione risultante.

Dal momento che un condensatore reale viene modellizzato tramite un rete RLC, allora anche la componente risonante dei piani di alimentazione occorrerà modellizzarla in questo modo, conoscendo la capacità, data dalla (VI-8) e la frequenza di risonanza, ricavata con la (VI-7). Gli altri due parametri della rete sono fittizi ed utili a fare un fitting della risonanza reale, e possono essere ricavati tramite la teoria dei risonatori RLC serie:

$$f = \frac{1}{2\pi\sqrt{L_{res}C}} \Rightarrow L_{res} = \frac{(2\pi f)^2}{C} \quad (\text{VIII-1})$$

mentre

$$Q = \frac{1}{R_{res}} \sqrt{\frac{L}{C}} = \frac{1}{R_{res}C} \frac{1}{2\pi f} \Rightarrow R_{res} = \frac{1}{2\pi f C Q} \quad (\text{VIII-2})$$

con Q fattore di merito della risonanza, posto per semplicità a Q=0.5. Il modello proposto per soddisfare tutte le proprietà sopra elencate è quello di figura VIII-4.

E' stata effettuata una simulazione di questo tipo di struttura, con i parametri circuitali calcolati tramite le equazioni del capitolo VI, insieme con le (VIII-1) e (VIII-2). La geometria simulata è quella del Benchmark di misura descritto nel capitolo VII. Inizialmente non si è voluto includere il circuito a scala indicante lo *skin effect* in quanto ci si è voluti concentrare inizialmente sulla correttezza qualitativa del modello, per poi effettuare un *fine tuning* finale.

Il risultato della simulazione è riportato in figura VIII-5.

Essa è qualitativamente in accordo con i punti elencati ad inizio paragrafo (tranne per quanto concerne la resistenza, che verrà inclusa nel seguito), in particolar modo per quanto concerne il comportamento agli estremi.

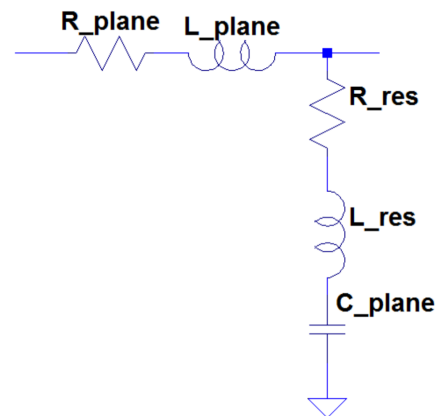
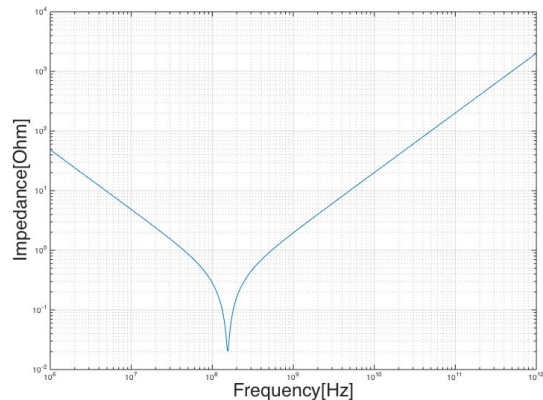


Figura VIII-4: primo modello di piano di alimentazione.

<sup>108</sup> Ogni componente è vittima di skin effect, ma esso ha un effetto non trascurabile solo nei piani di alimentazione.

il risultato di figura risulta qualitativamente corretto sebbene non descriva un effetto di primaria importanza, cioè quello della risonanza del secondo ordine del piano. A causa del suo effetto filtrante alle alte frequenze essa effettua uno smorzamento sulle antirisonanze, di conseguenza se non viene inclusa il modello presenterà dei picchi molto elevati in alta frequenza non corrispondenti ad alcun fenomeno fisico.

Al fine di introdurre anche la seconda risonanza nel modello a parametri concentrati occorre effettuare delle importanti considerazioni:



**Figura VIII-5: simulazione corrispondente al circuito di figura VIII-4.**

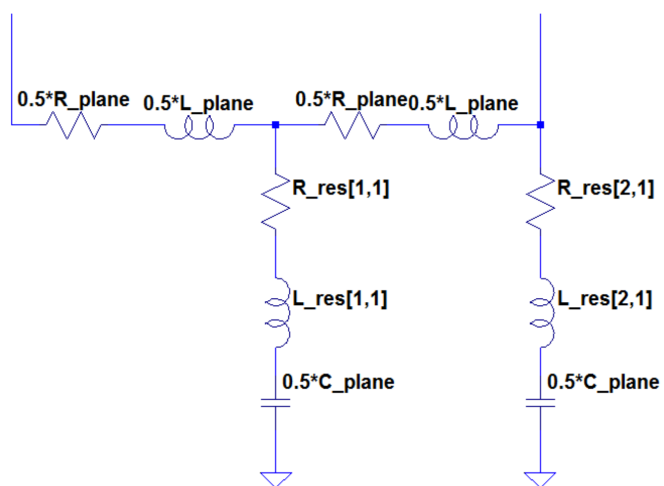
- Dovendo introdurre una ulteriore risonanza, nel modello dovrà essere inclusa una ulteriore rete di tipo RLC con parametri variati rispetto al caso precedente.
- Il comportamento agli estremi dovrà essere conservato, quindi in regioni in frequenza lontane dalle risonanze il comportamento della struttura dovrà rimanere qualitativamente invariato: in continua ad esempio la struttura potrà essere assimilata ad un resistore, di resistenza uguale sia nel caso con una risonanza che in quello con due.
- Entrambe le risonanze sono dovute alla presenza di una capacità, di conseguenza entrambe le reti RLC dovranno presentare un condensatore nella serie, con il vincolo che la capacità totale dovrà essere pari a quella calcolata tramite la (VI-8). Dal momento che capacità in parallelo si sommano, nel generare la nuova rete dovrà valere che:

$$C_{1,1} + C_{2,2} = C_{plane}$$

con  $C_{1,1}$  capacità della prima rete RLC e  $C_{2,2}$  quella della seconda. Questo vincolo è necessario per garantire la conservazione dell'energia: se entrambe le capacità avessero come valore quello del piano allora a parità di differenza di potenziale applicata il piano accumulerebbe il doppio della carica rispetto al caso reale. Per semplicità si è preso  $C_{1,1} = C_{2,2} = 0.5 C_{plane}$ .

Per descrivere questa situazione si è adottato come approccio quello di “distribuire i parametri”: durante la propagazione la corrente deve vedere una resistenza ed una induttanza uguale nei due casi, ma devono essere presenti due reti RLC serie al posto di una, di conseguenza si è deciso di dividere il resistore di valore  $R_{plane}$  e l'induttore di valore  $L_{plane}$  in due componenti di valore dimezzato e porre in serie ad ogni blocco RL ottenuto le reti RLC, con parassitismi  $R_{res}$  ed  $L_{res}$  calcolati in un caso a partire dalla frequenza del primo ordine, mentre nel secondo caso calcolati da  $f(2,1)$ .

Il modello è consistente in quanto in continua i condensatori si comportano come un circuito aperto, e gli induttori da corto circuito, di conseguenza gli unici componenti rimasti a connettere ingresso ed uscita saranno due resistori in serie di valore

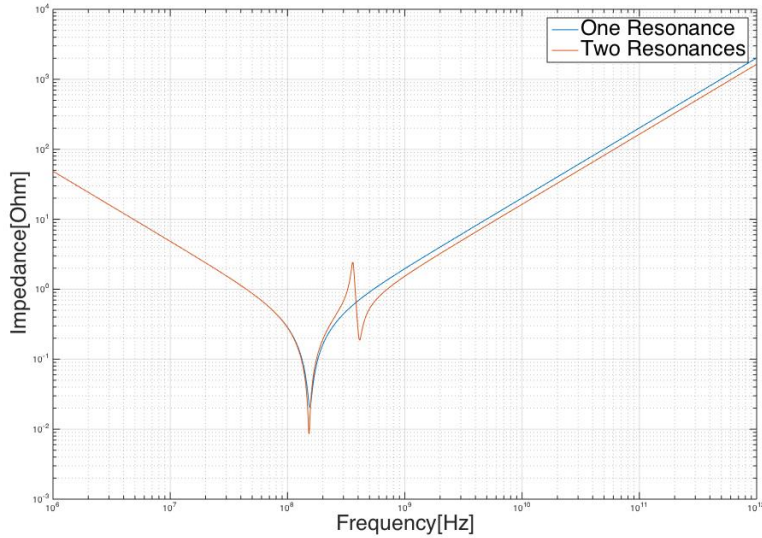


**Figura VIII-6: modello circuitale comprensivo di due risonanze.**

$0.5R_{\text{plane}}$  ciascuno.

Il modello circuitale è riportato in figura VIII-6.

Il risultato della simulazione eseguita con gli stessi parametri di quella di figura VIII-5 è riportato in seguito, sovrapposto con il modello avente una sola rete RLC:

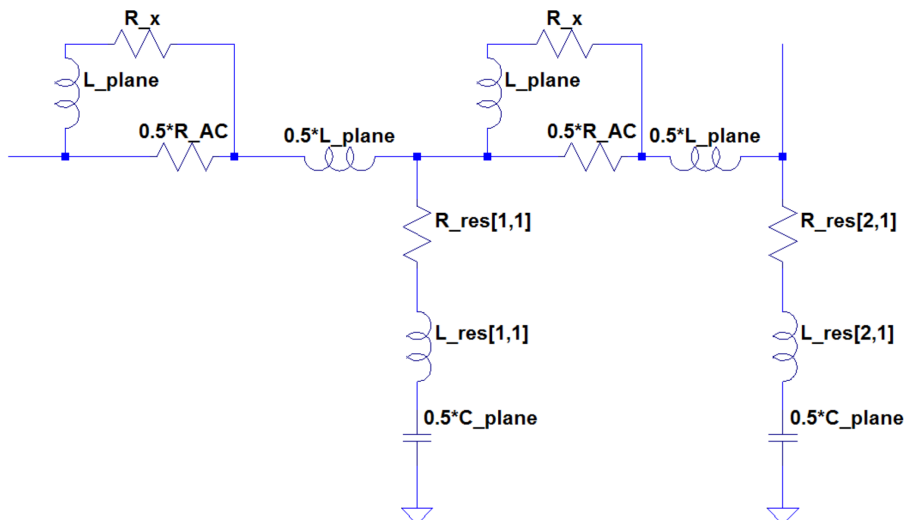


**Figura VIII-7: confronto fra simulazioni dei due diversi modelli circuitali.**

La seconda risonanza ha introdotto un ulteriore picco filtrante nel piano, diminuendo l'impedenza ad alte frequenze. Il motivo è che il nuovo picco è traslato più a destra di quello del primo ordine e dal momento che la pendenza della curva dopo il picco dipende solamente dall'induttanza del piano (che non è stata modificata) essa si dovrà conservare, portando ad una riduzione dell'impedenza ad ogni frequenza.

I picchi di figura VIII-7 (specialmente quello del primo ordine di risonanza) presentano minimi talmente pronunciati da risultare irrealistici: manca infatti un effetto che funga da “smorzamento” delle risonanze. Dal momento che il minimo di un picco corrisponde al valore di resistenza della rete, è evidente che per rendere il picco meno pronunciato occorrerà includere un effetto di incremento della resistenza che non ancora descritto: lo *skin effect*.

La modalità con cui descrivere questo effetto è stata descritta nel paragrafo IV.3.iii. ed in base a quelle considerazioni il modello di piano di alimentazione diventa:

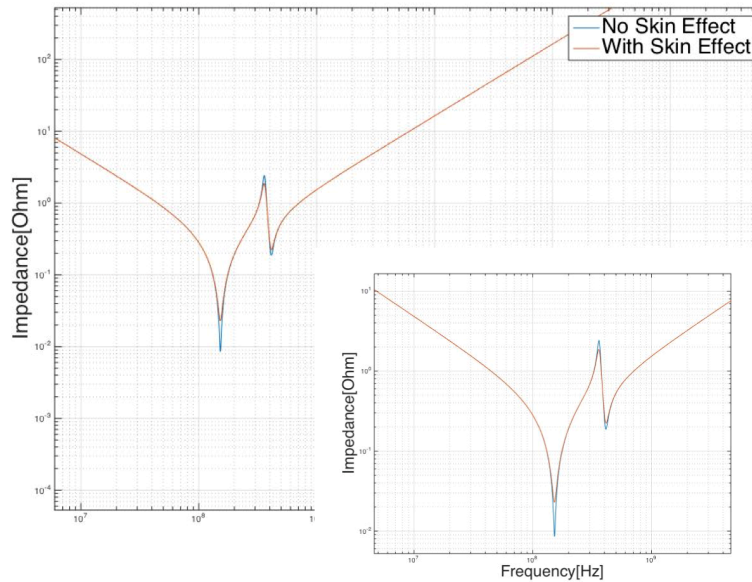


**Figura VIII-8: modello circuitale completo di effetto pelle.**

Calcolando i parametri di resistenza con le equazioni (VI-9) , (VI-15) e (VI-17), in particolare si avrà:

$$R_x^{half-plane} = \frac{\frac{R_{AC} R_{DC}}{2} \frac{R_{DC}}{2}}{\frac{R_{AC}}{2} - \frac{R_{DC}}{2}} = \frac{1}{2} \frac{R_{AC} R_{DC}}{R_{AC} - R_{DC}} = \frac{R_x}{2} \quad (\text{VIII-3})$$

simulando il circuito di figura VIII-8:



**Figura VIII-9: confronto fra simulazione con e senza skin effect.**

Il circuito a scala ha permesso di ottenere andamenti più smorzati delle risonanze, mantenendo invariati i comportamenti agli estremi, come mostrato in figura VIII-9.

In particolare è evidente il contributo smorzante dell'effetto pelle sulla prima risonanza, alzandone il minimo di circa 3dB. Vi sono anche degli effetti sull'antirisonanza e sul secondo picco, sebbene di intensità decisamente minore.

Il modello di piano di figura VIII-8 descrive tutti i fenomeni fisici che compaiono durante la conduzione all'interno dei piani di alimentazione. Osservando che gli eventuali condensatori di filtro saranno sempre in parallelo alle reti RLC utilizzate per descrivere le risonanze si può concludere a questo punto che si dispone di tutti gli strumenti per formalizzare un modello a parametri concentrati che descriva il sistema di alimentazione di una Probe Card.



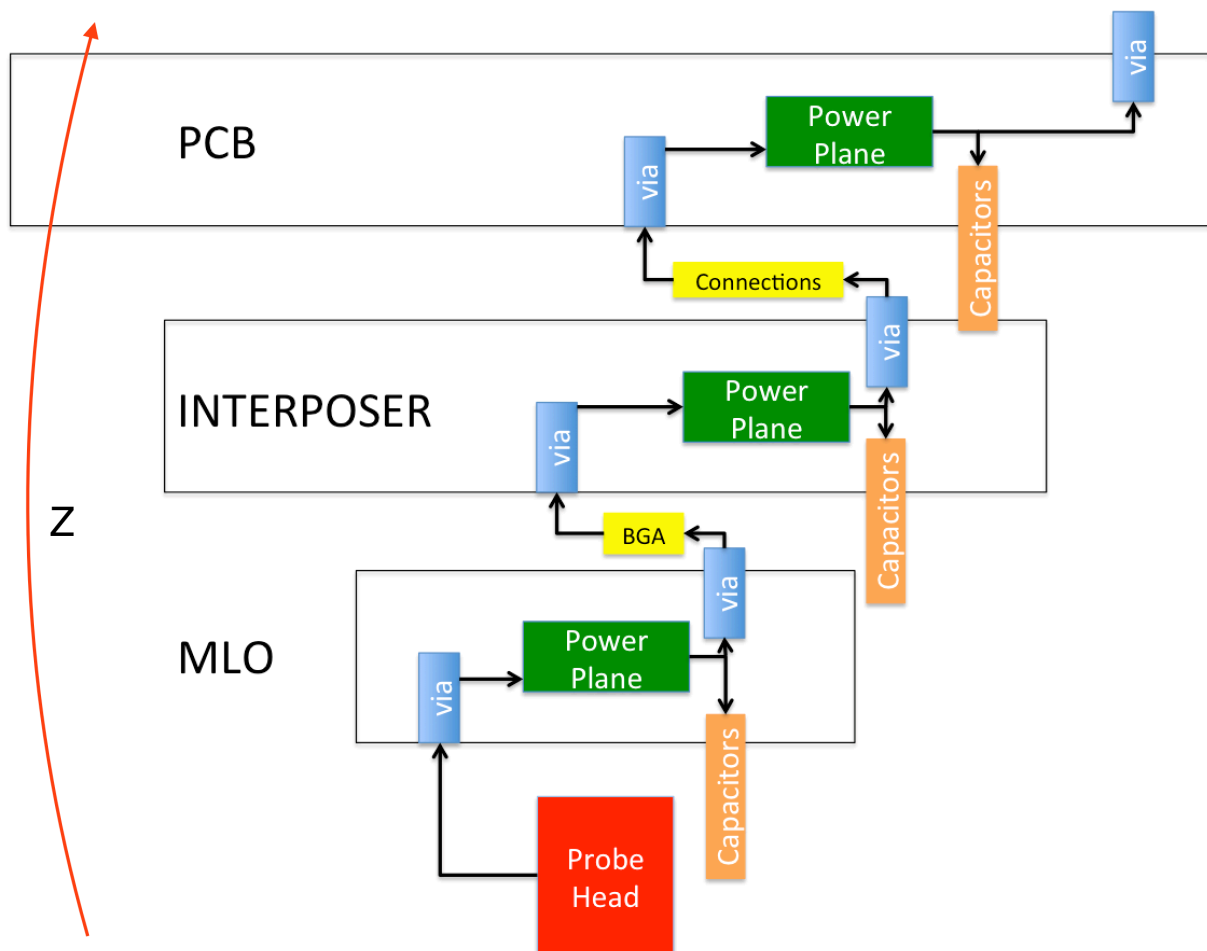
### VIII.3. Modello a Parametri Concentrati del PDN di una Probe Card

Il PDN di una Probe Card è, al massimo della sua complessità, composta nel modo seguente: inizialmente il segnale di alimentazione viene portato dal Pogo Pin attraverso una serie di via che lo trasferiscono all'interno del *power plane* del PCB. Altri via trasferiscono la corrente a delle interconnessioni che la portano al piano di alimentazione dell'Interposer. Dall'Interposer viene ripetuto lo stesso schema di via, piano ed altri via fino agli aghi della Probe Head.

Sui piani di alimentazione sono posti i siti di montaggio dei condensatori. Il presente modello essendo a parametri concentrati non è in grado di distinguere spazialmente le posizioni dei siti di montaggio<sup>109</sup>, per cui di fatto saranno distinguibili solamente tre generiche posizioni: sul MLO, sull'Interposer e sul PCB.

Lo schematico ricavato presenta come interconnessioni un BGA fra MLO ed Interposer ed una serie di interconnessioni filate fra Interposer e PCB. Sebbene l'implementazione sia fissa è in realtà possibile generare combinazioni differenti, in quanto ogni elemento circuitale può essere estromesso dallo schematico impostando a zero i suoi valori geometrici. In questo caso il circuito prosegue ignorando tale elemento, per cui risulta possibile ad esempio generare un circuito che preveda la saldatura di MLO su PCB attraverso BGA in assenza di Interposer, oppure è possibile modellizzare una tecnologia *Wired Space Transformer* omettendo tutti gli elementi fra Probe Head e PCB a parte le interconnessioni filate.

È riportato in figura VIII-10 lo schema circuitale utilizzato dal software per simulare l'intero Power Delivery Network di una Probe Card:



<sup>109</sup> È il principale svantaggio dei modelli a parametri concentrati. Non essendo influente l'ordine di elementi in serie si perde la sensibilità spaziale dei fenomeni.

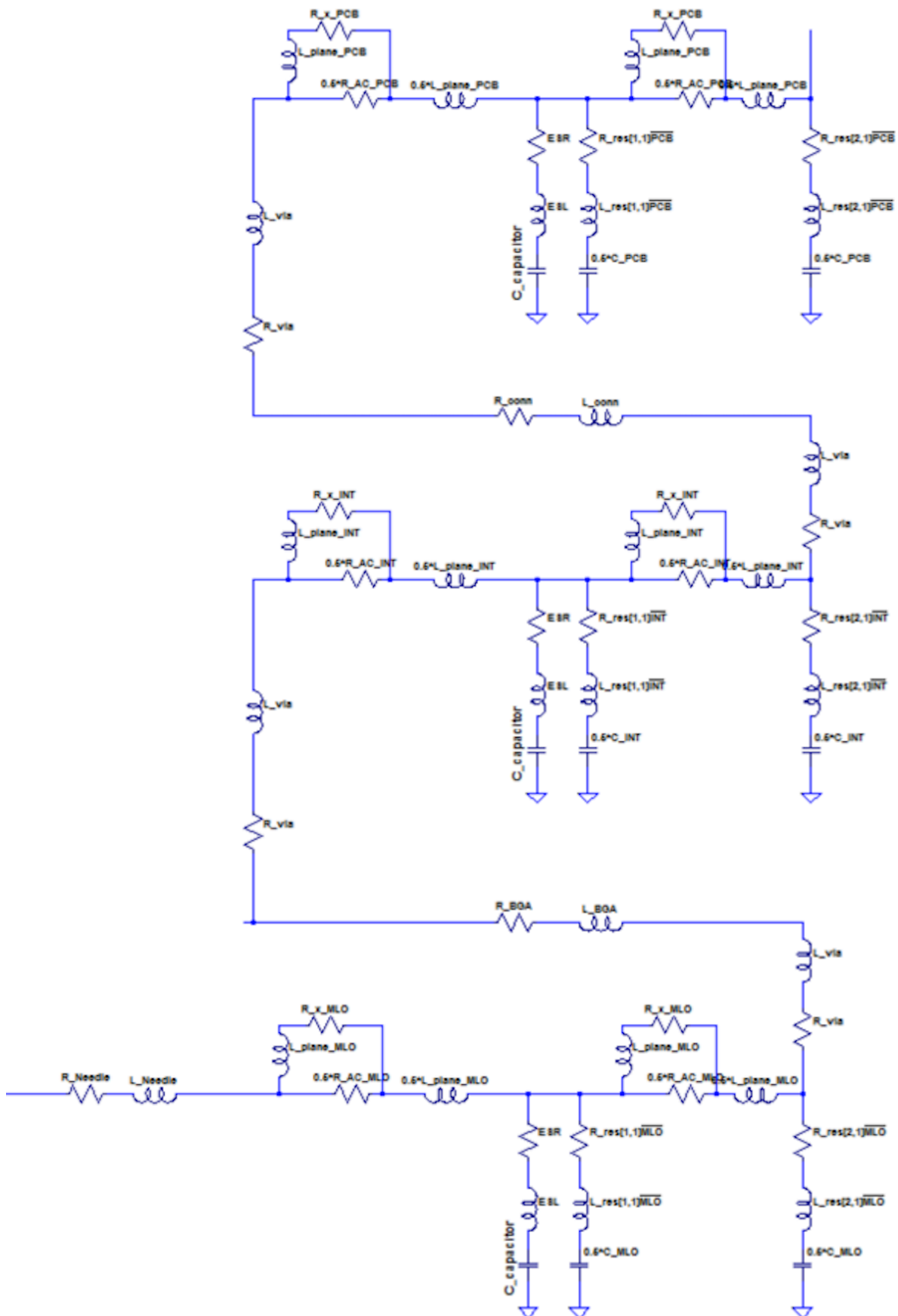
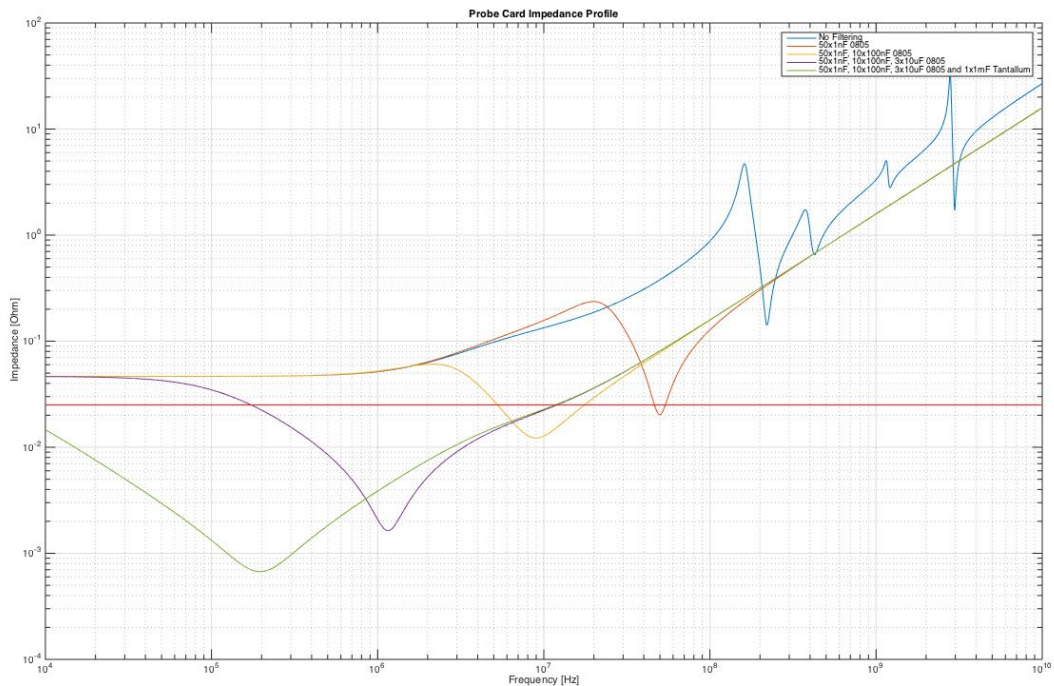


Figura VIII-10°, b. a: schema a blocchi del PDN, b: modello circuitale del PDN di una Probe Card.

L'impedenza di tutto il PDN risulterà quindi:



**Figura VIII-11: profilo di impedenza del PDN di una Probe Card con diverse configurazioni di filtraggio.**

In figura sono riportati i risultati seguenti a diverse simulazioni, aumentando progressivamente il numero di condensatori di filtro, riportando anche un riferimento per la  $Z_{target}$  posto a  $25m\Omega$ .

La curva in blu rappresenta l'andamento dell'impedenza in assenza totale di filtraggio. Sono evidenti, oltre all'andamento fortemente induttivo dopo i 10MHz causato dalla Probe Head, anche sovrapposti i picchi di risonanza dei vari piani di alimentazione. La curva arancione presenta invece lo stesso dispositivo con applicati cinquanta condensatori da 1nF sul sito di *placement* dell'MLO. Il numero di dispositivi è molto elevato per enfatizzare sul profilo in frequenza il loro picco. La presenza di queste capacità è in grado di filtrare tutte le risonanze e le antirisonanze dovute ai piani, ma non influenza l'andamento del dispositivo alle basse frequenze. Per questo sono state effettuate altre tre simulazioni: aggiungendo dieci condensatori da 100nF (giallo), dieci da 1µF e tre da 10µF (viola) e stessa configurazione con in aggiunta un condensatore da 1mF al Tantalio.

Ponendo capacità di valore sempre maggiore si aumenta il potere filtrante alle basse frequenze, fino al caso con il condensatore al Tantalio che introduce una risonanza molto larga ma con fattore di qualità molto scarso.

Nella seguente tabella sono riportati i parametri utilizzati per le simulazioni<sup>110</sup>:

<sup>110</sup> Sono parametri corretti come ordine di grandezza ma non si riferiscono ad alcun progetto specifico.

Parametro	MLO	Interposer	PCB
Dimensioni del Piano	3cm x 1cm	8cm x 4cm	20cm x 5cm
Altezza Dielettrico	100 $\mu$ m	100 $\mu$ m	100 $\mu$ m
Altezza Metallo	20 $\mu$ m	20 $\mu$ m	20 $\mu$ m
Materiale Dielettrico	FR-4	FR-4	FR-4
Materiale Metallo	Cu	Cu	Cu
Raggio Esterno Via	230 $\mu$ m	230 $\mu$ m	230 $\mu$ m
Raggio Interno Via	200 $\mu$ m	200 $\mu$ m	200 $\mu$ m
Pitch Via	450 $\mu$ m	600 $\mu$ m	800 $\mu$ m
Numero di Via	100	50	50

Tabella VIII-2: parametri tipici per una Probe Card.

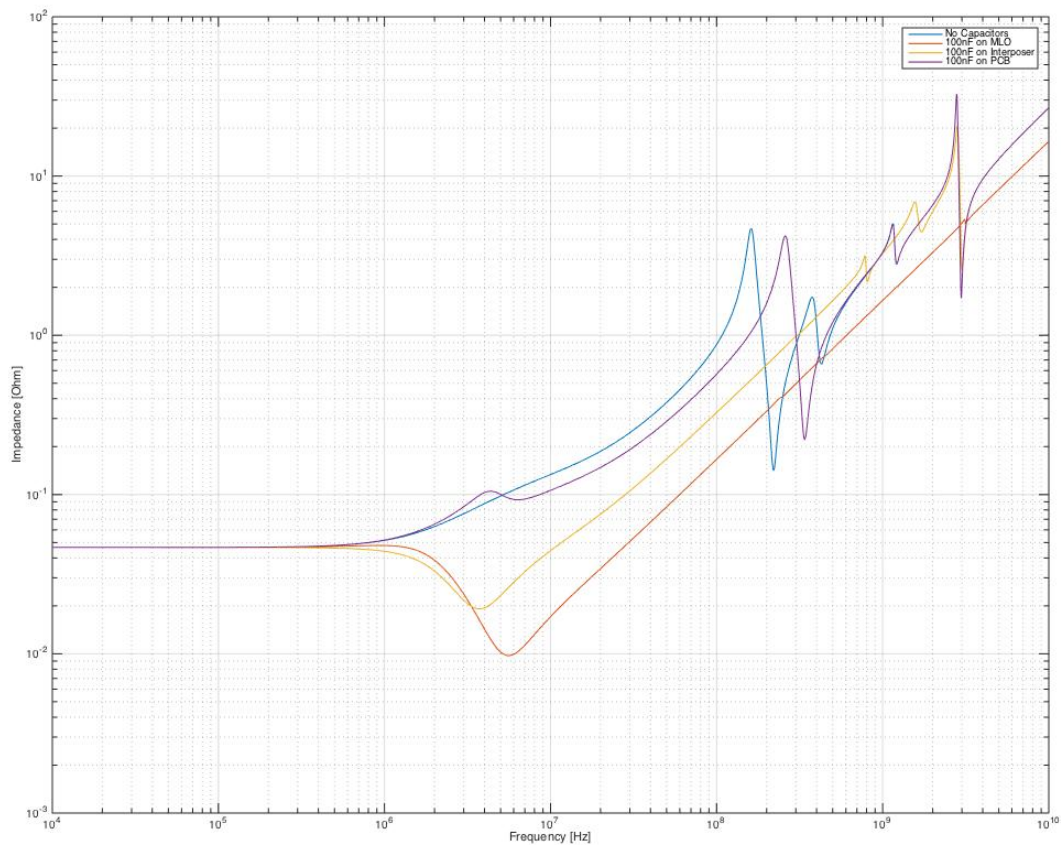


Figura VIII-12: Paragone fra efficacia del filtraggio in differenti siti di montaggio.

In queste simulazioni è stato sfruttato soltanto il sito di *placement* sull'MLO, ma volendo valutare la capacità del circuito di distinguere le differenze fra i tre siti si sono effettuate tre simulazioni, ognuna applicando venti condensatori da 100nF con case 0603 in una posizione differente: il filtraggio più efficace è quello posto sull'MLO (rosso), in quanto tutti i picchi di risonanza ed antirisonanza vengono filtrati ed il picco di risonanza dei condensatori è più intenso. Già posizionando lo stesso filtraggio sull'Interposer (giallo) esso non è più in grado di filtrare completamente i picchi a frequenze più elevate (dovuti ai piani di alimentazione dell'MLO), e la situazione arriva a peggiorare ulteriormente se gli stessi filtranti vengono applicati sul PCB. Questo comportamento avviene anche nel caso reale, infatti risulta da simulazioni elettromagnetiche che il filtraggio aumenta di efficacia con la vicinanza con la Probe Head, ma questo fatto introduce anche un *trade-off*: infatti avvicinandosi progressivamente alla Probe Head diminuisce l'area disponibile per porre i condensatori, sebbene la loro efficacia aumenti.

# IX. Confronto fra Simulazioni e Misure. Validazione del Modello

## IX.1. Parametri di Simulazione

Per comprendere quanto fedelmente il software di simulazione riproducesse il comportamento reale di sistemi di PDN si è simulato il comportamento delle alimentazioni realmente misurate (capitolo VII). Per fare questo si è applicato il modello circuitale mostrato nel capitolo precedente al *PDN Measure Benchmark*, con parassitismi stimati col modello fisico elaborato nel capitolo VI.

Come già accennato in precedenza il PCB presenta un piano per alimentazione (con due alimentazioni) e due piani di massa, con dei pad dedicati all'applicazione delle sonde (su cui sono stati saldati i cavi coassiali) collegati ai piani tramite nove via.

Le dimensioni sono sinteticamente riportate nella tabella seguente:

<b>Dimensioni Planari</b>	15cm x 5cm
<b>Altezza Dielettrico</b>	85 $\mu$ m
<b>Altezza Metallo</b>	18 $\mu$ m
<b>Materiale Dielettrico</b>	FR-4
<b>Materiale Metallo</b>	Cu
<b>Raggio Interno Via</b>	200 $\mu$ m
<b>Raggio Esterno Via</b>	230 $\mu$ m
<b>Pitch Medio Via</b>	$\approx$ 1mm
<b>Numero di Forature</b>	4704

Tabella IX-1: proprietà della struttura in esame.

È evidente che la struttura presenta un numero molto elevato di forature, per cui la sua induttanza sarà fortemente influenzata dalla loro presenza e occorrerà utilizzare il modello di piano forato per la descrizione.

Il PCB reale ha un comportamento assimilabile a quello di figura XI-2: la corrente entra da nove via per poi transitare all'interno del piano di alimentazione ed uscire ancora una volta dai nove via a cui è connessa la seconda porta.

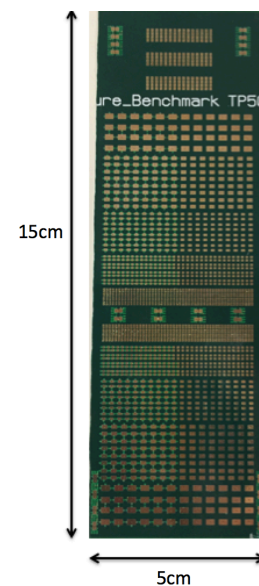


Figura IX-1: PCB misurato e simulato.

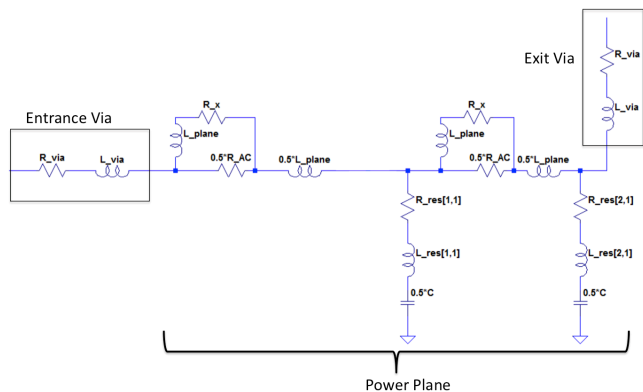


Figura IX-2: modello circuitale di dispositivo di figura IX-1.

## IX.2. Confronto

La prima simulazione effettuata è stata considerando l'impedenza del PCB senza aver apposto alcun condensatore di filtro. In figura IX-3 è riportato il paragone fra risultato sperimentale (blu) e le simulazioni a parametri concentrati, includendo lo skin effect (rosso) o trascurandolo (giallo).

Essendo il modello utilizzato a parametri concentrati esso non potrà mai fornire una descrizione completa dei fenomeni fisici che appaiono, ottenibile con simulatori FEM. Nonostante questo la simulazione effettuata con il software implementato fornisce una descrizione soddisfacente del fenomeno: la posizione dei picchi di risonanza differisce molto poco rispetto al caso reale, con massimo di differenza raggiunto in corrispondenza del picco a bassa frequenza, che nel caso reale si presenta a 116MHz, mentre viene previsto dal modello a 152MHz.

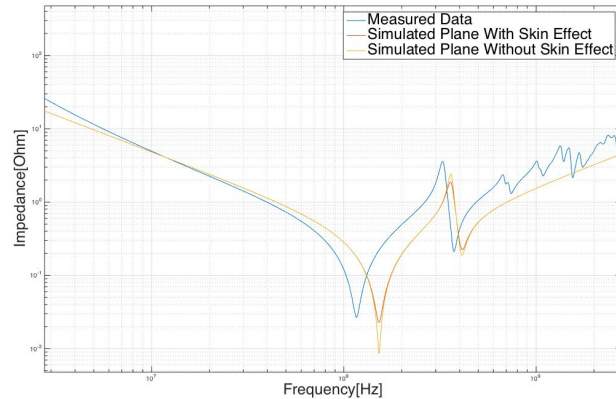


Figura IX-3: impedenza del PDN del campione di figura IX-1.

Il comportamento in alta frequenza prevede una impedenza minore rispetto al caso reale e non descrive tutte le componenti di frequenza di ordine superiore. Questo è un effetto ampiamente prevedibile perché tali comportamenti non sono stati volutamente inclusi nel modello, in quanto avrebbero complicato notevolmente lo schema circuitale senza avere alcun interesse applicativo.

Il confronto con la misura mostra anche come l'inclusione dell'effetto pelle sia fondamentale per migliorare la conservatività del modello: includendo una sua descrizione approssimata (il modello *ladder* utilizzato è il più

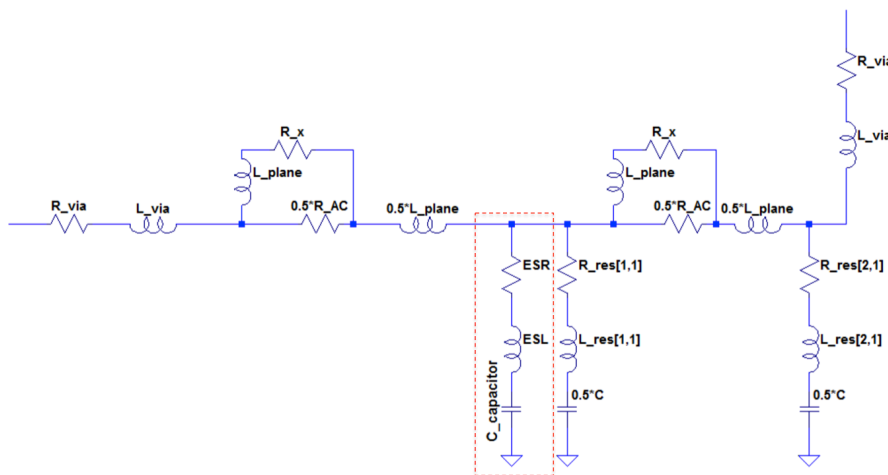


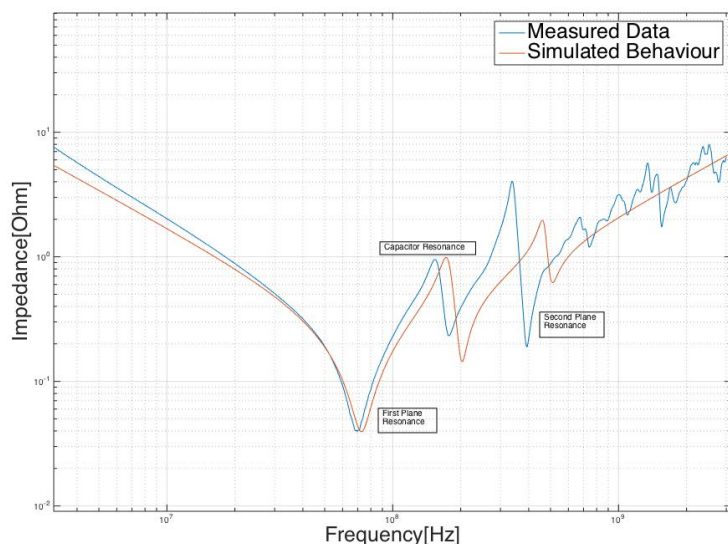
Figura IX-4: PDN del campione con filtraggio applicato.

parallelo alla rete RLC del piano una seconda rete RLC<sup>111</sup> per ogni tipo di capacità filtrante aggiunta (fig. IX-4). Comprendendo solamente cinque condensatori da 1nF [24] l'impedenza risultante sarà:

semplice possibile avendo un solo stadio di chiusura) i minimi delle risonanze (cioè la resistenza con cui risuona la rete) vengono stimati in maniera molto precisa. La figura mostra come in assenza del fenomeno le risonanze del piano vengano previste con un fattore di qualità estremamente alto, sottostimando l'impedenza totale.

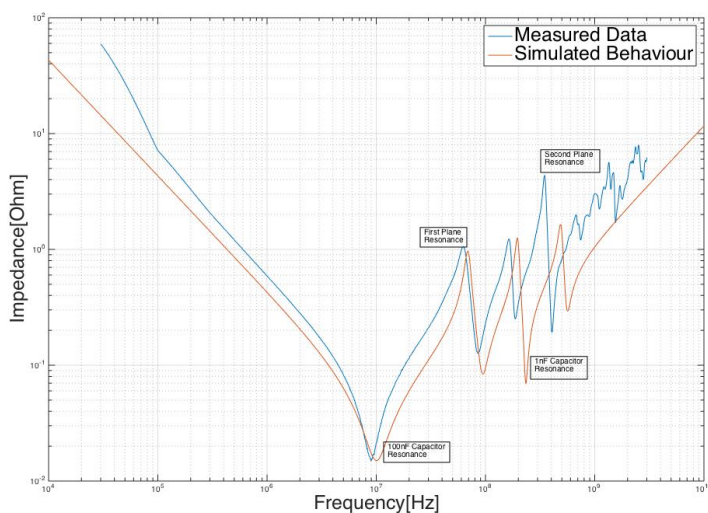
Per comprendere nella simulazione la presenza di sistemi filtranti è stato complicato il modello circuitale, aggiungendo in

<sup>111</sup> Siccome ogni condensatore è in contatto elettrico con i piani attraverso un via, in tali reti RLC è stato incluso anche il suo parassitismo resistivo e quello induttivo oltre che gli ESR ed ESL.



**Figura IX-5: simulazione di PCB con cinque condensatori da 1nF applicati.**

programma, ed i valori di non idealità dei componenti hanno un ampio range di variabilità a parità di case, che può raggiungere valori del 20-30%.



**Figura IX-6: simulazione di PCB con cinque condensatori da 1nF e tre da 100nF.**

del caso reale. La forma dei picchi dipende dai valori di resistenza ed induttanza del dispositivo, quindi si può pensare che la non conservatività della simulazione, oltre a derivare dall'approssimazione a parametri concentrati, sia sensibile anche alla diversità dei componenti.

La non conservatività del modello a frequenze superiori ad 1GHz è invece ancora una volta una sua limitazione: come resistenza di riferimento per l'implementazione del circuito a scala è stato utilizzato il valore ad 1GHz, prendendo come dimensione trasversale la *skin depth*. Oltre tale frequenza la resistenza dovrebbe continuare ad incrementare, incrementando così anche l'intera impedenza. Come spiegato in precedenza questo regime di frequenza è di scarso interesse per applicazioni EWS e di conseguenza non è stato preso in attenta considerazione.

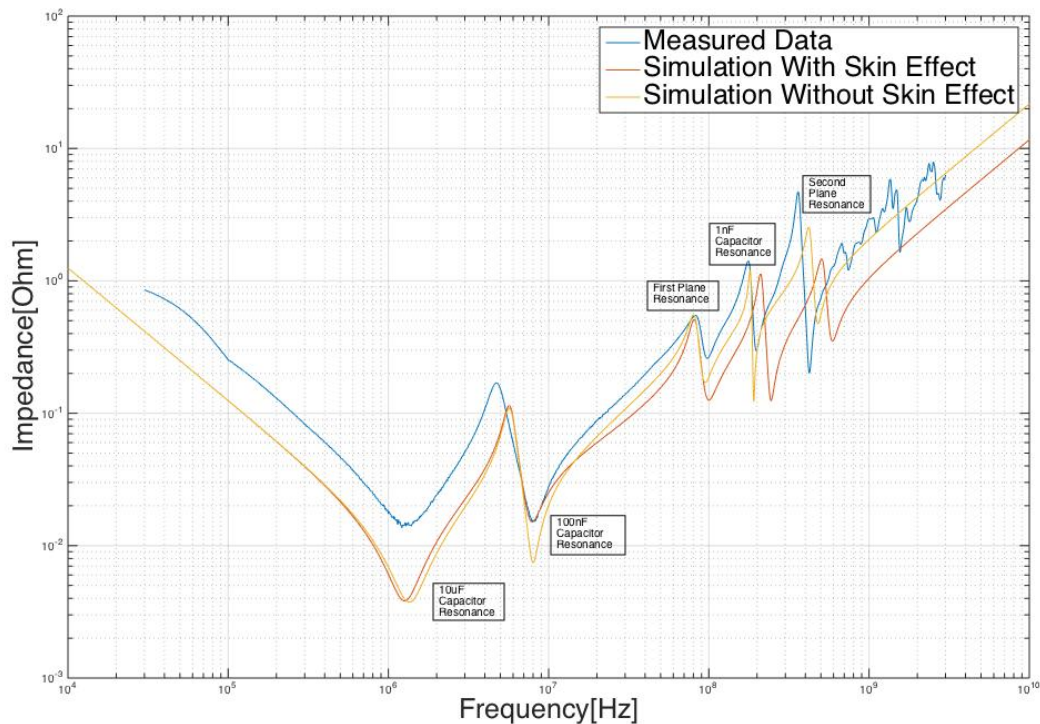
Il picco di risonanza dovuto ai condensatori da 1nF è posto nell'intervallo di frequenze compreso fra i due picchi dovuti al piano. Il modello effettua una buona previsione della loro posizione, specialmente per quanto riguarda la posizione e l'intensità del picco principale. Spostandosi a frequenze via via più elevate l'attinenza tende a peggiorare, nonostante la conservatività del modello alle alte frequenze sia migliorata rispetto al caso di figura IX-3.

Una delle cause delle discrepanze è che i condensatori utilizzati per effettuare le misure non coincidono con quelli utilizzati per implementare il database del

Proseguendo con il confronto con le misure del capitolo VII, occorre analizzare il caso in cui siano presenti anche i condensatori da 100nF:

in questo caso il picco a frequenze più basse viene modellizzato correttamente, a differenza di quelli a frequenze maggiori, di cui sono molto ben previste le posizioni ma sono sottostimate le impedenze in corrispondenza dei picchi. Anche questo effetto è causato dalle diverse non idealità impostate nel simulatore. Infatti il picco corrispondente al condensatore da 100nF viene simulato con larghezza maggiore

Per verificare che il modello simulativo preveda le antirisonanze fra capacità si consideri il caso in cui sono presenti contemporaneamente sei condensatori da 100nF ed uno da 10µF. Dalle misure risulta presente un intenso picco, previsto dal modello come in figura IX-7:



**Figura IX-7: simulazione di PCB con cinque condensatori da 1nF, sei da 100nF ed uno da 10µF.**

In figura sono riportate sia le simulazioni comprendenti l'effetto pelle che quelle effettuate trascurandolo: includendo l'effetto di concentrazione delle correnti il comportamento a bassa frequenza viene meglio stimato, a discapito di quello a frequenze superiori ai 100MHz. In questo regime il modello senza skin effect predice con maggiore esattezza la posizione delle risonanze (giallo) prevedendo però risonanze più intense. L'intensità del picco d'altra parte è più esattamente descritta nell'andamento in rosso in quanto l'aumento di resistenza funge da agente smorzante supplementare.

Il fatto di aver modellizzato l'effetto pelle tramite uno stadio a parametri concentrati ha introdotto un parassitismo che costituisce una limitazione della presente trattazione: per incrementare il valore di resistenza è stata introdotta una induttanza fittizia, che però entrerà nel calcolo dell'induttanza totale che risuonerà con la capacità del piano modificando, anche se molto poco, la frequenza di risonanza.

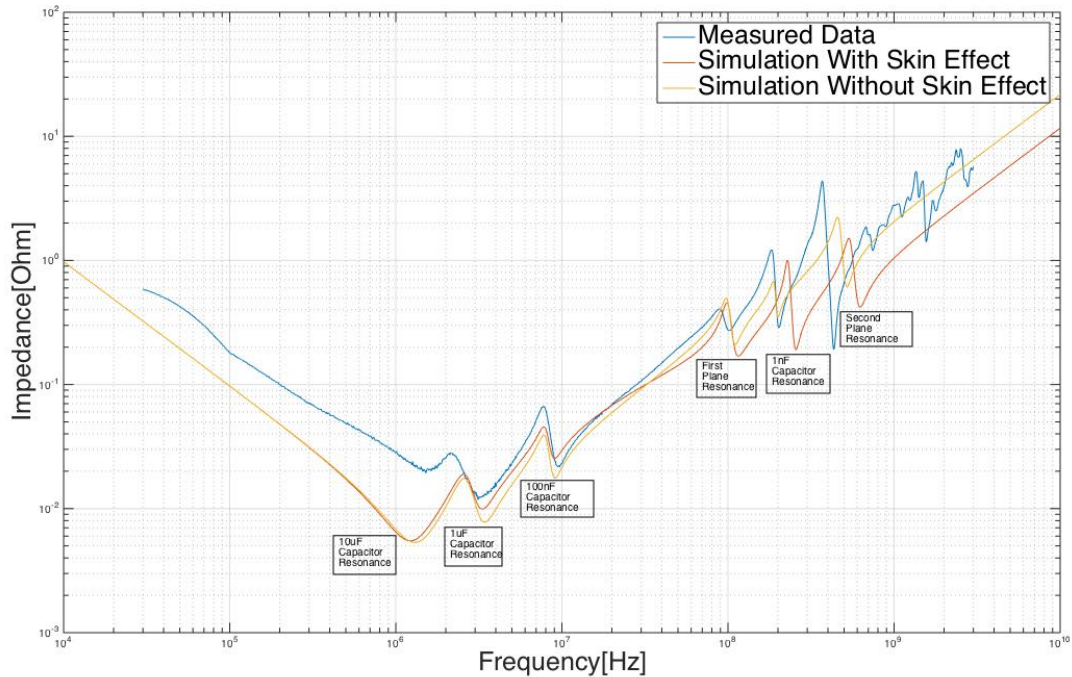
Questo confronto porta a pensare che sia più conveniente per gli scopi del presente lavoro includere la trattazione del fenomeno nonostante quanto detto in precedenza. Il modello circuitale necessario introduce errori in un regime di frequenza non interessante dal punto di vista della Power Integrity, ed inoltre per frequenze di interesse maggiore l'effetto smorzante contribuisce a facilitare la convergenza del modello al caso reale.

L'andamento a basse frequenze viene sistematicamente sottostimato, e di questo effetto ne risente fortemente il picco corrispondente alla presenza del condensatore da 10µF. Questo è un effetto legato all'approssimazione a parametri concentrati, che non rende merito di effetti del secondo ordine, quali variazioni locali di resistività, oltre che dalla solita diversità dei parametri parassiti dei condensatori.

Tutti gli aspetti fin qui individuati vengono infine ritrovati nell'ultimo caso in esame: sul PCB sono stati distribuiti, in analogia con il progetto di un sistema di filtraggio reale condensatori distando fra loro non più



di una decade.<sup>112</sup>



**Figura IX-8: simulazione di PCB con cinque condensatori da 1nF, sei da 100nF, tre da 1µF ed uno da 10µF**

Ancora una volta le posizioni di tutti i picchi sono individuate con precisione accettabile, e rimane il problema della non conservatività del modello a basse frequenze, a cui sia nel caso di figura IX-7 che in quello di figura IX-8 vi è un rapporto fra impedenza simulata e misurata fra 2 e 2,5<sup>113</sup>.

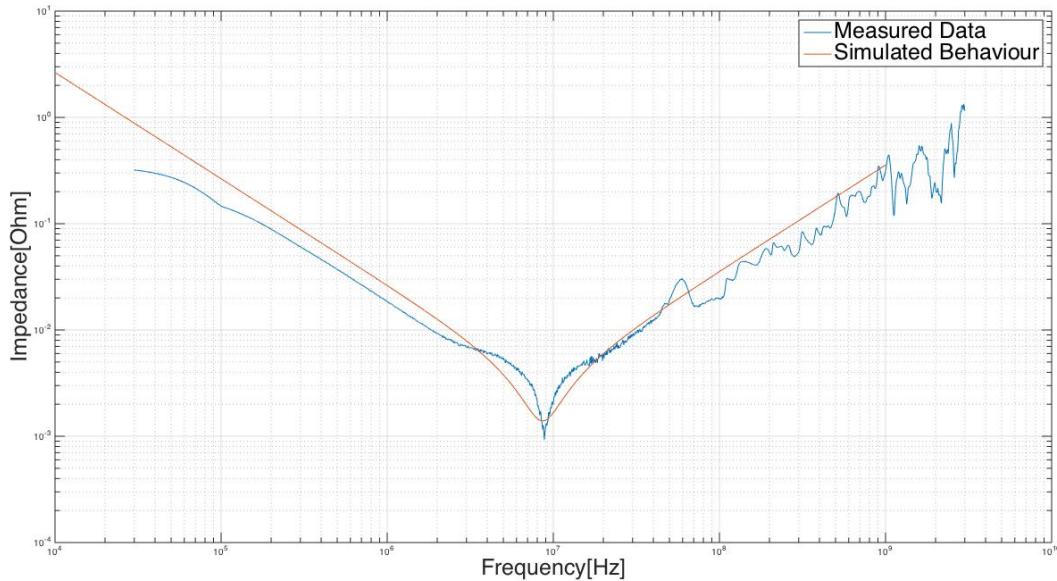
È evidente anche che nella decade fra 10 e 100MHz, il modello che non comprende l'effetto pelle risulta sempre più attinente di quello che lo comprende. Questo effetto è ancora figlio della semplificazione di prendere uno solo stadio di *ladder*. In questo modo non si ha controllo sulla forma della curva che descrive la crescita di resistenza, per cui il comportamento, pur rimanendo qualitativamente corretto mostra una sottostima del valore di resistenza della regione intermedia della curva, proprio corrispondente con questo intervallo.

<sup>112</sup> È stata inclusa nel ragionamento anche la presenza dell'effetto filtrante del piano, che impedisce il crearsi di antirisonanze intense fra le risonanze corrispondenti ad 1nF e 100nF.

<sup>113</sup> Nell'intervallo 100kHz-1MHz.

Dopo aver validato sperimentalmente il modello con i confronti precedenti, si è passato a simulare l'alimentazione descritta nel Capitolo VII, così da capirne il reale grado di affidabilità.

Per fare questo sono stati esclusi i moduli descrittivi Probe Head, Interposer ed interconnessioni filate e sono stati inseriti dimensioni e materiali costituenti nel programma di simulazione. Il risultato è riportato in figura IX-9:



**Figura IX-9: confronto fra impedenza di una alimentazione di una Probe Card reale misurata e simulata.**

Per effettuare la simulazione si sono dovute fare due ulteriori approssimazioni:

- Avendo contattato direttamente due condensatori con una misura a due porte, la loro induttanza (ESL) è stata perfettamente compensata dal sistema di misura, insieme a quella dei via in ingresso, e per questo non è stata considerata.
- I condensatori selezionati sono posti circa ad un terzo della lunghezza del power plane dell'MLO, di conseguenza il valore reale di induttanza che viene visto dalla corrente non è quello dell'intero piano ma quello di una sua frazione, per semplicità posta ad un terzo.

Il modello fornisce una descrizione soddisfacente del fenomeno, modellizzando adeguatamente l'andamento capacitivo in bassa frequenza ed il comportamento induttivo alle alte frequenze. Anche i valori di impedenza alle singole frequenze sono ben descritti, in particolare nel punto di minimo, effettuando tendenzialmente un piccolo errore di sovrastima, che quindi garantisce anche una previsione conservativa del caso reale.

# X. Conclusioni

Nel corso del presente lavoro è stato sviluppato con il linguaggio di programmazione MATLAB® un simulatore di impedenza basato su un modello a parametri concentrati per dare una previsione qualitativa del comportamento in frequenza del Power Delivery Network di una Probe Card verticale.

Il periodo iniziale è stato dedicato alla progettazione dell'algoritmo di funzionamento del programma, all'implementazione del sistema di interfacce e dei programmi di caricamento dei database, in modo tale che tutto il processo fosse il più efficiente possibile dal punto di vista computazionale ed al contempo il più possibile *user friendly* per l'utilizzatore.

Dopo aver assicurato un funzionamento robusto del software è stato necessario sviluppare un modello fisico semplificato per la descrizione delle strutture desiderate. È stato possibile consultarsi con della letteratura pregressa, sebbene raramente veniva affrontato il presente problema in maniera organica e completa. Traendo degli spunti da articoli prevalentemente redatti da produttori di dispositivi elettronici, è stato possibile elaborare un modello organico coerente per la rappresentazione a parametri concentrati di vari tipi di parassitismi, con diversi gradi di dettaglio in base all'importanza che essi avevano sull'economia del fenomeno fisico in esame.

La progettazione della rete contenente tutti i numerosi elementi che intervengono nel determinare l'impedenza del sistema di alimentazione di un dispositivo elettronico è stata effettuata sulla base della conoscenza pregressa di teoria dei circuiti e con il sussidio di professionisti del settore, che grazie alla loro elevata conoscenza ed esperienza hanno contribuito a renderla il più possibile adatta alle reali esigenze di progettazione ed al comportamento reale delle Probe Card. È stato in particolare necessario garantire un sufficiente grado di elasticità nella rete elettrica, in modo tale che fosse possibile estromettere componenti in maniera mirata in base al progetto in fase di sviluppo.

Alla fase di progettazione iniziale è seguita una campagna sperimentale effettuata su campioni di caratteristiche note al fine di eseguire un processo di *fine tuning* sul modello, che ha permesso di individuare gli aspetti fisici più importanti e gli effetti trascurabili, così da poter migliorare le prestazioni simulative regolando effetti del secondo ordine e correggendo errori di modello.

Il risultato finale è un programma completamente dedicato allo sviluppo di sistemi di alimentazione di Probe Card in grado di fornire con una buona precisione utili informazioni sull'impedenza iniziale dei circuiti stampati e delle interconnessioni che compongono il dispositivo e di dare importanti spunti riguardo alla progettazione di sistemi di filtraggio basati sull'applicazione di condensatori. Tramite questo strumento è possibile valutare la variazione di impedenza in seguito all'applicazione di capacità di valore anche molto diverso dopo tempi di elaborazione nulli con una basilare capacità di distinguere fra diversi siti di montaggio. Grazie alla possibilità di svolgere rapide analisi preliminari è possibile concentrare l'utilizzo di simulatori 3D ai casi già qualitativamente studiati, in modo tale da ridurre il tempo necessario al design dei componenti, che sta diventando un aspetto cruciale nel mondo della tecnologia elettronica.

Gli sviluppi futuri sono principalmente legati al miglioramento del modello fisico di descrizione del singolo parassitismo, allo scopo di aumentare la conservatività del risultato. Per migliorare l'attinenza della simulazione con il caso reale si potrebbe effettuare una campagna di misura con lo scopo di ricavare coefficienti sperimentali per il miglioramento della modellizzazione dell'effetto pelle all'interno di piani di alimentazione, includendo un maggior numero di *stages* all'interno del circuito a scala, oppure adottare un approccio diverso da quello circuitale per descrivere il fenomeno, così da non introdurre errori dovuti alla presenza di induttanze fittizie sulle frequenze di risonanza.



# *XI. Bibliografia e Sitografia*

- [1] Scotten W. Johnes, *Introduction to Integrated Circuit Technology*, IC Knowledge LLC.
- [2] Robert Doherty, Robert Rogers, *Vertical Probe Alternative For Cantilever Pad Probing*, Analog Devices Inc. Wentworth Laboratories Inc., 2008.
- [3] Corsi di aggiornamento e lezioni interne in *Technoprobe*.
- [4] Jim Stratigos, George White *et al*, *Creating Wireless SiP Solution*, Advanced Packaging, May/June 2008.
- [5] <http://www.murata.com/en-global/products/substrate/lccc/outline>.
- [6] *Probe Cards and High Temperature, a Technical Bulletin for Probing Applications*, Accuprobe.
- [7] Clayton R. Paul, *Introduction to Electromagnetic Compatibility, Second Edition*, John Wiley & Sons, 2006.
- [8] Sophocles J. Orfanidis, *Electromagnetic Waves and Antennas*, ECE Department, Rutgers University, 2008.
- [9] *AN 574: Printed Circuit Board (PCB) Power Delivery Network (PDN) Design Methodology*, Application Note by Altera, 2009.
- [10] Erwan Petillon, *Power Delivery Network Analysis*, Application Report by Texas Instruments, 2012.
- [11] Mark I. Montrose, *Printed Circuit Board Design Techniques for EMC Compliance, Second Edition*, IEEE Press Series on Electronic Technology.
- [12] John David Jackson, *Classical Electrodynamics*, John Wiley & Sons, Inc.
- [13] *Matlab® Creating Grafical User Interfaces*. The MathWorks Inc., 2015.
- [14] <http://it.mathworks.com/products/rftoolbox/>.
- [16] Frank B.J. Leferink, *Inductance Calculations; Methods and Equations*, I.E.E.E., 1995.

- [17] Joachim Held, *Analyzing Power Integrity Issues From Power Planes Interactions*, Whitepaper from C.S.T., 2013.
- [18] Sangwoo Kim, Beom-Taek Lee, Dean P. Neikirk, *Compact Equivalent Circuit Models For The Skin Effect*, Department of Electrical and Computer Engineering, University of Texas at Austin.
- [19] Edoardo Amaldi, Romano Bizzarri, Guido Pizzella, *Fisica Generale. Elettromagnetismo. Relatività. Ottica*, Zanichelli, 1968.
- [20] Luigi Tufano, *Metodo "Partial Element Equivalent Circuit" per la Modellizzazione Elettromagnetica di Interconnessioni e Packaging Elettronico*, Facoltà di Ingegneria, Università degli Studi di Napoli "Federico II", 2003.
- [21] Primer, *Fundamentals of Vector Network Analysis*, Rohde&Schwarz.
- [22] *Ultra-Low Impedance Measurements Using 2-Port Measurements*, Application note by Agilent Technologies.
- [23] Technoprobe *PDN Measure Benchmark's* Datasheet.
- [24] *TDK Equivalent Circuit Model Library*, TDK Multilayer Ceramic Chip Capacitor Parasitics Library, TDK, 2014.
- [25] *4-Port PNA-L Microwave Network Analyzer N5230A*, Datasheet, Agilent Technologies.